

eman ta zabal zazu



**Universidad
del País Vasco**

**Euskal Herriko
Unibertsitatea**

**Bilboko Ingeniaritza Goi Eskola Teknikoa
Elektronika eta Telekomunikazioak Saila**

DOKTOREGO TESIA

Potentzia-bihurgailu matrizialen diseinu-prozesurako eta hutsegite-tolerantziarako soluzio berriak

Autorea: Edorta Ibarra Basabe

**Zuzendariak: Jon Andreu Larrañaga,
José Luis Martín González**

2011ko maiatza

Leireri, etækoei eta lagunei

Eskerrak

Lehenik eta behin, Euskal Herriko Unibertsitateko elektronika aplikatuko ikerketa-taldeari (APERT) eskerrak eman nahi dizkiot, emandako konfiantza eta laguntzagatik. Bereziki, nire tesi-zuzendariak diren Jon Andreu eta José Luis Martíni, eta bihurgailu matrizialaren eta potentzia-elektronikaren inguruan zuzenean nirekin batera lanean aritu zaretenoi: Enekoitz Ormaetxea, Iñigo Kortabarria, Estefanía Planas eta Iñigo Martínez de Alegría. Urte hauetan eskaini didazuen laguntza oso garrantzitsua izan da tesi hau aurrera eramateko. Bestalde, ezin ditut ahaztu bulegokideak izan diren, taldean dauden edota taldetik pasatu diren teknikari, ikasle eta ikerlariak: Amaia Berganza, Aitor Morillo, Taho Dorta, Yann Dupis, Ander Madariaga, Mikel Alberro, Alvaro Llaría, Oscar Díaz, Alex Fernández, Iraide López, Virginia Santamaría, Alain García, Uli Kretzschmar, Mikel Iridin eta Xabier Lejarza. Norbait ahaztu bazait barka iezadazue.

Jose Ramon Etxebarriari, euskararen eta idazkeraren aldetik emandako laguntza eta aholkuengatik.

Fabrizio Bradaschiari, bai alor profesionalean eta baita pertsonalean ere. Asko ikasi nuen zurekin elkarlanean pasa nituen sei hilabeteetan.

Ander Cisnerosi, tesiaren gainazalaren diseinuagatik.

Azkenik, ezin ahaztu ditzaket Leire, etxeakoak eta lagunak, doktorego-tesi honetan zehar eman didazuen laguntza eta babesagatik. Mila esker guztioi.

Bilbon, 2011ko maiatzaren 6an.

Laburpena

Gaur egun, potentzia-bihurgailuak hainbat aplikaziotan aurki ditzakegu, hala nola haize-errotetan, makina industrialetan, ibilgailu elektriko eta hibridoetan, itsasontzi eta urpekoetan, etab. Potentzia-bihurgailuak energia-bihurketarako sistemetan erabiltzen dira, eta horien helburua energia elektrikoa era kontrolatuan bihurtzea da. Potentzia-bihurgailuen topologiaren artean, bere ezaugarriak direla medio, bihurgailu matriziala (MC, *Matrix Converter*) nabarmendu daiteke.

AC/AC bihurketa zuzena egiten du MCak, eta ez du osagai erreaktibo nabarmenik. Horretaz gain, lau koadranteetan egin dezake lan bihurgailu horrek, eta distortsio harmoniko baxua duten korrante eta tentsio sinusoidalak lortzen dira bihurgailuaren sarreran eta irteeran. Gainera, MCaren sarreran potentzia-faktore unitarioa lor daiteke, bihurgailuari konektatuta dagoen karga edozein dela ere. Azkenik, oso bihurgailu eraginkorra da. Ezaugarri horiek direla-eta, hainbat aplikaziotan erabiltzeko aproposa izan daiteke MCa. Hala ere, bihurgailu horren erabilera ez dago oraindik oso hedatua, batez ere etengailu bidirekzional naturalik ez dagoelako, MCaren arkitektura eta kontrola konplexuak direlako, eta bihurgailuak mardultasun baxua duelako.

Tesi honetan, MCaren oinarriko kontzeptuak aurkeztuko dira, lehenik eta behin. Ondoren, MCa modulatzeko dagoen aukera zabala izango da kontuan, eta aukera horien erakusgarri diren hiru modulazio-teknika azalduko dira: Alesina eta Venturiniaren teknika, modulazio-teknika bektoriala (SVM, *Space Vector Modulation*) eta modulazio-teknika eskalar orokortua (GSPWM, *Generalized Scalar Pulse Width Modulation*).

Bestalde, bihurgailuaren sarreran perturbazioak egon daitezkeela izango da kontuan ere. Zentzu horretan, perturbazio horien eragin kaltegarriak konpentsatzeko baliagarriak diren teknika nabarmenen artearen egoera azalduko da tesian. Perturbazio horiek konpentsatzen dituzten tekniken sinkronizazio-beharrianak

kontuan hartuta, MCa sare elektrikoarekin sinkronizatzeko aukera egokienak zeintzuk diren aztertuko da.

MCaren artearen egoera aztertu ondoren, bihurgailu horren diseinu-prozesua hobetzeko baliagarriak diren soluzio berriak proposatuko dira. Alde batetik, kontuan izan behar da MCak dituzten modeloak simulatzea konplexua dela, eta simulazioak egiteko beharrezkoa den denbora gehiegizkoa izaten dela normalean. Horren ondorioz, diseinu-prozesuan egin daitekeen simulazio-kopurua oso mugatua dago. Alde horretatik, arazo hori gainditzeko baliagarria den SSMA (*Switching State Matrix Averaging Method*) simulazio-teknika berria proposatu eta balioztatuko da tesian. Horretaz gain, SSMA teknikari esker, denbora errealean simulatuko da MCa PC-talde batean. Horrela, egoera iragankor oso luzeak simulatu ahal izango dira arrazoizko denbora-tarte batean. Gainera, MCaren diseinu-prozesua azkartzeko eta kontrol-algoritmoak arazteko baliagarria den prototipatze azkarrereko kontrolerako plataforma (RCP, *Rapid Control Prototyping*) aurkeztuko da ere.

Azkenik, MCaren mardultasun baxuaren arazoari aurre egingo zaio. Bihurgailu horren babeserako erabiltzen diren estrategiak ez dira bihurgailua % 100ean babesteko gai. Beraz, egoera batzuetan posible da bihurgailuaren osagaietako batek huts egitea. Hori gertatuz gero, beharrezkoa da estrategia hutsegite-toleratzaileak erabiltzea, sistemaren funtzionamendu jarraitua bermatu beharra badago. Horren harian, MCarentzako estrategia hutsegite-toleratzaileen artearen egoera aurkeztuko da, eta etengailuen zirkuitu irekiko hutsegiteak gertatzen direnean bihurgailuak duen portaera aztertuko da. Ondoren, hutsegite horiek identifikatzeko baliagarria den estrategia bat aurkeztuko da, eta zirkuitu irekiko hutsegite-egoeran MCaren hutsegite-tolerantzia hobetzeko baliagarriak diren modulazio-algoritmo hutsegite-toleratzaile berriak proposatu eta balioztatuko dira, bai simulazioaren bidez, eta baita esperimentaliki ere.

Resumen

Hoy en día, los convertidores de potencia están presentes en gran número de aplicaciones, tales como molinos eólicos, máquinas industriales, vehículos eléctricos e híbridos, barcos y submarinos, etc. Dichos convertidores se utilizan para transformar la energía eléctrica de forma controlada. Por su parte, el convertidor matricial (MC, *Matrix Converter*) destaca entre las distintas topologías de convertidores de potencia, debido a sus características.

El MC realiza una conversión AC/AC directa en ausencia de grandes elementos reactivos. Además, dicho convertidor puede funcionar en los cuatro cuadrantes sintetizando, a su vez, corrientes y tensiones senoidales de baja distorsión armónica a la entrada y salida del convertidor. Por otro lado, es posible obtener un factor de potencia unitario a la entrada, independientemente de la carga a la que el MC esté conectado. Finalmente, cabe decir que se trata de un convertidor muy eficiente. Por lo tanto, el MC podría ser utilizado en gran número de aplicaciones. Sin embargo, el uso de dicho convertidor no está todavía muy extendido, principalmente por la no existencia de interruptores bidireccionales naturales, la complejidad de su arquitectura y sus algoritmos de control, y por su baja robustez.

En la presente tesis, se presentarán, en primer lugar, los conceptos básicos del MC. Posteriormente, se tendrá en cuenta el amplio abanico de posibilidades existente para modular dicho convertidor. En este sentido, se explicarán tres técnicas de modulación significativas: la técnica de Alesina y Venturini, la técnica de modulación vectorial (SVM, *Space Vector Modulation*) y la técnica escalar generalizada (GSPWM, *Generalized Sclalar Pulse Width Modulation*).

Por otra parte, se tendrá en cuenta la posibilidad de que existan perturbaciones a la entrada del convertidor. Se presentará el estado del arte de las técnicas más relevantes que permiten compensar los efectos perjudiciales de dichas perturbaciones. Teniendo en cuenta que dichas técnicas de compensación requieren técnicas

de sincronización especiales, se determinará cuales son las mejores opciones para sincronizar el MC con la red eléctrica.

Una vez realizado el estado del arte del MC, se propondrán nuevas soluciones que mejoren el proceso de diseño del convertidor. Por una parte, se debe tener en cuenta que es muy complejo simular modelos que contienen uno o varios MCs, y que el tiempo necesario para realizar dichas simulaciones resulta excesivo. En ese sentido, se propondrá y se verificará la nueva técnica de simulación SSMA (*Switching State Matrix Averaging Method*), la cual resulta de utilidad para superar los problemas antes mencionados. Además, gracias a la técnica SSMA, se logrará simular MCs en tiempo real en un *cluster* de PCs. De ese modo, será posible simular transitorios muy largos en un intervalo de tiempo reducido. Por otra parte, se presentará una plataforma de prototipado rápido de control (RCP, *Rapid Control Prototyping*) útil para acelerar el proceso de diseño del convertidor y depurar sus algoritmos de control.

Finalmente, en esta tesis se tendrá en cuenta, también, la baja robustez del MC. Las estrategias de protección del MC no son capaces de proteger dicho convertidor en el 100 % de los casos. Por lo tanto, en algunas situaciones es posible que alguno de los elementos que componen el convertidor se rompa. En dichas situaciones, y siempre y cuando sea necesario asegurar el funcionamiento continuado del sistema, se deberán utilizar estrategias tolerantes a fallos. En la presente tesis, se analizará el estado del arte de las distintas soluciones tolerantes a fallos del MC, y se estudiará el comportamiento de dicho convertidor ante faltas de sus interruptores. Posteriormente, se presentará una estrategia que permite identificar faltas en circuito abierto en los interruptores del convertidor y se propondrán nuevos algoritmos de modulación que mejoran la tolerancia a fallos del convertidor en ese tipo de situación de falta. Se presentarán resultados de simulación y experimentales que verifiquen su validez.

Abstract

Power converters can be found in a wide range of applications, such as wind turbines, industrial machine drives, electric and hybrid vehicles, ships and submarines, etc. Power converters are used in energy conversion systems, and their objective is to transform the electric energy in a controlled manner. From the different power converter topologies available, the Matrix Converter (MC) can be highlighted because of the features it presents.

The MC performs direct AC/AC power conversion, and it has no significant reactive elements. Moreover, it can operate in all four quadrants, and currents and voltages with low harmonic distortion can be obtained at the inputs and outputs of the converter. In addition, unity power factor can be achieved at the converter input for any type of load. Finally, it can be said that the MC is very efficient. Taking into account the aforementioned features, MC technology could be very useful for a great number of applications. However, this power converter is not widely used yet, mainly because there is an absence of natural bidirectional switches, the architecture and the control of this converter is very complex, and its robustness is low.

At the beginning of this thesis, the fundamentals of the MC will be presented. After that, the wide range of modulation algorithms that can be found in the literature will be taken into account, and three remarkable modulation techniques will be explained: the Alesina and Venturini technique, the Space Vector Modulation (SVM) technique and the Generalized Scalar Pulse Width Modulation technique.

On the other hand, perturbations that can occur at the input side of the converter will be considered. In that sense, the state of the art of the most relevant solutions to compensate the effects of the aforementioned perturbations will be presented. Taking into account the synchronization needs of the aforementioned compensation techniques, the more convenient solutions to synchronize the MC

with the power grid will be determined.

Later on, novel solutions to improve the design process of the MC will be proposed. On the one hand, it must be borne in mind that the simulation of models containing a MC is complex, and the simulation times required in order to perform the simulation of such models is extremely high. In that sense, a novel simulation method called SSMA (*Switching State Matrix Averaging*) that solves these problems will be presented and validated in this thesis. Moreover, real time simulation of a MC will be performed in a PC cluster, using the proposed SSMA simulation method. In that way, it will be possible to simulate very long transients in a reasonable time frame. Besides, a Rapid Control Prototyping (RCP) platform useful to accelerate the design process of the converter and to debug its control algorithms will be presented.

Finally, the low robustness of the MC will be also considered in this thesis. The protection strategies of the MC are not capable of protecting the converter in 100 % of the cases. Therefore, in some situations, failures can occur in the elements that constitute the MC. If a failure occurs, it is necessary to use a fault tolerant strategy when the continuous operation of the system must be guaranteed. In that sense, the state of the art of the fault tolerant strategies for MCs will be presented, and the behaviour of a MC when open switch faults occur in its switches will be studied. After that, an strategy capable of identifying faulty MCs switches in open circuit will be presented, and new fault tolerant modulation strategies that improve the fault tolerance of the MC in the presence of open switch faults will be proposed. This techniques will be validated by simulation and by experimental results.

Gaien aurkibidea

Laburpena	v
Resumen	vii
Abstract	ix
Irudien zerrenda	xiii
Taulen zerrenda	xv
Nomenklatura	xvii
Akronimoen zerrenda	xxi
I Sarrera eta oinarritzko kontzeptuak	1
1 Sarrera	3
1.1. Tesiaren testuingurua	3
1.2. Tesiko gaiaren sarrera	4
1.3. Helburuak	7
1.4. Dokumentuaren egitura	8
2 Bihurgailu matrizialaren oinarritzko kontzeptuak	15
2.1. Sarrera	15
2.2. MCaren ezaugarri nagusiak, aplikazioak eta erronkak	18
2.3. MC bihurgailua osatzen duten elementuak	23
2.3.1. Etengailu bidirekzionalak	23
2.3.2. Sarrerako iragazkia	25
2.3.3. Finkatze-zirkuitua	27

2.4.	MCaren modulazio-printzipioak	27
2.5.	Etengailu bidirezionalen konmutazio segurua	31
2.6.	MCA kontrolatzeko beharrezkoak diren zirkuituak	34
II Bihurgailu matrizialaren modulazioa eta kontrola		37
3	Bihurgailu matrizialaren modulazioa	39
3.1.	Sarrera	39
3.2.	Alesina-Venturiniren modulazio-teknika	41
3.3.	SVM modulazio-teknika bektoriala	43
3.3.1.	Modulazio bektorialean oinarriak	43
3.3.2.	Metodo zuzenaren bidezko lan-denboren kalkulua	47
3.3.3.	Konmutazio-sekuentziak	52
3.4.	GSPWM modulazio-teknika eskalarra	56
3.4.1.	Artezgailu birtualaren kontrola	57
3.4.2.	Eta inbertsore birtualaren kontrola	61
3.4.3.	Sarrerako korrontearen eta irteerako tentsioaren aldibereko kontrola	66
3.4.4.	DS SVM teknikaren sintesia GSPWM teknikaren bidez	68
3.5.	DS SVM eta DS GSPWM modulazioen arteko konparaketa	70
3.6.	Ondorioak	75
4	Bihurgailu matriziala sare elektrikoaren perturbazioen aurrean	79
4.1.	Sarrera	79
4.2.	Sare elektrikoan gertatzen diren perturbazioen sailkapena	80
4.3.	MCaren irteerako tentsioen konpentsazioa sare elektrikoaren desorekatuak denean	83
4.4.	Sarrerako korronteen konpentsazioa	89
4.5.	MCA bat-bateko tentsio-erorketen aurrean	94
4.6.	Ondorioak	97
5	Bihurgailu matrizialaren sinkronizazioa	99
5.1.	Sarrera	99
5.2.	Bihurgailuen PLL bidezko sinkronizazioa	100
5.3.	Sinkronizazio-teknika aurreratuak	103
5.4.	MCaren sinkronizazioa eta kontrola sare desorekatuekin	108
5.5.	Ondorioak	111
III Bihurgailu matrizialaren simulazioa eta prototipatze		

azkarreko kontrola	113
6 MCaren simulazioaren hobekuntza: SSMA simulazio-teknika aurreratua	115
6.1. Sarrera	115
6.2. MCaren simulazioaren problematika	116
6.3. MCa simulatzeko aukerak	123
6.3.1. Ebazle-motak	123
6.3.2. Pauso finkoko simulazioa vs pauso aldakorrekua	124
6.3.3. Interpolazio-teknikak	128
6.4. SSMA simulazio-teknika berria	129
6.4.1. Sarrera	130
6.4.2. MCentzako SSMA simulazio-teknika berria	131
6.4.3. Exekuzio-denboren arteko konparaketa	145
6.5. SSMA teknika MC asko dituzten sistemetan	147
6.6. Ondorioak	150
7 MCaren denbora errealeko simulazioa eta prototipatze azkarreko kontrola	151
7.1. Sarrera	151
7.2. Denbora errealeko RT-Lab eMEGAsim simulatzaile digitala	155
7.3. MCaren denbora errealeko simulazioa SSMA teknikaren bidez	161
7.3.1. Modeloaren inplementazioa RT-Lab eMEGAsim-en	161
7.3.2. Denbora errealeko modeloaren balioztatzea eta lortutako simulazio-emitzak	163
7.4. MCaren prototipatze azkarreko kontrola	167
7.4.1. Prototipoaren deskribapena	168
7.4.2. Prototipatze azkarreko kontrolaren inplementazioa	178
7.4.3. MC-RCP plataforman lortutako emaitza esperimentalak	182
7.5. Ondorioak	189
IV Bihurgailu matrizial hutsegite-toleratzailea	191
8 Bihurgailu matrizialaren hutsegite-tolerantziaren hobekuntza	193
8.1. Sarrera	193
8.2. MCaren osagaien hutsegiteen problematika eta babes-estrategiak	195
8.3. MCaren funtzionamendu jarraitua bermatzeko estrategia hutsegite-toleratzaileak	199
8.3.1. Estrategia hutsegite-toleratzaileen sailkapena	199
8.3.2. Irteerako fase-kopurua gehitzean oinarritzen diren estrategiak	200

8.3.3.	Sareko edota kargako neutroaren konexioan oinarritzen diren estrategiak	201
8.3.4.	Osagaien erredundantzia oinarritzen diren estrategiak . . .	205
8.3.5.	Kontrol-algoritmoetan soilik oinarritzen diren estrategiak .	208
8.4.	MCaren eta finkatze-zirkuituaren portaera zirkuitu irekiko hutsegite-egoeretan	208
8.5.	Etengailuen zirkuitu irekiko hutsegiteen detekzioarako estrategia . .	215
8.6.	MCarentzako kontrol hutsegite-toleratzaile berria	218
8.6.1.	SVM modulazio-teknikaren aldaera berriak	218
8.6.2.	PMSM baten kontrola zirkuitu irekiko hutsegitea gertatzen denean	223
8.6.3.	Proposatutako strategiaren bidez lortutako emaitza esperimentalak	226
8.7.	Ondorioak	228
V	Ondorioak eta etorkizunerako lanak	231
9	Tesiaren ondorioak eta etorkizunerako lanak	233
9.1.	Ondorioak	233
9.2.	Ekarpen garrantzitsuenen laburpena	234
9.3.	Tesitik eratorritako argitalpenak	238
9.3.1.	Aldizkari zientifiko-teknikoak	238
9.3.2.	Liburuak	240
9.3.3.	Nazioarteko kongresuak	241
9.3.4.	Estatu-mailako kongresuak	242
9.4.	Etorkizunerako lanak	243
VI	Eranskinak	245
A	Transformazio bektorialak	247
A.1.	Clarkeren transformazioa	247
A.2.	Parken transformazioa	249
B	Etengailuen erredundantzia oinarritzen diren estrategia hutsegite-toleratzaileak	251
C	Terminoen hiztegi laburra	257
	Bibliografia	267

Irudien zerrenda

2.1	$n \times m$ fase dituen MCaren eskema orokorra.	16
2.2	Iman iraunkorreko makina sinkrono (PMSM) batera konektaturiko MC trifasikoaren eskema, sarrerako iragazkiarekin eta finkatze-zirkuituarekin.	17
2.3	MCaren aplikazio potentzialak (I).	20
2.4	MCaren aplikazio potentzialak (eta II).	21
2.5	<i>Yaskawa Electricen</i> AC7 MC komertziala.	21
2.6	Etengailu bidirekzionalen topologiak.	24
2.7	Iragazkiaren transferentzia-funtzioen Bode-diagrama.	26
2.8	MCak sintetizatutako seinaleen adibideak (simulazioaren bidez lortutakoak).	30
2.9	MCaren etengailu bidirekzionalen arteko konmutazioa, pauso bakarrean egiten denean	32
2.10	Korrontearen noranzkoaren detekzioan oinarritutako lau pausoko konmutazio-sekuentziaren adibidea.	32
3.1	Clarkeren transformazio bektoriala.	44
3.2	Bektore aktiboaren eta sektoreen errepresentazioa $\alpha\beta$ ardatzetan.	45
3.3	SVM modulazioan erabiltzen diren bektore aktiboak eta nuluak.	46
3.4	MCak sarreran eta irteeran sintetizaturiko korronte eta tentsio zatiak.	48
3.5	Bektore aktiboaren konbinaketa linealaren bidezko erreferentziako tentsio- eta korronte-bektoreen sintesia $\alpha\beta$ planoan.	49
3.6	MCaren konmutazio-sekuentzien bi adibide.	52
3.7	Etapa artezgailu eta inbertsore birtualen bidezko MCaren errepresentazioa.	57
3.8	Artezgailu birtualaren sarrerako korronteen planoaren $\alpha\beta$ erreferentzia-sisteman.	59

3.9	Inbertsore birtualaren irteerako tentsioen planoan $\alpha\beta$ erreferentzia-sisteman.	62
3.10	Sinu-triangelu konparaketa bidezko modulazioaren adibidea.	63
3.11	Inbertsoreak ezarritako konmutazio-sekuentziaren adibidea.	65
3.12	Inbertsoreak ezarritako konmutazio-sekuentziaren bigarren adibidea.	65
3.13	Lan-denboren haztatzea.	67
3.14	DS GSPWM teknikan erabilitako konmutazio-sekuentzien adibidea, irteerako j terminal jakin batentzako ($j = \{U, V, W\}$).	70
3.15	MCarekin konektatuta dagoen PMSMaren abiadura mekanikoaren kontrol bektoriala.	72
3.16	MCarekin konektatuta dagoen PMSMaren abiadura-kontrollean lortutako simulazio-emaitzak, DS SVM modulazio-teknika erabiltzen denean.	74
3.17	DS SVM eta DS GSPWM tekniken bidez sintetizatutako korronteen arteko konparaketa.	75
3.18	DS SVM eta DS GSPWM teknikak simulatzeko behar izan diren denborak, f_{sw} -ren balioak 5 kHz, 12.5 kHz eta 20 kHz direnean.	77
3.19	DSSVM eta DS GSPWM tekniken arteko konparaketa (ehunekotan), sarrerako korrontea eta tentsioa fasean kontrolatzen direnean.	77
4.1	Sareko tentsio-bektorearen ibilbideak $\alpha\beta$ planoan.	81
4.2	Irteerako tentsio-bektorearen konpentsazioa, sare elektrikoa desorekatua denean.	85
4.3	Modulazio-indizearen konpentsazioa berrelikadura bidez.	86
4.4	Aurrelikadura bidezko konpentsazioaren egitura orokorra.	88
4.5	MCaren irteerako korronteen konpentsazioa.	89
4.6	Sarrerako tentsio- eta korronte-bektoreak, oinarrizko osagai positiboarekin batera biratzen duen dq erreferentzia-sistema sinkronoan adierazita.	91
4.7	Sarrerako korrontea modulatzeko estrategia ezberdinak erabiltzean lortutako emaitzak.	93
4.8	MCA denbora laburreko potentzia-etenaldietarako inbertsore laguntzailearekin.	96
5.1	SRF-PLL sinkronizazio-egitura.	101
5.2	SRF-PLLaren erantzuna: (a), (b) sarrerako tentsioa sinusoidala eta orekatua denean; (c), (d) sarrerako tentsioa sinusoidala eta desorekatua denean.	102
5.3	<i>Extended</i> -PLLaren egitura, oinarrizko osagai positiboaren kalkulurako blokea eta behe-paseko iragazkia dituen.	104

5.4	SOGI-QSGaren egitura.	105
5.5	DSOGI-QSG egituraren Bode diagramak: (a) $\frac{v'}{v}$ eta (b) $\frac{qv'}{v}$, $k = 0.5, 1$ eta 2 direnean.	106
5.6	Funtsezko maiztasun positiboa kalkulatzeko DSOGI-PLLaren eskema.	107
5.7	DSOGI-FLL sinkronizazio-egitura.	108
5.8	MCarentzako sinkronizazio- eta kontrol-egitura.	109
5.9	MCaren portaera sare desorekatuekin, sinkronizazio egokiarekin eta sinkronizazio egokirik gabe.	110
6.1	Modulazio-maiztasun ezberdinak erabiltzean MCaren sarreran sintetizatutako korronteen kalitatearen konparaketa.	120
6.2	MPPT algoritmo baten bidez kontrolatutako haize-errota txikia.	121
6.3	Simulazio-pausoak pauso finkoko eta pauso aldakorreko simulazioetan.	124
6.4	Aurpegi bakarreko SVM modulazioa: bektore aktibo eta nuluen distribuzioa T_{sw} periodoan zehar, $R = 10$ denean.	125
6.5	Pauso aldakorrean eta pauso finkoan MCak sintetizatutako sarre-rako eta irteerako korronteak, aurpegi bakarreko SVM modulazio-teknika erabiltzen denean.	127
6.6	Pauso aldakorrean eta pauso finkoan MCak sintetizatutako sarre-rako eta irteerako korronteak, DS SVM modulazio-teknika erabiltzen denean.	127
6.7	Sarrerako I_R korrontearen espektro harmonikoa T_{sim} ezberdinetarako, pauso finkoko ebazlea eta DS SVM modulazioa erabiltzen direnean.	128
6.8	MCarekin konektatuta dagoen PMSGaren modeloaren diagrama <i>Matlab-Simulinken</i>	132
6.9	Modulazio-algoritmoa ezartzen duen modeloaren diagrama, SSMA teknika eta aurpegi bakarreko SVM modulazioa erabiltzen direnean.	133
6.10	SSMA teknikaren ezarpenaren adibideak.	135
6.11	SSMA simulazio-teknika eta aurpegi bakarreko SVM modulazioa erabiltzean lortutako MCaren sarrerako eta irteerako korronteak.	136
6.12	SSMA simulazio-teknika eta DS SVM modulazioa erabiltzean lortutako MCaren sarrerako eta irteerako korronteak.	136
6.13	DS SVM modulazio-teknika erabiltzean sarreran sintetizatutako I_R korrontearen espektro harmonikoa.	137
6.14	DS SVM modulazio-teknika erabiltzean irteeran sintetizatutako I_U korrontearen espektro harmonikoa.	138
6.15	Sarrerako I_R korrontearen espektro harmonikoa egoera ezberdinetan.	140

6.16	PMSGarekin konektatuta dagoen MCaren sarrerako I_R korronea, sarea desorekatua denean.	141
6.17	Haizearen modeloaren bidez lortutako haize-profil baten adibidea.	141
6.18	Haize-profil aldakorra erabiltzean pauso aldakorreko ebazlearen bidez eta SSMA teknikaren bidez lortutako simulazio-emaitzen arteko konparaketa.	142
6.19	MC batekin konentatua dagoen PMSMaren DFOC kontrola.	143
6.20	Aztertutako makina bultzatzaile integratuan lortutako emaitzak, sarea desorekatua denean eta egoera iragankorrean.	143
6.21	Emaitza esperimentalen eta SSMA teknikaren bidez lortutako simulazio-emaitzen arteko konparaketa.	145
6.22	Pauso aldakorreko simulazioa, pauso finkoko simulazioa ($T_{sim} = 1 \mu s$) eta SSMA ($T_{sim} = 10 \mu s$) simulazio-teknikak erabiltzen direnean egoera iraunkor eta iragankorrean lortutako simulazio-denboren konparaketa.	146
6.23	Pauso aldakorreko simulazioetan eta SSMA bidezko simulazioetan lortutako simulazio-faktoreen arteko konparaketa.	149
6.24	Haize-erroten kopuruaren arabera SSMA teknika erabiltzean lortutako simulazio-faktoreak.	149
7.1	MCaren diseinuan erabilgarriak diren simulazio-modalitateak.	152
7.2	Denbora errealeko HIL simulazioaren eskema orokorra.	153
7.3	Prototipatze azkarreko kontrolaren eskema orokorra.	154
7.4	RT-Lab eMEGAsim simulatzaile digitalaren osagaien eta konexioen eskema.	157
7.5	Denbora errealean simulazio-pauso bakoitza exekutatzean gertatzen diren atazei dagozkien denborak.	159
7.6	Denbora errealean simulatutako modeloaren diagrama eta modeloak eMEGAsim-en azpisistema ezberdinetan duen banaketa.	162
7.7	<i>Sub1</i> azpisistema <i>SM_Master</i> modura exekutatzen duen konputazio-nodoan gertatzen diren atazen iraupena.	165
7.8	<i>Sub2</i> azpisistema <i>SS_Slave</i> modura exekutatzen duen konputazio-nodoan gertatzen diren atazen iraupena.	165
7.9	Denbora errealean (SSMA teknika erabiliz) eta ordenagailu konbentzionaletan (pauso aldakorreko ebazlearekin) lortutako emaitzen arteko konparaketa, egoera iragankorrean.	166
7.10	Modeloa denbora errealean bi ordutan simulatu ondoren lortutako sarrerako korroneak (egoera iragankorrean).	167
7.11	Tesian erabilitako 7.5 kW-etako MCaren prototipoa.	168
7.12	Eupec fabrikatzailearen EconoMac modulua.	170
7.13	MCaren <i>driveren</i> egitura: a) ohikoa (TOD) eta b) hobetua (IOD).	172

7.14	TOD eta IOD <i>Driver</i> -topologiak erabiliz lortutako konmutazio-abiadurak eta ibilaldi-mailak.	173
7.15	MCaren sarreran dagoen bigarren ordenako LC iragazkia, R_{pu} abiarazte-erresistentzia duena.	174
7.16	Potentzia-faktorearen kondentsadoreekiko dependentzia.	175
7.17	C_F eta L_F osagai errektiboen balioak, ebaketa-mahiztasuna 2 kHz-ekoa denean.	175
7.18	Prototipoko finkatze-zirkuituaren diagrama.	177
7.19	Plataforma esperimental: 7.5 kW-etako MCaren prototipoa, RL karga trifasikoarekin konektatuta eta RT-Lab eMEGAsim denbora errealeko gailu digitalaren bidez kontrolatuta.	179
7.20	MCaren prototipatze azkarreko kontrolaren eskema orokorra.	180
7.21	MCaren prototipatze azkarreko kontrola egitean <i>SM_master</i> azpisteman gertatzen diren atazen iraupena.	183
7.22	MCaren prototipatze azkarreko kontrola egitean <i>SS_slave</i> azpisteman gertatzen diren atazen iraupena.	183
7.23	Prototipoaren irteeran lortutako tentsioa eta lau pausoko konmutazio sekuentzia.	184
7.24	Prototipoak sarreran eta irteeran sintetizatutako korronteak aurpegi bakarreko SVM modulazio-teknika erabiltzen denean.	185
7.25	Sarreran sintetizatutako korronteen espektro harmonikoa, aurpegi bakarreko SVM modulazio-teknika erabiltzen denean.	186
7.26	Irteeran sintetizatutako korronteen espektro harmonikoa, aurpegi bakarreko SVM modulazio-teknika erabiltzen denean.	186
7.27	Prototipoak sarreran eta irteeran sintetizatutako korronteak DS SVM modulazio-teknika erabiltzen denean.	187
7.28	Sarreran sintetizatutako korronteen espektro harmonikoa, DS SVM modulazio-teknika erabiltzen denean.	188
7.29	Irteeran sintetizatutako korronteen espektro harmonikoa, DS SVM modulazio-teknika erabiltzen denean.	188
8.1	IGBT baten funtzionamendu-eremu seguruaren adibidea.	197
8.2	$3 \times N$ fase dituen MCaren egitura.	200
8.3	Sareko edota kargako neutroak konektatzen dituen topologia hutsegite-toleratzailearen eskema orokorra.	202
8.4	Sistemak ongi funtzionatzen duenean makinaren estatorean lortzen diren korronteak (beltzez), eta $I_W = 0$ A denean MMF berdina mantentzeko beharrezkoak diren korronteak (gorriz).	203
8.5	MC modularraren egitura.	205
8.6	Fase erredundantea duen MC hutsegite-toleratzailearen egitura.	206
8.7	Etengailu gehigarri bakarra duen X MC topologia erredundantea.	207

8.8	Finkatze-zirkuitua zeharkatzen duten korronteen adibideak, S_{RU} etengailu bidirekzionala zirkuitu irekian denean.	210
8.9	Korronteen portaera, S_{RU} zirkuitu irekian dagoenean.	211
8.10	Finkatze-zirkuituko kondentsadorearen $V_{C_{clamp}}$ tentsioaren kontrola.	213
8.11	MCak egoera ezberdinetan sarreran eta irteeran sintetizatutako korronteak, DS SVM modulazio-teknika erabiltzen denean.	214
8.12	Sarrerako I_R korrontearen maiztasun baxuko espektro harmonikoa, DS SVM modulazio-teknika ezartzen denean.	215
8.13	(a), (b), (c) MCaren irteerako tentsioak vs detekzio-algoritmoak estimatutakoak. (d) S_{RU} etengailuaren zirkuitu irekiko hutsegitearen detekzioa.	219
8.14	Sintetizagarriak diren sarrerako eta irteerako bektore aktiboak $\alpha\beta$ planoan, S_{RU} etengailu bidirekzionala irekita dagoenean.	220
8.15	Proposatutako konpentsazio-estrategiak ezartzean (S_{RU} etengailu bidirekzionala zirkuitu irekian dagoenean) begizta irekian lortutako emaitzak.	221
8.16	PMSMaren abiaduraren kontrolean lortutako emaitzak, sistemak era egokian funtzionatzen duenean.	225
8.17	PMSMaren abiaduraren kontrolean lortutako emaitzak, S_{RU} etengailu bidirekzionala zirkuitu irekian denean.	225
8.18	PMSMaren abiaduraren kontrolean lortutako emaitzak, proposatutako C estrategia hutsegite-toleratzailea ezartzen denean.	225
8.19	Abiadura-kontrolaren batezbesteko errorea egoera iraunkorrean, T_L eta ω_{mech} aldagaien balioen arabera.	226
8.20	MCaren irteerako korronteak funtzionamendu egokian eta S_{RU} etengailua zirkuitu irekian denean.	227
8.21	SVM estrategia hutsegite-toleratzailea: zirkuitu irekian dagoen etengailua (S_{RU}) fase bereko etengailuengatik ordezkatzeara (S_{SU} , S_{TU}).	228
A.1	Erreferentzia-sistema trifasikoa, $\alpha\beta$ planoan proiektatuta.	248
A.2	$\alpha\beta$ eta dq erreferentzia-sistemak.	249
B.1	Etengailu gehigarri bat baino gehiago dituzten topologia erredundanteak (I): XY MC topologia.	253
B.2	Etengailu gehigarri bat baino gehiago dituzten topologia erredundanteak (eta II): XR YS ZT topologia.	254
B.3	XR YS ZT topologia hutsegite-toleratzailearen bidez lortutako emaitza esperimentalak.	255

Taulen zerrenda

2.1	AC/AC bihurtailuak eraikitzeke behar den osagai-kopurua.	19
2.2	MC trifasikoaren bederlatzi etengailu bidirekzionalak eraikitzeke beharrezkoak diren elementuak, etengailuen topologiaren arabera. .	24
3.1	SVM modulazio-teknikan erabiltzen diren bektoreen konfigurazioa, magnitudea eta angelua.	47
3.2	K_i eta K_v sektoreen arabera SVM modulazioan ezarri behar diren bektore aktiboak.	49
3.3	Aurpegi bakarreko SVM modulazio-teknikaren konmutazio-sekuentziak, eta bektore bakoitzari dagokion lan-denbora.	53
3.4	Bektore nuluen lan-denboren balioen arabera periodo bakoitzean gertatzen den konmutazio-kopurua, sekuentzia simetriko optimoak erabiltzen direnean.	54
3.5	DS SVM modulazio-teknikaren konmutazio-sekuentziak	55
3.6	Arteztailu birtualak ezar ditzakeen bektore aktiboak eta nuluak. .	59
3.7	Sarrerako korrontearen sektoreen determinazioa, ezarri beharreko bektoreak eta lan-denborak.	60
3.8	Inbertsore birtualak ezar ditzakeen bektore aktiboak eta nuluak. .	62
3.9	Simulatutako MC-PMSM plataformaren datu esanguratsuenak. . .	71
3.10	DS SVM eta DS GSPWM modulazio-tekniken arteko konparaketa.	76
3.11	Erabilitako konputagailuaren datu esanguratsuenak.	76
4.1	Sarea desorekatua denean simulatutako modeloaren datuak.	88
4.2	Konpentsazio-tekniken eragina I_U korrontean.	90
6.1	Simulatutako plataformen parametroak.	119
6.2	Simulazio- eta modulazio-teknika ezberdinen bidez lortutako THDak.	128
6.3	Proposatutako SSMA simulazio-teknikak plataforma eta egoera ezberdinetan duen maiztasun baxuko portaera.	144

6.4	Egoera iraunkor eta iragankorrean lortutako simulazio-denborak, sistemaren portaeraren bi segundo simulatzen direnean.	146
6.5	Haize-erroten kopuru eta simulazio-teknika ezberdinen bidez lortutako simulazio-faktoreak.	148
7.1	RT-Lab eMEGAsim gailu digitalaren osagai garrantzitsuenak.	156
7.2	Denbora errealean simulatutako MC-PMSG plataformaren parametro esanguratsuenak.	163
7.3	Ordenagailu konbentzionala eta RT-Lab eMEGAsim gailu digitala erabiltzean lortutako exekuzio-denborak, simulatu beharreko denbora bi segundutakoa denean.	163
7.4	MCarentzako potentzia-erdieroale komertzial nabarmenenak.	169
7.5	FM35R12KE3 Economac potentzia-moduluaren parametro esanguratsuenak	169
7.6	Kommutazioarekin zerikusia daukaten osagaiak.	171
7.7	Prototipoaren sarrerako iragazkiko parametro esanguratsuenak.	176
7.8	Finkatze-zirkuitua osotzen duten blokeen deskribapena.	176
7.9	Finkatze-zirkuituko osagaiak eta horien balioak.	177
7.10	Finkatze-zirkuituko parametro garrantzitsuenak.	177
7.11	Aukeratzten den kontrol-estrategiaren arabera erabili behar den sentzore-kopurua.	178
7.12	Prototipoan erabilitako korrante- eta tentsio-sentsoreak.	178
8.1	Topologiaren arabera potentzia-bihurgailuek duten fidagarritasunaren iragarpena.	195
8.2	Zirkuitu irekiko hutsegite-egoeran aztertutako MCaren parametro esanguratsuenak.	209
8.3	Aztertutako MCaren funtzionamendua egoera normalean eta hutsegite-egoeretan.	213
8.4	MCak kargan sintetizatutako korronteen THDa, bihurgailuak ongi funtzionatzen duenean, S_{RU} zirkuitu irekian dagoenean, eta proposatutako estrategiak ezartzean.	222
8.5	Simulatutako PMSMaren parametro esanguratsuenak.	224
8.6	MCak kargan sintetizatutako korronteen THD esperimentalak, funtzionamendu-modu ezberdinetarako.	228
9.1	Tesiko kapituluaren eta argitaratutako artikuluen arteko korrespondentzia (A: aldizkari zientifiko-teknikoa, L: liburua, NK: nazioarteko kongresua, EK: estatu mailako kongresua).	239

B.1 Hutsegite-toleratzailea den topologia erredundantearen arabera dagoen osagai gehigarrien kopurua, eta lortzen den erredundantzia-maila. 255

Nomenklatura

α_{out}	irteerako tentsio-bektorearen angelua $\alpha\beta$ planoan [rad]
$\tilde{\alpha}_{out}$	irteerako tentsio-bektorearen angelua $\alpha\beta$ planoan, sektorearen erdikariarekiko neurtua [rad]
a	Fortescueren eragilea
β_{in}	sarrerako korrante-bektorearen angelua $\alpha\beta$ planoan [rad]
$\tilde{\beta}_{in}$	sarrerako korrante-bektorearen angelua $\alpha\beta$ planoan, sektorearen erdikariarekiko neurtua [rad]
B	marruskadura-koefizientea [Nms]
C_{clamp}	finkatze-zirkuituko kondentsadoreen kapazitatea [F]
C_{DClink}	erdibideko kondentsadorea [F]
C_F	iragazkiko kondentsadoreen kapazitatea [F]
$\cos \varphi_{in}$	MCaren sarrerako potentzia-faktorea
cX_j	j fasea konektatzen duen errelea
δ_j	MCaren j bektoreari dagokion lan-denbora
δ_j^G	inbertsore birtualaren j etengailuaren lan-denbora orokortua
δ_{jm1}	GSPWM teknikaren bidez lortutako lan-denbora haztatua
Δt_{comm}	etengailu bidirezionalen arteko kommutazioa egiteko behar den denbora [s]
Δt_{jm1}	GSPWM teknikaren bidez lortutako ezarpen-denbora haztatua [s]
$\Delta t_{m,j}$	artezgailu birtualaren j bektorearen ezarpen-denbora [s]
\vec{e}_n	oinarrizko maiztasun-osagai negatiboaren bektorea $\alpha\beta$ planoan [V]
E_n	oinarrizko maiztasun-osagai negatiboaren magnitudea [V]

\vec{e}_p	oinarrizko maiztasun-osagai positiboaren bektorea $\alpha\beta$ planoan [V]
E_p	oinarrizko maiztasun-osagai positiboaren magnitudea [V]
f_c	iragazkiaren ebaketa-maiztasuna [Hz]
f_{in}, f_{out}	MCaren sarrerako eta irteerako tentsioen maiztasunak [Hz]
F_j	j faseko fusible azkarra
F_{MM}	indar magnetoeragilea [A]
F_{sim}	simulazio-faktorea
f_{sw}	modulazio-maiztasuna [Hz]
Γ	kommutazio-egoeren matrizea
\vec{i}_{in}	sarrerako korrante-bektorea $\alpha\beta$ planoan [A]
\vec{i}_{in}^*	erreferentziako korrante-bektorea $\alpha\beta$ planoan [A]
\vec{I}_j	artezgailu birtualaren bektore aktibo eta nuluak [A]
I_p, I_n	DC_{link} birtualeko korranteak [A]
$\vec{i}_{RST}, \vec{i}_{UVW}$	MCaren sarrerako eta irteerako korrante-bektore trifasikoak [A]
I_R, I_S, I_T	sarrerako korrante-bektore trifasikoaren osagaiak [A]
i_{sd}, i_{sq}	makina sinkronoaren estatoreko korranteak, dq erreferentzia-sisteman [A]
i_{sd}^*, i_{sq}^*	makina sinkronoaren estatoreko erreferentziako korranteak, dq erreferentzia-sisteman [A]
I_U, I_V, I_W	irteerako korrante-bektore trifasikoaren osagaiak [A]
I_{jload}	kargako j fasean sintetizatutako korranteak [A]
J_{eq}	kargaren eta makinaren inertzia-momentu konbinatua [Kgm ²]
K_i, K_v	sarrerako korranteen eta irteerako tentsioen $\alpha\beta$ planoko sektoreak
λ	hutsegite-ratioa
L_F	iragazkiko bobinen indukantzia [H]
L_{sd}, L_{sq}	makina sinkronoaren estatoreko induktantziak [mH]
μ	banaketa-parametroa
m	modulazio-indizea
P	makina sinkronoaren polo-pare kopurua
P_{in}, P_{out}	MCaren sarrerako eta irteerako aldiuneko potentziak [W]
P_N	makina sinkronoaren potentzia nominala [W]
q	atzerapen-eragilea
r	simulazio-pausoaren kontadorea

R, S, T	MCaren sarrerako faseak
R_d	iragazkiko moteltze-erresistentzia [Ω]
R_{dissip}	<i>crowbare</i> ko erresistentzia [Ω]
R_s	makina sinkronoaren estatoreko erresistentzia [Ω]
R_{sim}	simulazioaren erresoluzio-faktorea
rU	korrante positiboa garraiatzen duen IGBTa
S_{ij}	ij etengailu bidirekzionalaren egoera
SW_{dissip}	<i>crowbar</i> aren aktibazio-seinalea
$[T_+], [T_-]$	Fortescueren transformazio-matrize positiboa eta negatiboa
$[T_{\alpha\beta 0}]$	Clarkeren transformazio-matrizea
t_{comm}	PC taldeko konputazio-nodoen arteko komunikazio-denbora [s]
$[T_{dq0}]$	Parken transformazio-matrize zuzena
T_{em}	makina sinkronoak sortutako momentu elektromagnetikoa [Nm]
t_{exec}	modeloaren exekuzio-denbora [s]
t_{idle}	PC taldeko konputazio-nodoa zain dagoen denbora [s]
t_{ij}	ij etengailu bidirekzionalaren ezarpen-denbora [s]
t_j	MCaren j bektoreari dagokion ezarpen-denbora [s]
T_L	kargak sortutako momentu elektromagnetikoa [Nm]
t_{on}, t_{off}	sinu triangelu konparaketa bidezko etengailuen aktibazio- eta desaktibazio-denborak [s]
TR_j	j faseko triodoa
T_{step}	simulatzaille digitalaren pausoaren luzera [s]
T_{sim}	simulazio-pausoaren luzera [s]
T_{sw}	modulazio-periodoa [s]
T_t	haize-errotaren palek sortutako momentua [Nm]
u	desoreka-maila
Ur	korrante negatiboa garraiatzen duen IGBTa
U, V, W	MCaren irteerako faseak
$V_{C_{clamp}}$	finkatze-zirkuituko kondentsadorearen tentsioa [V]
\vec{v}_{in}	sarrerako tentsio-bektorea $\alpha\beta$ planoan [V]
V_{in}	sarrerako tentsio-bektorearen magnitudea [V]
$V_{in\alpha}, V_{in\beta}$	sarrerako tentsio-bektorearen osagaiak $\alpha\beta$ planoan [V]
$\vec{v}_{in dq}$	sarrerako tentsio-bektorea dq planoan [V]
$V_{in d}, V_{in q}$	sarrerako tentsio-bektorearen osagaiak dq planoan [V]
\vec{V}_j	inbertsore birtualaren bektore aktibo eta nuluak [V]
V_j^*	inbertsore birtualaren irteerako j faseko erreferentziakzko tentsioaren balioa [V]

\vec{v}_{out}	irteerako tentsio-bektorea $\alpha\beta$ planoan [V]
\vec{v}_{out}^*	erreferentziazko tentsio-bektorea $\alpha\beta$ planoan [V]
V_{out}	irteerako tentsio-bektorearen magnitudea [V]
V_{out}^*	irteerako erreferentziazko tentsio-bektorearen magnitudea [V]
V_p, V_n	DC_{link} birtualeko borneetako tentsioak [V]
V_{pn}	DC_{link} birtualeko borneen arteko tentsioa [V]
\vec{v}_{RST}	sarrerako tentsio-bektore trifasikoa [V]
V_R, V_S, V_T	sarrerako tentsio-bektore trifasikoaren osagaiak [V]
V_{RS}, V_{ST}, V_{TR}	sarrerako linea arteko tentsio trifasikoak [V]
v_{sd}, v_{sq}	makina sinkronoaren estatoreko tentsioak, dq erreferentzia-sisteman [V]
V_{tri}, \hat{V}_{tri}	garraiatzaile triangeluarraren aldiuneko balioa eta balio maximoa [V]
\vec{v}_{UVW}	irteerako tentsio-bektore trifasikoa [V]
V_U, V_V, V_W	irteerako tentsio-bektore trifasikoaren osagaiak [V]
V_{UV}, V_{VW}, V_{WU}	irteerako linea arteko tentsio trifasikoak [V]
ω_{in}	sarrerako tentsioaren maiztasuna [rad/s]
$\omega_{in}t, \theta_{in}$	sarrerako tentsio trifasikoaren fase-angelua [rad]
W_L	kargan metatuta dagoen energia magnetikoa [J]
ω_m	makina sinkronoaren abiadura elektrikoa [rad/s]
ω_{mech}	makina sinkronoaren abiadura mekanikoa [r.p.m.]
ω_{mech}^*	makina sinkronoaren erreferentziazko abiadura mekanikoa [r.p.m.]
ω_N	makina sinkronoaren abiadura nominala [r.p.m.]
φ_{in}	MCaren sarrerako desplazamendu-angelua [rad]
$\vec{\psi}^n$	erreferentziazko bektore normalizatua
$\psi_R^n, \psi_S^n, \psi_T^n$	erreferentziazko bektore normalizatuaren osagaiak
ψ_F	iman iraunkorren fluxu magnetikoa [Wb]
ϕ_p	oinarrizko osagai positiboaren fasea [rad]
ϕ_n	oinarrizko osagai negatiboaren fasea [rad]

Akronimoen zerrenda

AC/AC	alternotik alternorako bihurketa
AC/DC	alternotik zuzenerako bihurketa
ACSL	<i>Advanced Continuous Simulation Language</i>
A/D	analogikotik digitalera bihurketa
CC	kolektore komuneko konfigurazioa
CE	igorle komuneko konfigurazioa
CM	<i>Common Mode</i>
D/A	digitaletik analogikora bihurketa
DC	korrante zuzena
DC/AC	zuzenetik alternorako bihurketa
DC/DC	zuzenetik zuzenerako bihurketa
DIM	<i>Double Interpolation Method</i>
DSOGI	<i>Dual Second Order Generalized Integrator</i>
DSP	<i>Digital Signal Processor</i>
DS GSPWM	<i>Double Sided GSPWM</i>
DS SVM	<i>Double Sided SVM</i>
DTC	<i>Direct Torque Control</i>
EMI	<i>Electromagnetic Interference</i>
FLL	<i>Frequency Locked Loop</i>
FPGA	<i>Field Programmable Gate Array</i>
FRD	<i>Fast Recovery Diode</i>
GSPWM	<i>Generalized Scalar Pulse Width Modulation</i>
HIL	<i>Hardware in the Loop</i>
HVDC	<i>High Voltage Direct Current</i>
IEM	<i>Interpolation plus Extrapolation Method</i>
IEPC	<i>Instantaneous Effective Power Control</i>

IGBT	<i>Insulated Gate Bipolar Transistor</i>
IOD	<i>Improved Optocoupled Driver</i>
MC	bihurgailu matriziala
MMF	indar magnetoeragilea
MPP	<i>Maximum Power Point</i>
MPPT	<i>Maximum Power Point Tracking</i>
OC	<i>Open collector</i>
PC	ordenagailu pertsonala
PCM	<i>Post Correction Method</i>
PI	proportzional integrala
PLL	<i>Phase Locked Loop</i>
PMSG	<i>Permanent Magnet Synchronous Generator</i>
PMSM	<i>Permanent Magnet Synchronous Machine</i>
PWM	<i>Pulse Width Modulation</i>
RB IGBT	<i>Reverse Blocking Insulated Gate Bipolar Transistor</i>
RCP	<i>Rapid Control Prototyping</i>
RMS	<i>Root Mean Square</i>
RTOS	<i>Real-time operative system</i>
SCR	<i>Silicon Controlled Rectifier</i>
SOA	<i>Safe Operating Area</i>
SPICE	<i>Simulation Program with Integrated Circuit Emphasis</i>
SSMA	<i>Switching State Matrix Averaging</i>
SOGI	<i>Second Order Generalized Integrator</i>
SVM	modulazio-teknika bektoriala
TAM	<i>Time Averaging Method</i>
THD	<i>Total Harmonic Distortion</i>
TOD	<i>Typical Optocoupled Driver</i>
TRIAC	<i>TRIode for Alternating Current</i>
TSDPC	<i>Two Stage Direct Power Converter</i>
VHDL	<i>Very high speed integrated circuit Hardware Description Language</i>

I. atala

**Sarrera eta oinarrizko
kontzeptuak**

1. kapitulua

Sarrera

1.1. Tesiaren testuingurua

Euskal Herriko Unibertsitateko (UPV/EHU) Bilboko Ingeniaritza Goi Eskola Teknikoan dagoen APERT (*APplied Electronics Research Team*) ikerketa-taldean egindako ikerketa-lanaren emaitza da tesi hau. Nagusiki, bi ikerketa-ildo jorrazten ditu APERT taldeak:

- **Zirkuitu birkonfiguragarriak eta *System-on-Chip* sistemak.** Integrazio- eta birkonfigurazio-ahalmen handiko FPGA (*Field Programmable Gate Array*) gailu digital berriak erabiltzen dira ikerketa-ildo horretan sistema digital osoak zirkuitu integratu bakarrean implementatzeko.
- **Energia-bihurgailuentzako kontrol- eta potentzia-zirkuituak.** Energia elektrikoaren sorkuntzan, bihurtetan eta metaketan erabiltzen diren potentzia-sistema elektronikoak diseinatzen eta ikertzen dira ildo horretan. Hauexek dira ikerketa-ildo horrek dituen adarrak:
 - (a) **Bihurgailu matritziala (MC, *Matrix Converter*).** Bihurgailu matritzial izenarekin ezagutzen den AC/AC potentzia-bihurgailua ikertzen da adar horretan.
 - (b) **Energiaren garraiorako HVDC (*High Voltage Direct Current*) sistemak.** Energia elektrikoaren garraiorako HVDC sistemetan erabiltzen den potentzia-elektronika ikertzen da adar horretan.
 - (c) **Haize-errota txikiak.** Haize-erroten teknologiarako dauden auke-

rak, bai bihurgailuen kasuan eta baita kontrol-algoritmoen kasuan ere, aztertzen dira adar horretan.

Alde horretatik, “Energia-bihurgailuentzako kontrol- eta potentzia-zirkuituak” izena duen ikerketa-ildoan kokatzen da tesi hau, bihurgailu matritzialei buruzko adarrean. Halaber, hurrengo ikerketa-proiektu publikoen inguruan kokatzen da tesi honetan egindako lana:

1. “*Estudio de la aplicación de los convertidores matriciales a los generadores eólicos (CEBATE)*”. Ministerio de Educación y Ciencia finantziatua (ENE 2007-67033-C03-02).
2. “*Mejora de la conversión de energía minieólica mediante convertidores matriciales*”. Eusko Jaurlaritzak finantziatua (S-PE09UN08, Saiotek programa).

Jarraian, tesi honetan ikertutako gaiari buruzko sarrera aurkeztuko da. Ondoren, tesiaren helburuak azalduko dira, eta dokumentuaren egitura zein den erakutsiko da.

1.2. Tesiko gaiaren sarrera

Gaur egun, energia elektrikoaren transformazioa beharrezkoa da hainbat eta hainbat aplikaziotan. Horren adibide dira sare elektrikoarekin konektatuta dauden makina bultzatzaile (*machine drive*, ingelesez) industrialak [1], trenen propulsiotegiak [2] eta energia elektrikoa sortzeko erabiltzen diren abiadura aldakorrek haize-errotak [3–5], besteak beste. Oro har, potentzia-bihurgailuak erabiltzen dira kasu horietan energia elektrikoa bihurtzeko. Potentzia-bihurgailuak erabiltzen dituzten aplikazioek gure gizartean duten garrantzia kontuan hartuta, teknologia horien garapena oso garrantzitsua dela baieztatu daiteke, bai eraginkortasunaren aldetik, eta baita fidagarritasunaren aldetik ere.

Gailu erdieroaleak erabiliz eraikitzen dira potentzia-bihurgailuak, eta egiten duten bihurteta mota ezberdinetakoa izan daiteke, bai fase-kopuruaren arabera, eta baita bihurgailuaren sarreran eta irteeran dauden tentsioen eta korronteen ezaugarrien arabera ere. Alde horretatik, AC/AC, AC/DC, DC/AC eta DC/DC motako bihurtetarako bereizten dira. Tesi honetan, AC/AC bihurteta trifasikoaz arituko gara. Zentzu horretan, bi aukera daude AC/AC motako bihurteta trifasikoa egiteko:

- **Bi pausotan egin daiteke AC/AC bihurteta.** Aukera hori erabiltzen denean, alternotik zuzenerako bihurteta (AC/DC) egiten da, lehenik eta

behin, eta zuzenetik alternorakoa (DC/AC), ondoren. AC/AC bihurketa egiteko modu tradizionala da hori, eta, dudarik gabe, gehien erabiltzen dena da. Hori dela-eta, oso heldua da bihurketa era horretara egiteko erabiltzen den teknologia.

Bihurketa era horretara egiten duten bi etapatako potentzia-bihurgailu ugari (adibidez, *back-to-back* bihurgailua) aurki daitezke gaur egun. Potentzia-bihurgailu horietako ia guztiek ezaugarri bat dute komunean: kondentsadore bat (edo gehiago) dute erdibidean. Kondentsadore horiek pisu eta bolumen handia izan ohi dute, eta tenperaturarekiko eta presioarekiko sentikorrak dira. Gainera, garestiak dira, eta azkar zahartzen dira.

- **Zuzenean egin daiteke AC/AC bihurketa.** Energia elektrikoa era horretara bihurtzen denean, ez da behar erdibideko kondentsadorerik. Horri esker, kondentsadore hori erabili beharrak sortzen dituen desabantailak gainditu egiten dira. Hori dela-eta, potentzia-bihurgailu zuzenak oso lehiakorak izan daitezke zenbait aplikaziotan, hala nola aplikazio aeronautikoeetan, urpeko aplikazioetan, etab. Aplikazio horietan, muturreko inguruneetan egin behar dute lan bihurgailuek; horretaz gain, pisua eta bolumena faktore garrantzitsuak izaten dira. Alde horretatik, potentzia-bihurgailu matriziala (MC, *Matrix Converter*) erabil daiteke AC/AC bihurketa era zuzenean egiteko. Potentzia-bihurgailu arina, eraginkorra, konpaktua eta modernoa da MCa [6, 7]. Energia bihurketarako topologia hori ikertuko da sakon tesi honetan.

Erdibideko kondentsadorerik ez izateaz gain, oso interesgarriak diren beste ezaugarri batzuk ditu MCak. Alde batetik, lau koadranteetan egin dezake lan bihurgailu horrek. Horrela, posible da energia birsortzea. Bestalde, modulazio-teknika egokiak erabiliz gero, posible da distortsio harmoniko oso baxua duten korrante sinusoidalak lortzea bihurgailuaren sarreran eta, aldi berean, tentsio eta korrante sinusoidalak kargan. Horretaz gain, MCaren sarreran potentzia-faktore unitarioa lor daiteke, bihurgailuari konektatuta dagoen karga edozein dela ere. Azkenik, oso bihurgailu eraginkorra da. Gaur egun dauden arazo energetikoak aintzat hartuta, potentzia-bihurgailu batean azken faktore hori oso garrantzitsua dela baieztatu daiteke.

Ezaugarri horiek direla-bide, komunitate zientifikoaren interesa erakarri du MCak azken urteotan. Alde horretatik, MCari buruzko lan asko argitaratu dira azken hamarkadan literatura zientifikoan. Horretaz gain, MCa merkatuan sartzen hari da pixkanaka-pixkanaka. Adibidez, MC komertzialak eraikitzen dituzte *Yaskawa Electric Corporation* [8, 9] eta *Fuji Electric Group* [10] enpresek. Hala ere, MCak merkatuan duten eragina oso txikia da oraingoz, gaur egun bihurgailu horrek gainditu behar dituen desabantailak direla-eta:

- Printzipioz, bihurgailuaren transferentzia-ratio maximoa % 86.6ra mugatuta dago. Hala ere, transferentzia-ratio maximo hori gaintitu egin daiteke, gainmodulazio-teknikak erabiliz gero. Ordainetan, maiztasun baxuko osagai harmonikoak sortzen dira bihurgailuak sintetizatutako seinaleetan. Bestalde, gainmodulazioak sortutako distortsioa onartezina den kasuetan, transferentzia-ratio maximoaren arazoa minimizatzea posible da ere. Horretarako, beharrezkoa da sistema era egokian dimentsionatzea (adibidez, MCaren irteerako tentsio-mailetan funtzionatzeko aproposak diren makina elektrikoak erabiliz). Beraz, transferentzia-ratioaren muga hori desabantaila oso handia ez dela esan daiteke.
- Potentzia-bihurgailu konplexua da MCa, bai osagai-kopuruaren aldetik, eta baita kontrolaren aldetik ere. Etengailu bidirekzional naturalik existitzen ez denez, gailu erdieroale asko behar dira bihurgailua osatzen duten bederatzi etengailu bidirekzionalak eraikitzeke. Adibidez, hemezortzi IGBT (*Insulated Gate Bipolar Transistor*) eta hemezortzi diodo azkar behar dira MC trifasiko bat eraikitzeke, etengailu bidirekzionalen konfigurazio arruntenak erabiltzen direnean.

Bestalde, MCaren kontrolaren konplexutasunak bi ondorio ditu:

1. MCaren etengailuen aktibazio- eta desaktibazio-uneak era egokian kontrolatzeko, beharrezkoa da konputazio gaitasun handia duten zirkuitu digital oso azkarrak erabiltzea. Egun aurki daitezkeen gailu digital birkonfiguragarri modernoak (FPGA, *Field Programmable Gate Array*) MCaren kontrolaren konplexutasunari erantzuteko gai direla frogatu da, bai gailu horiek bakarrik erabiliz, eta baita DSPekin (*Digital Signal Processor*) batera erabiliz ere. Beraz, azken urteotan eman diren aurrerapausoek arazo hori minimizatu dutela esan daiteke.
 2. Simulazioa erabiltzen da MCaren eta horren kontrolatzaileen diseinu-prozesuaren lehenengo ataletan. MCaren arkitektura eta kontrola oso konplexuak direnez, oso luzeak izaten dira bihurgailu hori duten modeloen simulazio zehatzak egiteko beharrezkoak diren denborak. Horretaz gain, egoera iragankor luzeak simulatzeko arazoak daude, ordenagailu konbentzionalek ez baitituzte simulazio horiek egiteko beharrezkoak diren baliabideak. Ondorioz, bihurgailuaren diseinu-prozesuaren atal horietan denboran gehiegi luzatu gabe egin daitezkeen test-kopurua oso mugatua dago.
- Erdibideko kondentsadorerik ez duenez, sare elektrikoan gertatzen diren perturbazioak gaintitzeko gaitasun baxua (*low ride-through capability*, ingelesez) du MCak. Hala ere, arazo horiek minimizatzeko baliagarriak diren

hainbat estrategia proposatu dira literaturan.

- MCa babestea oso konplexua da, bihurgailuak ez baitu korronteen libre zirkulatzeko biderik (*free-wheeling paths*, ingelesez). Bihurgailuaren sarrean eta irteeran gerta daitezkeen gaintentsioen eta gainkorronteen ondorioz, bihurgailua osatzen duten elementuak apurtu egin daitezke. Beraz, estrategiak garatu behar dira bihurgailua egoera arriskutsu horietatik babesteko. Alde horretatik, finkatze-zirkuitua (*clamp circuit*, ingelesez) izenarekin ezagutzen den babes-zirkuitua da MCa babesteko gehien erabiltzen dena. Gaur egun, soluzio hori oso finkatuta dago.

Kasu batzuetan, babes-estrategiak ez dira nahikoa izaten, eta hutsegiteak gerta daitezke bihurgailuan. Bihurgailua erabiltzen den aplikazioa kritikoa denean, beharrezkoa da estrategia hutsegite-toleratzaileak (*fault tolerant*, ingelesez) erabiltzea. Mota horretako estrategiak erabiliz, sistemaren funtzionamendu jarraitua bermatzeko beharrezkoak diren funtzionalitate minimoak lortzen dira hutsegite-egoeretan. Egun, MC hutsegite-toleratzaileak aztertzen dituzten ikerketa-lanak ez dira oso ugariak. Hala ere, gai horri buruzko interesa gehituz doa, eta MCaren hutsegite-tolerantzia hobetzen duten soluzio berriak ari dira azaltzen literatura zientifikoan.

1.3. Helburuak

Tesiko gaiaren sarreran aipatutako desabantailak gainditzeak MCaren erabilera hedatuko lukeela kontuan hartuta, hauexek dira tesi honetako helburu nagusiak:

1. MCaren artearen egoera ezagutzea, bihurgailu horrek dituen ahultasunak identifikatu ahal izateko.
2. MCaren modulazioari eta kontrolari buruzko oinarri sendoak lortzea, ezagutza horretatik abiatuta, MCaren arazoei erantzuna eman ahal izateko.
3. MCaren diseinu-prozesua laburtzea eta erraztea, bihurgailuaren simulazio-prozesua azkartzeko eta kontrol-algoritmoak arazteko baliagarriak izango diren soluzio berriak proposatuz.
4. MCaren hutsegite-tolerantzia hobetzea, hutsegite-egoeran sistemaren funtzionamendu jarraitua bermatzeko baliagarriak izango diren estrategia hutsegite-toleratzaile berriak proposatuz.

1.4. Dokumentuaren egitura

Doktorego-tesi honek duen egitura aurkeztuko da jarraian. Alde horretatik, sei ataletan banatzen da tesi hau, non bederatzi kapituluk eta hiru eranskinek osatzen dituzten atal horiek:

I. **Sarrera eta oinarritzko kontzeptuak.** Bi kapituluk osatzen dute lehenengo atal hori:

1. **Sarrera.** Tesiaren testuingurua, tesian jorratutako gaiari buruzko sarrera, tesiaren helburuak eta dokumentuaren egitura aurkeztuko dira kapitulu horretan.
2. **Bihurgailu matrizialaren oinarritzko kontzeptuak.** Kapitulu horren hasieran, MC trifasikoaren eskema orokorra aurkeztuko da, eta bihurgailu horrek dituen ezaugarri nagusiak azalduko dira. Ezaugarri horiek kontuan izanda, potentzia-bihurgailu horren aplikazio posibleak zeintzuk izan daitezkeen aipatuko da, eta merkatuan aurki daitezkeen MC komertzialak laburbilduko dira. Nahiz eta gaur egun MC komertzialak egon, teknologia horren erabilera ez dago oraindik oso hedatua. Zentzu horretan, MCaren erabilera zabaltzea oztopatzen duten arrazoiak azalduko dira.

Horren ostean, MCa osatzen duten elementuak deskribatuko dira. Ondoren, MCaren etengailuen aktibazio- eta desaktibazio-uneak kontrolatzeko beharrezkoak diren modulazio-algoritmoen printzipioak azalduko dira, eta bihurgailuak aldioro bete behar dituen bi arauak aipatuko dira. Bi arau horiek kontuan izanda, beharrezkoa da bihurgailuaren etengailuen arteko konmutazioa era seguruan egitea. Horretarako, konmutazio-sekuentzia bereziak erabili behar dira. Alde horretatik, MCaren etengailuen konmutazio segururako gehien erabiltzen den lau pausoko konmutazio-sekuentziaren funtzionamendu-printzipioak azalduko dira. Azkenik, MCaren kontrol-algoritmo konplexuak denbora errealean exekutatzeke beharrezkoak diren gailu digital azkarrez hitz egingo da kapituluaren amaieran.

II. **Bihurgailu matrizialaren modulazioa eta kontrola.** Hiru kapituluk osatzen dute atal hori:

3. **Bihurgailu matrizialaren modulazioa.** MCa modulatzeko baliagarriak diren tekniken artearen egoera aurkeztuko da kapitulu horretan.

Lehenik eta behin, Alesinak eta Venturinin proposatutako modulazio-

teknika zuzenaren bi aldaera azalduko dira¹, eta modulazio-teknika horiek dituzten desabantailak aurkeztuko dira. Ondoren, desabantaila horiek gainditzen dituen modulazio-teknika bektoriala² (SVM, *Space Vector Modulation*) sakon azalduko da. Alde batetik, modulazio bektorialak ezartzen dituen konmutazio-egoerei dagozkien lan-denboren kalkulurako beharrezkoak diren adierazpen matematikoak nola lortzen diren azalduko da. Bestalde, modulazio-teknika hori erabiltzean lortzen den tentsioaren transferentzia-ratio maximoa zein den erakutsiko da, matematikoki. Kontuan izan behar da ezarri behar diren konmutazio-egoerak eta horiei dagozkien lan-denborak zehazten dituela modulazio-teknika bektorialak, baina ez konmutazio-egoera horien ezarpen-ordena. Beraz, askatasun gradu bat dago. Alde horretatik, konmutazio-sekuentzia ezberdinak ezartzean lortzen diren SVM modulazio-teknikaren aldaerak aztertuko dira. Aldaera posibleen artean, aurpegi bikoitzeko DS SVM (*Double Sided SVM*) modulazioa nabarmentzen da, sintetizatutako korroneen eta tentsioen kalitatea hobetzea lortzen baita teknika hori erabiliz.

Horretaz gain, GSPWM (*Generalized Scalar Pulse Width Modulation*) modulazio-teknika eskalar orokortuaren funtzionamendua sakon azalduko da ere, teknika eskalarren eta orokortuen oinarriak erakusteko. Teknika orokortua denez, posible da beste modulazio-teknikak emulatzea, modulazio-algoritmo horren bidez. Zentzu horretan, DS SVM modulazio-teknika nola emula daitezkeen azalduko da, GSPWM teknika erabiliz. Azkenik, iman iraunkorreko makina sinkrono baten abiadura-kontrollean modulazio-teknika horiek ezartzean lortutako emaitzak erakutsiko dira.

4. Bihurgailu matriziala sare elektrikoko perturbazioen aurrean.

Potentzia-bihurgailu zuzena da MCa, eta ez du kondentsadorerik erdibidean. Hori dela-eta, sare elektrikoko perturbazioak igarotzeko gaitasun baxua du bihurgailu horrek. Arazo horrek duen garrantzia kontuan izanda, MCaren sarreran gerta daitezkeen perturbazioen sailkapena egingo da kapituluaren hasieran. Ondoren, perturbazio horiek potentzia-sisteman duten eragin kaltegarriak murrizteko baliagarriak diren estrategia nabarmenenak aztertuko dira. Alde batetik, sarea desorekatua eta distortsionatua denean, irteerako tentsioak eta korroneak konpentsatzeko baliagarriak diren teknikak aztertu eta konpara-

¹Mota horretakoa da MCaren etengailuen aktibazio- eta desaktibazio-uneak zehazteko proposatu zen lehenengo modulazio-teknika.

²Gaur egun, SVM modulazio-teknika bektoriala da MCa modulatzeko gehien erabiltzen dena.

tuko dira. Bestalde, sarea desorekatua denean, sarrerako korrontek hobetzeko baliagarriak diren hiru estrategia azalduko dira. Azkenik, MCaren sarrerako bat-bateko tentsio-erorketen aurrean erantzuteko gaitasuna duten software eta hardware estrategiak aurkeztuko dira kapitulu horren amaieran.

5. **Bihurgailu matrizialaren sinkronizazioa.** Sinkronizazio-beharri-
zan bereziak ditu MCak, bihurgailuaren sarreran gertatzen diren per-
turbazioen eragina era egokian konpentsatu nahi denean. Alde horret-
tatik, bihurgailua sare elektrikoarekin sinkronizatzeko dauden aukerak
erakutsiko dira kapitulu horretan, eta MCaren beharrizanei erantzute-
teko aukera horiek duten egokitasuna aztertuko da.

III. Bihurgailu matrizialaren simulazioa eta prototipatze azkarreko kontrola.

MCaren diseinu-prozesua hobetzeko baliagarriak diren soluzio berriak proposatuko dira atal horretan. Bi kapituluk osatzen dute atal hori:

6. **MCaren simulazioaren hobekuntza: SSMA simulazio-teknika aurreratua.** MCaren diseinu-prozesuaren lehenengo ataletan ordena-
gailu bidezko simulazioak duen garrantzia azpimarratuko da, lehenik
eta behin, kapitulu horretan. Ondoren, MCaren simulazioaren proble-
matika aztertuko da. Alde batetik, MCaren simulazioa hain konplexua
egiten duten faktoreak identifikatu eta azalduko dira. Bestalde, bihur-
gailu hori duten modeloak simulatzeko dauden aukerak aztertuko di-
ra. Alde horretatik, etengailuen konmutazioen eta simulazio-pausoen
sinkronizazio ezaren ondorioz pauso finkoko ebazleak dituzten *jitter*
arazoak³ azalduko dira. Simulazio-pausoaren luzera laburtuz edota
pauso aldakorreko ebazleak erabiliz konpon daitezke *jitter* arazo ho-
riek. Hala ere, MCa duten modeloen simulazio-denborak gehiegizkoak
dira soluzio horiek erabiliz gero.

MCak dituzten modeloak arrazoizko denbora-tarte batean zehaztasu-
nez simulatzeko dauden arazoak kontuan hartuta, arazo horiek gain-
ditzen dituen SSMA (*Switching State Matrix Averaging*) simulazio-
teknika berria proposatuko da kapitulu horretan. Teknika berri hori
erabiliz lortutako emaitzak zehatzak direla frogatuko da, bai pauso
aldakorreko simulazioetan lortutako emaitzekin konparatuz, eta bai-
ta emaitza esperimentalekin konparatuz ere. Horretaz gain, teknika
horri esker lortutako denbora-aurrezpenak erakutsiko dira. Azkenik,
MC asko dituzten sistemak ordenagailu konbentzional batean simula-
tzeko SSMA simulazio-teknikak duen baliagarritasuna frogatuko da.

³Bihurgailuaren portaera errealearekin zerikusirik ez duten maiztasun baxuko osagai harmo-
nikoak azalduko dira fenomeno horren ondorioz simulazio-emaitzetan.

Beraz, MCaren diseinu-prozesuaren lehenengo etapak azkartzeko oso baliagarria izango da kapitulu horretan proposatuko den soluzioa.

7. **MCaren denbora errealeko simulazioa eta prototipatze azkarreko kontrola.** Denbora errealeko simulazioa oso baliagarria da potentzia-bihurgailuen diseinu-prozesurako. Alde horretatik, denbora errealeko simulazioa zertan datzan azalduko da kapituluaren hasieran. Bestalde, modeloak denbora errealean exekutatzeko beharrezkoak diren gailu digitalei buruz hitz egingo da, eta potentzia-bihurgailuen diseinu-prozesurako sortzen diren aukerak aipatuko dira, simulazio-mota hori erabiltzen denean.

MCaren arkitektura eta kontrol-algoritmoak deskribatzen dituen modelo bat denbora errealean simulatu ahal izateko, beharrezkoa da kalkulu-gaitasun handia duen simulatzaile digital bat erabiltzea. Zentzu horretan, PC-taldeetan (*cluster*, ingelesez) oinarritzen den denbora errealeko RT-Lab eMEGAsim simulatzaile digitala erabiliko da helburu hori lortzeko. Horren harian, eMEGAsim-en osagaiak eta funtzionamendu-printzipioak azalduko dira kapitulu horretan. Ondoren, gailu digital horren konputazio paralelorako gaitasuna eta 6. kapituluaren proposatutako SSMA simulazio-teknika berria konbinatuko dira, MC bat duen haize-errota txiki baten modelo eMEGAsim-eko PC-taldean denbora errealean simulatzeko. Azalduko diren irizpide jakin batzuk jarraituz, balioztatu egingo da proposatutako simulazio-plataforma. Plataforma horri esker, posible izango da egoera iragan-kor oso luzeak (orduak iraun ditzaketenak) arrazoizko denbora-tarte batean simulatzea.

Bestalde, MCaren prototipatze azkarrerako plataforma berria aurkeztuko da kapituluaren amaieran. Kasu horretan, RT-Lab eMEGAsim gailu digitalak duen FPGA erabiliko da, PC-taldeaz gain. Plataforma horri esker, bihurgailuaren kontrolatzaileen diseinu-prozesua laburtzea lortuko da, pauso bakarrean egin ahal izango baita prozesu hori. Horretaz gain, bihurgailuaren kontrol-algoritmoak arazteko oso baliagarria izango da plataforma hori. Alde horretatik, tesi honetan erabilitako MCaren 7.5 kW-etako prototipoaren hardwarea deskribatuko da, osagaiz osagai, eta prototipatze azkarreko kontrola eMEGAsim-en nola implementatu den azalduko da. Azkenik, plataforma esperimental horretan lortutako emaitzak erakutsiko dira.

Tesi honetan zehar azalduko diren emaitza esperimentalak lortzeko erabiliko da kapitulu horretan aurkeztutako prototipatze azkarreko kontrolerako plataforma.

IV. **Bihurgailu matrizial hutsegite-toleratzailea.** Kapitulu batek osatzen du MCaren hutsegite-tolerantzia aztertzen duen atal hori:

8. **Bihurgailu matrizialaren hutsegite-tolerantziaren hobekuntza.** Korronteen aske zirkulatzeko biderik ez dutenez, MCa ez da beste potentzia-bihurgailuak bezain mardula, eta bihurgailuaren sarreran edota irteeran gertatzen diren gaintentsioek eta gainkorronteen arriskuan jar ditzakete MCa osatzen duten osagaiak. Alde horretatik, MCa egoera arriskutsu horietatik babesteko erabiltzen diren software eta hardware estrategiak azalduko dira kapitulu horretan, eta bihurgailua babesteko gehien erabiltzen den soluzioa finkatze-zirkuitua dela ondorioztatuko da.

Hala ere, kontuan izan behar da babes-estrategia horiek ez direla batzuetan nahikoa izaten, eta MCaren osagaietako batek (edo batzuek) huts egin dezakela gaintentsioak edota gainkorronteen gertatzean. Beraz, garrantzitsua da MCarentzako estrategia hutsegite-toleratzaileak garatzea, sistemaren funtzionamendu jarraitua bermatu beharra dagoen aplikazioetan erabiliko bada bihurgailua. Zentzu horretan, literaturan dauden soluzio hutsegite-toleratzaileen artearen egoera sakon aztertuko da kapitulu horretan, eta sailkatu egingo dira soluzio horiek. Ondoren, finkatze-zirkuituarekin babestuta dagoen MCaren portaera aztertuko da, bihurgailuaren etengailuetako bat hutsegite baten ondorioz zirkuitu irekian denean.

Horren ostean, etengailuen zirkuitu irekiko hutsegiteak gertatzen direnean MCaren hutsegite-tolerantzia hobetzeko baliagarriak diren soluzio berriak proposatuko dira. Alde batetik, etengailu bidirezionalen zirkuitu irekiko hutsegiteak detektatzeko baliagarria den estrategia berria proposatuko da. Bestalde, hutsegite-egoera horretan potentzia-bihurgailua babesten duten hiru modulazio-algoritmo berri proposatuko dira, SVM modulazio-teknika oinarritzen direnak. Portaera hobea duen algoritmo hutsegite-toleratzailea erabiliz, bihurgailuak irteeran sintetizatutako tentsioen eta korronteen kalitatea neurri handian hobetzen dela frogatuko da. Bestalde, PMSM baten abiadura era pseudo-optimoan kontrolatu ahal izango da teknika hori erabiliz. Horrela, sistemak funtzionatzen jarraitzeko beharrezkoak dituen funtzionalitate minimoak lortuko dira. Modulazio-teknika berri hori balioztatzen duten simulazio-emaitzak eta emaitza esperimentalak aurkeztuko dira kapituluaren.

PMSMaren abiadura-kontrolerako kontrolagailuak doitzeko, 6. kapituluaren proposatutako SSMA simulazio-teknika erabiliko da. Bestalde, 7.

kapituluan proposatutako prototipatze azkarreko plataforma erabiliko da algoritmo hutsegite-toleratzailea esperimentalki balioztatzeko.

V. **Ondorioak eta etorkizunerako lanak.** Hurrengo kapituluak osatzen du atal hori:

9. **Ondorioak eta etorkizunerako lana.** Tesian egindako lanaren ondorioak, ekarpen nagusiak, tesitik eratorritako argitalpenak eta etorkizunerako lanak azalduko dira kapitulu horretan.

VI. **Eranskinak.** Aurretik aipatutako bederatzi kapituluez gain, hiru eranskin ditu tesi honek:

A. **Transformazio bektorialak.** Tesian zehar sarritan erabiltzen diren Clarkeren eta Parken transformazio bektorialak azalduko dira eranskin horretan.

B. **Etengailuen erredundantzia oinarritzen diren estrategia hutsegite-toleratzaileak.** Eranskin horretan, etengailuen erredundantzia oinarritzen diren hiru estrategia hutsegite-toleratzailearen topologia deskribatuko dira, eta topologia horiek eraikitze beharrezkoak diren osagai-gehigarriak azalduko dira. Horretaz gain, mota horretako topologiaren funtzionamendua ilustratzen duten emaitza esperimentalak erakutsiko dira.

C. **Terminoen hiztegi laburra.** Irakurlearentzat lagungarria izan da, tesi honetan erabilitako terminoen hiztegia aurkeztuko da eranskin horretan. Kontuan izan behar da potentzia-elektronikaren arloan lan oso gutxi argitaratu direla euskaraz. Ondorioz, hiztegiak azaltzen diren hitz asko sortu berriak dira. Bestalde, gaur egun estandarizatuta dauden terminoak ere gehitu dira hiztegi horretara.

2. kapitulua

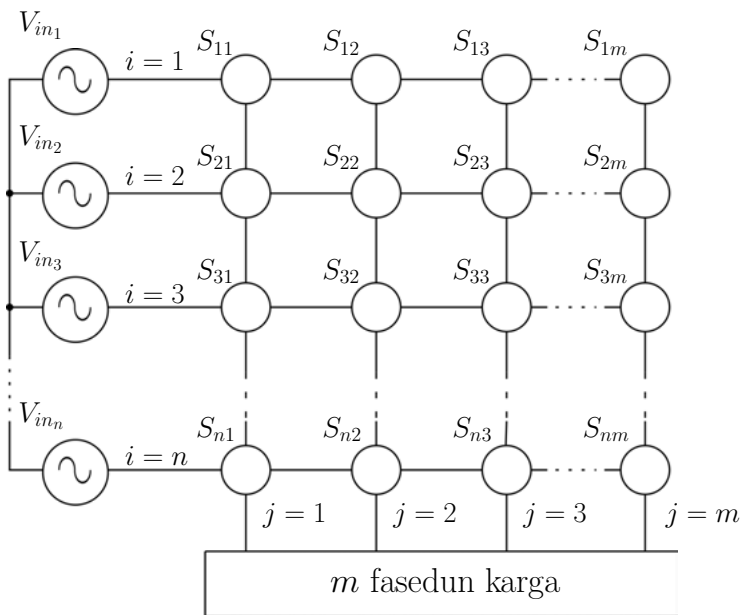
Bihurgailu matrizialaren oinarrizko kontzeptuak

2.1. Sarrera

Gaur egun, potentzia-bihurgailuak nonahi aurki ditzakegu: haize-errotetan [4, 5], trenetan [2], makina bultzatzailetan (*machine drive*, ingelesez) [11], ibilgailu elektriko eta hibridoetan, itsasontzi eta urpekoetan [12], etab. Potentzia-bihurgailuak energia-bihurketarako sistemetan erabiltzen dira, eta horien helburua energia elektrikoa era kontrolatuan transformatzea da. Potentzia-bihurgailuak etengailuz osatzen dira (etengailuak gailu erdieroaleen bidez erakitzen dira), eta etengailu horien konfigurazioaren arabera, hainbat topologia sor daitezke (artezgailuak, inbertsoreak, etab.).

Topologia ezberdinen artean, bere ezaugarriak direla medio, bihurgailu matriziala (MC; *matrix converter*, ingelesez) nabarmendu daiteke [6, 7]. Oro har, $n \times m$ etengailu bidirekzionalak osatzen da MCa. Bihurgailu horren S_{ij} etengailu bidirekzionalak matrize itxuran konfiguratuta daude (2.1 irudia), eta hortik dator izena. Era horretan, sarrerako edozein fase irteerako edozein fasetara konekta daiteke zuzenean. Alde horretatik, kontrol- eta modulazio-algoritmo aproposen bidez, posible da etengailuen aktibazio- eta desaktibazio-uneak era egokian kontrolatzea. Horrela, kontrolak ezarritako tentsio- eta korrante-erreferentziak sintetiza ditzake bihurgailuak bere sarreretan eta irteeretan.

Tamaina ezberdinetako MCak bereiz daitezke sarrerako eta irteerako fase-

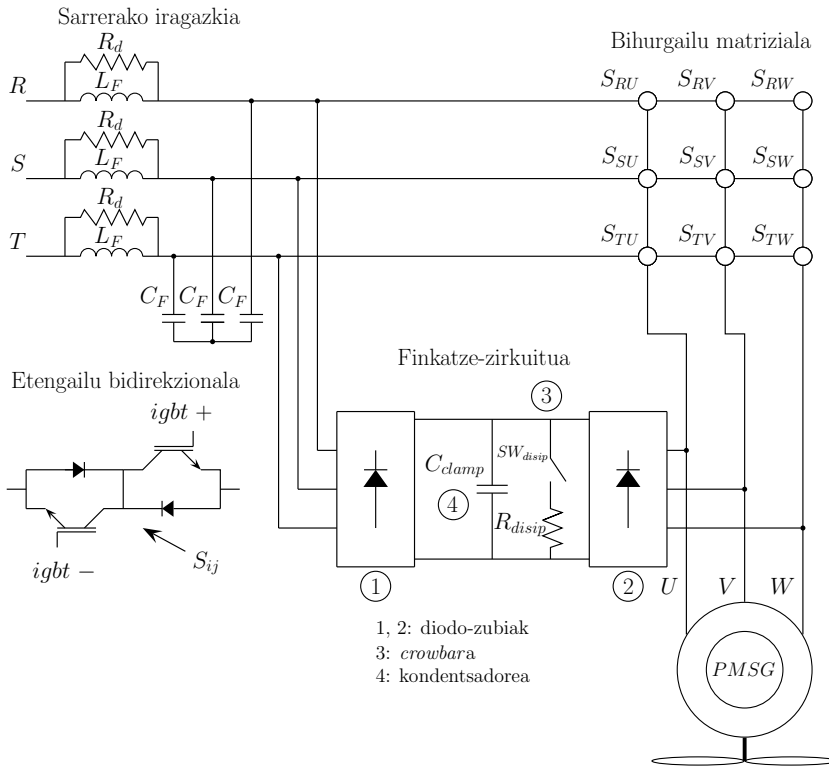


2.1 irudia. $n \times m$ fase dituen MCaren eskema orokorra.

kopuruaren arabera [13–17]. Hala ere, MC trifasikoa ($n = 3, m = 3$) da konfiguraziorik arruntena (2.2 irudia). Etengailuez gain, MCak iragazki bat du gehienetan sarreraren, eta finkatze-zirkuitu (*Clamp Circuit*) bat MCaren sarrerarekin eta irteerarekin konektatuta, bihurgailua gainkorronte eta gaintentsioetatik babesteko (2.2 irudia).

Topologia hori nahikoa berria dela esan daiteke. Nahiz eta 1976. urtean Gyugyi eta Pellyk egitura hori lehen aldiz proposatu zuten [18], ez zen izan laurogeiko hamarkada arte MCarentzako modulazio- eta kontrol-teknikak proposatu zirela [19, 20]. Nahiz eta modulazio-tekniketan pauso handiak ematen ari ziren, bihurgailu honen bideragarritasuna dudatan zegoen, etengailuen arteko konmutazioak egiterakoan gainkorronte eta gaintentsioekin arazo handiak baitzeuden. Buranyk etengailu bidirekzionalen konmutazioaren arazoa lau pausoko estrategiaren bidez konpondu zuen 1989. urtean [21].

Bestalde, MCaren topologiaren zenbait aldaera azaldu dira azken urteotan, hala nola MC ez-zuzena (*indirect matrix converter*, ingelesez) [22, 23], MC mehatzak (*sparse matrix converter*, ingelesez) [24] eta MC hibridoak [25, 26]. Hala ere, MC konbentzional trifasikoa (2.2 irudia) da gaur egun topologiarik ohikoena. Tesi



2.2 irudia. Iman iraunkorreko makina sinkrono (PMSM) batera konektaturiko MC trifasikoaren eskema, sarrerako iragazkiarekin eta finkatze-zirkuituarekin.

honetan, azken topologia hori ikertuko dugu.

Jarraian, MCaren oinarrizko kontzeptuak azalduko dira, hala nola, bihurgailuaren ezaugarri nagusiak, aplikazioak eta erronkak. Ondoren, MCa eraikitzeke beharrezkoak diren osagaiak aztertuko dira. Ostean, MCaren kontrol-printzipioak laburbiltzen dira. Amaitzeko, MCaren kontrola egin ahal izateko beharrezkoak diren gailu elektronikoei buruz hitz egingo da.

2.2. MCaren ezaugarri nagusiak, aplikazioak eta erronkak

MCak dituen ezaugarri nagusiak hurrengoak dira:

- Bihurgailu konbentzionalek [3] ez bezala, MCak era zuzenean egiten du korronte alternotik korronte alternorako (AC/AC) bihurteta.
- MCa konpaktua da, bolumen eta pisu txikikoa [27], ez baitauka osagai errektibo (kondentsadore) nabarmenik. Kontuan izan behar da, osagai errektiboak tenperaturarekiko eta presioarekiko oso sentikorrek direla. Beraz, bihurgailu matrizialak tenperatura altuetan eta presio atmosferiko altu eta baxuko inguruneetan lan egin dezake.

Bestalde, osagai errektiboak garestiak dira, eta horien prezioak ez du behe-ranzko joerarik erakutsi azken urteotan.

- Bere topologiari dagokion bidirekzionaltasuna dela-eta, MCak lau koadran-teetan funtziona dezake [28, 29]. Beraz, bihurgailu honek sare elektrikotik potentzia jaso edota sare elektrikora potentzia eman dezake.
- Modulazio-teknika aproposak erabiliz gero, posible da sarean korronte sinusoidalak lortzea eta, aldi berean, kargan tentsio sinusoidalak [30]. Bihurgailuak sintetizatutako uhinek distortsio harmoniko (THD) baxua azaltzen dute [31]. Bestalde, bihurgailuaren sarreran potentzia-faktore unitarioa lor daiteke, MCari konektatuta dagoen karga edozein izanik ere [23, 32].
- Oro har, beste AC/AC bihurgailuak eraikitze baina gailu erdieroale gehi-go behar dira MCa eraikitze (2.1 taula¹). Hala ere, gailu horien prezioaren joera beheranzkoa denez, etorkizunean arazo hori minimizatu egingo dela aurreikusten da.
- Etengailu gehiago dituenek, etengailuek jasaten duten estres termikoaren banaketa hobea da MCaren kasuan [33]. Bestalde, nahiz eta MCak *back-to-back* baina etengailu gehiago izan, antzeko hutsegite-ratioa (etengailuak hausteko probabilitatea) dute biek [34].
- Irteeran sintetizatutako tentsioen maiztasuna oso baxua denean, galerak etengailu jakin batzuetan kontzentratzen dira AC/DC/AC bihurgailu konbentzionaletan. Ondorioz, etengailu horiek hausteko duten probabilitatea handitu egiten da. Aldiz, etengailuen gainberoketarekin erlazionatutako

¹MCaren etengailu bidirekzionalak konfigurazio arruntenekin (kolektore komun edo igorle komun konfigurazioak erabiliz) eraikita daudela kontsideratu da 2.1 taulan.

2.1 taula. AC/AC bihurtzeko eraikitze behar den osagai-kopurua.

Topologia	Osagai-kopurua		
	Etengailuak	Diodoak	Kondentsadoreak
Bihurgailu matritziala	18	18	0
<i>Back-to-back</i> bihurtzeko	12	12	1
Diodoen bidez finkatutako maila anitzeko bihurtzeko (3 maila)	12	18	2
Kondentsadore flotatzailedun maila anitzeko bihurtzeko (3 maila)	12	12	7
Kaskadan konektatutako maila anitzeko bihurtzeko (3 maila)	12	12	3

arazo horiek gainditzen ditu MC konbentzionalak, etengailuen artean galarak era berean banatzen baitira [35].

- MCek eraginkortasun handia dutela frogatu da testen bidez [9, 36]. Inbertsoarekin konparatuta, energia-aurrezpenak lortzen dira aplikazio batzuetan, hala nola haizegailuetan, ur-ponpetan, konpresoreetan eta igogailuetan.

Ezaugarri horiek direla-bide, MCa teknologia oso aproposa izan daiteke efizientzia, tamaina eta bolumen txikia faktore garrantzitsuak diren aplikaziotarako, hala nola, makina bultzatzaile integratuetarako [37], aplikazio aeronautikoetarako [13, 38–41], itsasontzien propulzio-sistemarako [42], abiadura aldakorreko haize-errotetarako [9, 28, 43–47], ibilgailu elektrikoetarako [48] eta energia birsortu dezaketan igogailuetarako [8, 9], besteak beste. Bestalde, kondentsadore elektrolitikoek presio atmosferiko handia duten inguruneetan lan egin ezin dutenez, bihurtzeko hori oso egokia da urruneko kontrolaren bidezko urpekoetan erabiltzeko [12, 49]. Aipatutako aplikazioetan MCa beste topologiekiko lehiakorra da [1, 50]. Alde horretatik, MCaren zenbait aplikazio posible azaltzen dituzte 2.3 eta 2.4 irudiek.

Azken urteotan, tentsio baxu eta ertaineko MCak komertzializatzen hasi da *Yaskawa Electric Corporation* enpresa [8, 9]. Alde batetik, tentsio baxuko (9 - 114 kVA, 200 V - 400 V) *Varispeed AC* bihurtzeko trifasikoak komertzializatu ditu *Yaskawak* (2.5 irudia). Horien aplikazioak haize-errotak eta igogailuak dira, besteak beste. Bestalde, tentsio ertaineko (200 - 6.000 kVA, 3.3 kV - 6.6 kV) *FSDrive-MX1* bihurtzeko komertzializatu ditu ere. Era berean, *Fuji Electric Group*ek 400 V-eko *FRENIC-Mx* MC trifasikoen seriea (30 kW - 45 kW) merkaturatu du [10].



(a) Urruneko kontrolaren bidezko urpekoa. *Perry Slingsby Systems* enpresaren baimenarekin erreproduzitua.



(b) Urruti kokatutako haize-errot txikien parkea. *China Sanxin Power Co. Ltd.* enpresaren baimenarekin erreproduzitua.

2.3 irudia. MCaren aplikazio potentzialak (I).



(a) Egazkinen *flapak* eta horien mekanismo eragilea. Helmut Bierbaum (www.airliners.net) argazkilariaren baimenarekin erreproduzitua.

2.4 irudia. MCaren aplikazio potentzialak (eta II).



2.5 irudia. Yaskawa Electricen AC7 MC komertziala.

Hala ere, salbuespenak salbuespen, MCa ez da oraindik oso teknologia hedatua, gainditu beharreko zenbait desabantaila baititu:

- Gaur egun ez dago etengailu bidirekzional naturalik, eta potentzia-erdieroale asko erabili behar dira etengailu horiek eraikitzeke. Ondorioz, bihurgailuaren konplexutasuna handitu egiten da, bai bere kontrolean eta baita konexioetan ere.
- MCaren modulazio- eta kommutazio-eskemak oso konplexuak dira. Ondorioz, bihurgailuaren kontrolaz arduratzen diren zirkuitu digitalek gai izan behar dute karga konputazional handi horri erantzuteko.
- Tentsioaren transferentzia-ratioa mugatuta dago bihurgailu horretan. Muga hori % 86-an finkatuta dago².
- Potentzia-bihurgailu zuzena denez, sare elektrikoan gertatzen diren perturbazioekiko oso sentikorra da MCa, perturbazio horiek printzipioz sarreratik irteerara zuzenean transmititzen baitira. Azken urteotan zenbait estrategia planteatu dira, bihurgailuak erantzun egokia eman dezan, sare desorekatuen [51, 52] eta bat-bateko tentsio erorketen aurrean [53].
- MCa ez da beste bihurgailuak bezain mardula. Zirkulazio askeko biderik ez dagoenez, MCa babestea beste bihurgailuak babestea baino konplexuagoa da.

Desabantaila horiek gainditzeak MCaren erabilera zabalduko luke. Ikertzaileak buru-belarri ari dira soluzio berriak planteatzen. Azken hamarkadan gai horri buruz argitaratu den lan-kopuru handia da horren adibide argia.

Zalantzarik gabe, MCaren mardultasun baxua eta konplexutasuna dira bihurgailu honen komertzializazioa oztopatzen duten faktorerik nabarmenenak. Zentzu horretan, MCaren mardultasuna hobetu daiteke baldin eta etengailu mardulagoak garatzen badira. Gaur egun, silizioa da potentzia-erdieroaleak eraikitzeke gehien erabiltzen den materiala. Hala ere, material berriak ari dira garatzen, esaterako: galio artseniuroa (GaAs), galio nitratoa (GaN) eta, batez ere, silizio karburoa (SiC). Alde batetik, material horiek 300 °C-tik gora egin dezakete lan. Bestalde, tentsioa blokeatzeko duten gaitasuna silizioarena baino bost-hamar aldiz handiagoa da. Gainera, material horiek silizioak baino askoz ere ahalmen handiagoa dute korronea garraiatzeko, eta kommutazio- eta kondukzio-galerak askoz ere txikiagoak dituzte. Etorkizunean, material horien merkaturatzea inflexio-puntu

²Muga hori gainditzea posible da gainmodulazioaren bidez. Hala ere, bihurgailuak sintetizatutako tentsio eta korroneak asko distortsionatzen dira 0.86ko transferentzia-ratioa gainditzera.

bat izan daiteke MCarentzat, horiei esker mardultasun baxuarekin erlazionatutako arazoak gaitutuko baitira.

Horretaz gain, MCaren kontrol- eta modulazio-teknika konplexuak ezartzeko beharrezkoak diren zirkuitu integratu berriak hobetzen ari dira urtetik urtera. Gaur egun, hardware birkonfiguragarri oinarritutako gailuak, batez ere FPGAk (*Field Programmable Gate Array*), indar handia hartzen ari dira [54]. MCa erabat kontrola daiteke gailu horiek erabiliz, MCak darabiltzan konmutazio-maiztasunetan kalkulu guztiak egiteko soberan azkarrak baitira.

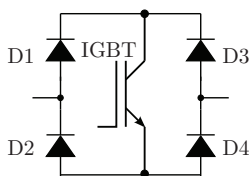
2.3. MC bihurtza osatzen duten elementuak

Etengailuez gain, MCak iragarki bat behar du sarreran, etengailuen konmutazioen eraginez sortutako maiztasun altuko osagai harmonikoak iragartzeko. Gainera, bihurtza gaintentsio eta gainkorronteatatik babesteko, sarrerara eta irteerara konektatuta dagoen finkatze-zirkuitu (*Clamp Circuit*) bat erabiltzen da gehienetan (2.2 irudia). Jarraian, MCak dituen osagaiak aurkeztuko dira.

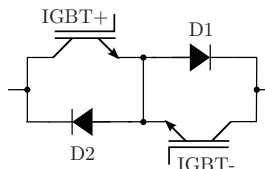
2.3.1. Etengailu bidirekzionalak

Gaur egun ez da existitzen inongo potentzia-etengailu bidirekzional naturalik. Hori dela-eta, zenbait osagai elektroniko konbinatuz sortu behar dira etengailu horiek [55]; 2.6 irudian etengailu bidirekzionalen topologiak erakusten dira, hau da, diodo-zubi motako, igorle komuneko (CE, *Common Emitter*), kolektore komuneko (CC, *Common Collector*) eta RB IGBT konfigurazioak. Bestalde, MCaren bederatzi etengailu bidirekzionalak eraikitzeke beharrezkoak diren elementu-kopurua adierazten da 2.2 taulan, aukeratutako etengailuen topologiaren arabera.

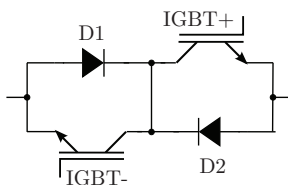
Diodo-zubi motako konfigurazioa (2.6(a) irudia) IGBT batez eta FRDz (*Fast Recovering Diode*) osatutako diodo-zubi monofasiko baten bidez eraikitzen da. Konfigurazio hori kontrolatzea erraza da, eta *driver* bakarra behar du etengailu bidirekzional bakoitzeko. Bestalde, etengailu kontrolatu (IGBT) kopuru txikiena erabiltzen duen topologia ere bada. Hala ere, osagai kopururik handiena duen egitura denez, kondukzio-galerak altuak dira (hiru osagai ari dira aldi berean korrontea garraiatzen). Konmutazio-galerak ere altuak dira, gertatzen diren konmutazio guztiak behartuak baitira. Gainera, korrontearen noranzkoa kontrolatu ezin denez, topologia hori ia ez da erabiltzen.



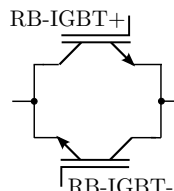
(a) Diodo-zubi motako konfigurazioa.



(b) Igorle komuneko (CE) konfigurazioa.



(c) Kolektore komuneko (CC) konfigurazioa.



(d) Etengailu bidirekzionala RB IGBTekin.

2.6 irudia. Etengailu bidirekzionalen topologiak.

2.2 taula. MC trifasikoaren bederatzi etengailu bidirekzionalak eraikitzeke beharrezkoak diren elementuak, etengailuen topologiaren arabera.

Etengailu bidirekzionala	Diodo kop.	IGBT kop.
Diodo-zubi konfigurazioa	36	9
Igorle komunean konektatutako IGBTak	18	18
Kolektore komunean konektatutako IGBTak	18	18
Antiparaleloan konektatutako RB IGBTak	0	18

Bestalde, igorle komunean konektatutako bi IGBTz eta antiparaleloki konektatutako bi FRDz eraikitzen da igorle komun motako egitura (2.6(b) irudia). Diodoei esker, etengailuak alderantzizko blokeo-ahalmen handia lortzen du. Aldi berean, etengailutik igarotzen den korrontearen noranzkoa era independentean kontrola daiteke, IGBT bat edo beste (edo biak) aktibatuz. Kondukzio-galerak diodo-zubian baino txikiagoak dira (diodo batek eta IGBT batek garraiatzen dute korrontea aldioro), eta konmutazioen erdiak naturalak dira (ez dute galerarik sortzen) lau pausoko estrategia (2.5. atala) erabiliz gero.

Kolektore komuneko egituran IGBTak kolektore komunean konektatzen dira (2.6(c) irudia). Igorle komunaren abantailak izateaz gain, sei iturri isolatu nahikoa dira MCA osatuko luketen kolektore komuneko bederatzi etengailuak elikatzeke (igorle komuneko konfigurazioan bederatzi iturri isolatu behar dira).

Gaur egun gehien erabiltzen diren etengailu-egiturak igorle komun eta kolektore komuneko konfigurazioak dira. Ondorioz, gailu asko behar dira MC trifasikoaren etengailuak eraikitzeke, 18 IGBT eta 18 diodo (2.2 taula), hain zuzen ere. Hala ere, gailu erdieroaleetan eman diren aurrerapausoei esker, elementu kopurua asko murriztu daiteke, RB IGBTak (*Reverse Blocking* IGBT) [56, 57] erabiltzean etengailuak eraikitzeke diodorik ez baita behar (2.6(d) irudia). Hala ere, gaur egun gailu horien konmutazio-galerak altuak dira.

2.3.2. Sarrerako iragazkia

Etengailuen konmutazioak direla-eta, maiztasun altuko harmonikoak sortzen dira bihurtailuak sarreran sintetizatzen dituen korranteetan. Ondorioz, beharrezkoa da bihurtailuaren sarreran iragazki bat jartzea. Horri esker, sareak korrante-iturri sinusoidal bat balitz bezala ikusten du bihurtailua.

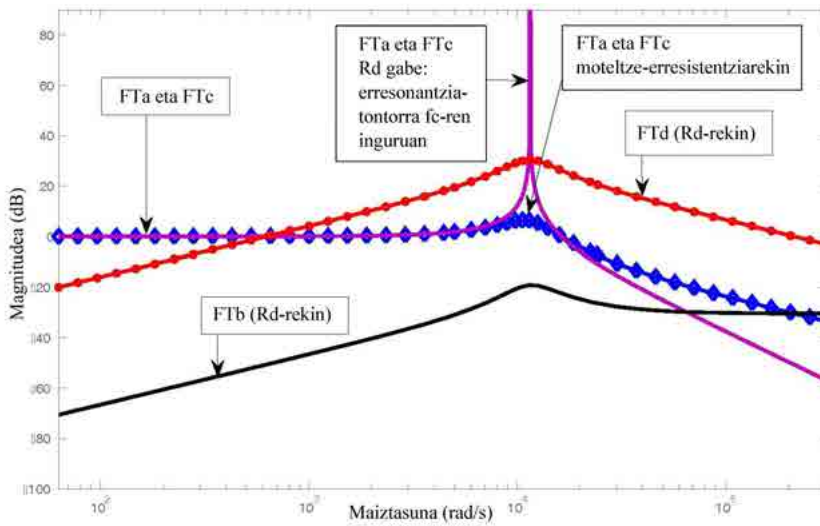
MCaren gehien erabiltzen den iragazkia etapa bakarreko bigarren ordenako LC iragazkia da (2.2 irudia), non iragazkia seriean konektatzen den bihurtailuaren sarrerako faseekin. Ordena altuko maiztasun-osagaiak iragazteaz gain, L_F eta C_F osagaiak MCaren portaera hobetzen dute [58]. C_F kondentsadoreek gutxitu egiten dituzte sarean gertatzen diren distorsio eta perturbazioen ondorioz sortutako gaintentsioak. Normalean, perturbazioak laburrak izaten dira, eta kondentsadoreak horiek leuntzeko gai dira. Bestalde, L_F induktantziak eraginkorrak dira korrante zirkulanteen malda leuntzeko.

Gainera, komenigarria da iragazkiaren fase bakoitzean moteltze-erresistentzia (R_d) bat jartzea (2.2 irudia), LC iragazkiak erresonantzia-tontor bat baitu bere ebaketa-maiztasunaren inguruan (2.7 irudia). Sarrerako korranteek probabilitate handiak dituzte erresonantzia-maiztasun horren inguruan osagai harmonikoak izateko [59]; ondorioz, azken horiek anplifikatu egingo liriateke. Erresistentzia horri esker, erresonantzia-tontorra maila handian murriztea lortzen da (2.7 irudia).

Iragazkiaren transferentzia-funtzioen bidez, MCaren sarrerako tentsioak (V_{in_MC}) eta sare elektrikora emandako korranteak (I_{in_grid}) sareko tentsioekin (V_{in_grid}) eta MCaren sarrerako korranteekin (I_{in_MC}) erlazionatzen dira:

$$\begin{pmatrix} V_{in_MC} \\ I_{in_grid} \end{pmatrix} = \begin{pmatrix} FT_a & -FT_b \\ FT_c & FT_d \end{pmatrix} \cdot \begin{pmatrix} V_{in_grid} \\ I_{in_MC} \end{pmatrix}, \quad (2.1)$$

non



2.7 irudia. Iragazkiaren transferentzia-funtzioen Bode-diagrama.

$$FT_a(s) = FT_d(s) = \frac{L_F \cdot s + R_d}{C_F \cdot L_F \cdot R_d \cdot s^2 + L_F \cdot s + R_d}, \quad (2.2)$$

$$FT_b(s) = \frac{L_F \cdot R_d \cdot s}{C_F \cdot L_F \cdot R_d \cdot s^2 + L_F \cdot s + R_d}, \quad (2.3)$$

$$FT_c(s) = \frac{C_F \cdot s \cdot (L_F \cdot s + R_d)}{C_F \cdot L_F \cdot R_d \cdot s^2 + L_F \cdot s + R_d}. \quad (2.4)$$

Bestalde, bigarren ordenako LC iragazkiaren f_c ebaketa-maiztasuna era honetan kalkula daiteke:

$$f_c = \frac{1}{2\pi\sqrt{L_F C_F}}. \quad (2.5)$$

Sarrerako iragazkiaren diseinuan kontuan izan behar diren faktoreak 7.4.1. atalean azalduko dira.

2.3.3. Finkatze-zirkuitua

MCak ez dauka biderik korronteez aske zirkula dezaten, ezta energia-metatze elementu nabarmenik ere. Hori dela-eta, potentzia-bihurgailu hori ez da oso mardula; ondorioz, bihurgailua babesteko teknikak garatu behar dira. Horien artean, finkatze-zirkuitu izeneko zirkuitu osagarria da MCA gaintentsioetatik babesteko gehien erabiltzen den gailua [60–62]. Zirkuitu horren muina C_{clamp} kondentsadore eta *crowbar* ('gakoa', 'palanka') dira, non hauek MCaren etengailuen sarrera eta irteeretara bi diodo-zubi trifasikoren bidez konektatzen diren (2.2 irudia). Era horretan, sor daitezkeen gaintentsioetatik babesten dira bihurgailuaren osagaiak.

Finkatze-zirkuituaren eransketak zentzu handiagoa hartzen du bihurgailua karga induktibo batera konektatuta dagoenean eta MCA bat-batean itzaltzen denean (adibidez, hutsegite batek eraginda). Egoera horretan, zirkulazio askeko biderik ez dagoenez, kargan metatutako W_L energia magnetikoa finkatze-zirkuitura transferitzen da, eta kargan gertatzen den di/dt tentsio-tontorra mugatzen da. Era berean, zirkuitu horren bidez sarreran gertatzen diren gaintentsioak eta etengailuak konmutatzean gerta daitezkeen gaintentsioak (etengailuen induktantzia parasitoen ondorioz) ere leuntzen dira.

Finkatze-zirkuitua erabili behar izanak ez dakar MCaren abantailetak baten galera, C_{clamp} kondentsadorearen balioa askoz ere txikiagoa baita AC/DC/AC bihurgailu estandarrek erdibidean duten C_{DClink} kondentsadorearen balioa baino [63]. Bestalde, finkatze-zirkuitua eraikitzeko beharrezkoa den diodo-kopurua erdira murriztu daiteke, baldin eta [64] erreferentzian aurkezten diren bi topologietako bat erabiliz gero (MCaren etengailu bidirekzionalen diodoak erabiltzen dira kasu horietan finkatze-zirkuituaren diodo-kopurua murrizteko).

Finkatze-zirkuitutik aparte, beste alternatiba batzuk daude MCA babesteko [65–67], baina ez dira zirkuitu hori bezain erabiliak.

2.4. MCaren modulazio-printzipioak

MCaren etengailuak era egokian aktibatuz eta desaktibatuz, posible da kontrolak ezarritako erreferentziazko balioak sintetizatzea bihurgailuaren sarreretan eta irteeretan. Zentzu horretan, irteerako tentsioaren amplitudea eta fase-angelua, eta sarrerako korrontearen fase-angelua edo potentzia faktorea dira MCA kontrolagarriak diren parametroak. Alde horretatik, modulazio-teknika egokiak erabili behar dira seinale horiek sintetizatzeke.

Matematikoki, Γ konmutazio-egoeren matrizearen bidez adieraz daiteke MC trifasikoaren etengailu bidirekzionalen (2.2 irudia) egoera:

$$\Gamma = \begin{pmatrix} S_{RU} & S_{SU} & S_{TU} \\ S_{RV} & S_{SV} & S_{TV} \\ S_{RW} & S_{SW} & S_{TW} \end{pmatrix}, \quad (2.6)$$

non $S_{ij} = 1$ den ij etengailu bidirekzionala aktibatuta dagoenean, eta $S_{ij} = 0$ den etengailu hori desaktibatuta dagoenean ($i = \{R, S, T\}$ eta $j = \{U, V, W\}$). Beraz, 512 (2^9) konmutazio-egoera posible daude MCan. Hala ere, ezin daiteke edozein konmutazio-egoera aplikatu, hurrengo arrazoiak direla-bidez:

- Normalean, sare elektrikoarekin konektatuta egoten da MCaren sarrera; beraz, MCaren sarrerako faseak ezin daitezke zirkuitulaburtu.
- Bihurgailuaren irteerak karga induktiboetara konektatzen dira gehienetan. Beraz, ezin daiteke irteerako fase bati dagozkion etengailu bidirekzionalak aldi berean deskonektatu, kargan dagoen korrante induktiboak ez baitu printzipioz aske zirkulatzeko biderik. Falta horien ondorioz, gaintentsioak sortzen dira MCaren irteeretan.

Aipatutako baldintza horiek MCaren oinarriko bi arauak dira. Matematikoki, honelaxe adieraz daitezke MCaren arauak:

$$S_{Rj} + S_{Sj} + S_{Tj} = 1, \quad (2.7)$$

non $j = \{U, V, W\}$ den. Ondorioz, 512 konmutazio-egoera posibleetatik hogeita zazpi daude bakarrik baimenduta. Zentzu horretan, konmutazio-egoera horiek era egokian ezarri behar dituzte modulazio-algoritmoek, denboran zehar konmutazio-sekuentzia espezifikoak aplikatuz, eta MCaren oinarriko bi legeak betez.

Bestalde, MCa potentzia-bihurgailu zuzena denez, Γ konmutazio-egoeren matrizearen eta sarrerako tentsioaren bidez kalkula daiteke irteeran sintetizatutako tentsioak aldioro duen balioa:

$$\vec{v}_{UVW} = \Gamma \vec{v}_{RST}, \quad (2.8)$$

$$\begin{pmatrix} V_U \\ V_V \\ V_W \end{pmatrix} = \begin{pmatrix} S_{RU} & S_{SU} & S_{TU} \\ S_{RV} & S_{SV} & S_{TV} \\ S_{RW} & S_{SW} & S_{TW} \end{pmatrix} \begin{pmatrix} V_R \\ V_S \\ V_T \end{pmatrix}. \quad (2.9)$$

Era berean, bihurgailuaren sarreran sintetizatutako korrantea horrela lortzen da:

$$\vec{i}_{RST} = \Gamma^T \vec{i}_{UVW}. \quad (2.10)$$

$$\begin{pmatrix} I_R \\ I_S \\ I_T \end{pmatrix} = \begin{pmatrix} S_{RU} & S_{RV} & S_{RW} \\ S_{SU} & S_{SV} & S_{SW} \\ S_{TU} & S_{TV} & S_{TW} \end{pmatrix} \begin{pmatrix} I_U \\ I_V \\ I_W \end{pmatrix}. \quad (2.11)$$

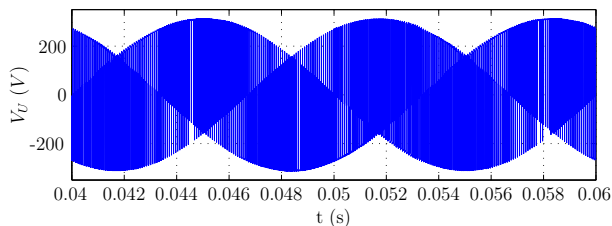
Beste era batera esanda, sarrerako tentsioak zatikatuz sortzen dira irteerako tentsioak, eta irteerako korronteak zatikatuz sortzen dira sarrerakoak. Zatiketa horiek era egokian eginez gero, sortutako maiztasun baxuko tentsio eta korronteak bat datoz erreferentziek ezarritako balioekin. Tentsio eta korronte horiek era ezberdinean zatikatu daitezke, erabiltzen den modulazio-teknikaren arabera. Zentzu horretan, modulazio-teknika asko daude, hala nola: teknika eskalarrak, teknika prediktiboak, etab. Horien artean teknika bektorialak [68, 69] dira gehien erabiltzen direnak.

Alde horretatik, MCaren sarreran eta irteeran sintetizatutako seinaleen adibideak erakusten ditu 2.8 irudiak, SVM (*Space Vector Modulation*) modulazio-teknika bektoriala erabiltzen denean. MCaren modulazioa sakonean aztertuko da 3. kapituluan.

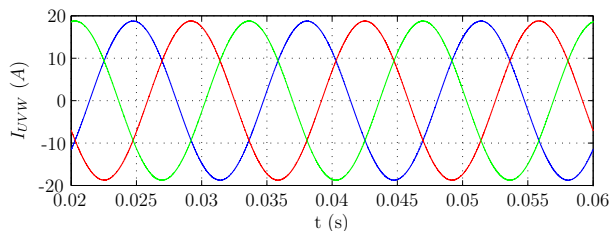
Printzipioz, modulazio-teknika horiek egoera idealetan funtzionatzeko daude diseinatuta. Hala ere, modulazio-teknika konbentzionalak ez dira egoera anormaletan erabiltzeko egokiak. Egoera horiek hurrengoak izan daitezke:

- Sare elektriko desorekatua edota distortsionatua egotea.
- Sare elektrikoan hutsuneak gertatzea.
- MCaren osagaietariko bat (adibidez, MCa osotzen duten etengailuetariko bat) puskatzea.

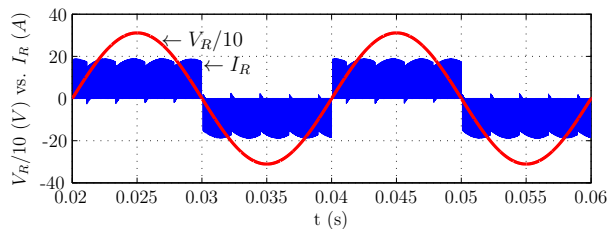
Alde horretatik, estrategia bereziak aplika daitezke bihurgailuaren modulazioan eta kontrolean, aipatutako egoeretan bihurgailuak ahalik eta portaera onena izan dezan. Zentzu horretan, sareko perturbazioen aurrean MCaren portaera hobetzeko erabiltzen diren modulazio- eta kontrol-estrategiak aztertuko dira 4. kapituluan. Bestalde, modulazio-teknika berri bat proposatzen da 8. kapituluan. Teknika horri esker, MCaren portaera hobetzen da, bihurgailua osatzen duten etengailuetariko bat hutsegite baten ondorioz zirkuitu irekian gelditzen denean, alegia.



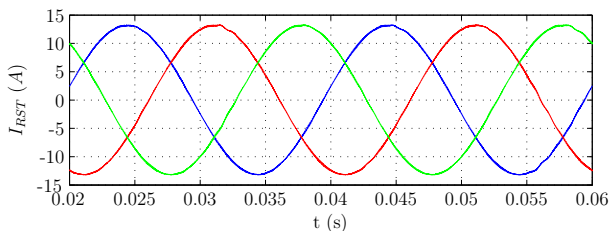
(a) Irteeran sintetizatutako fase-neutro motako tentsioa.



(b) Irteeran ezarritako tentsioen eraginez kargen sortutako korroneak.



(c) Sarreran sintetizatutako korronea (iragazi gabe) eta sarrerako tentsioa, biak fasean kontrolatzen direnean.



(d) Iragazitako sarrerako korroneak.

2.8 irudia. MCak sintetizatutako seinaleen adibideak (simulazioaren bidez lortutakoak).

2.5. Etengailu bidirekzionalen konmutazio segurua

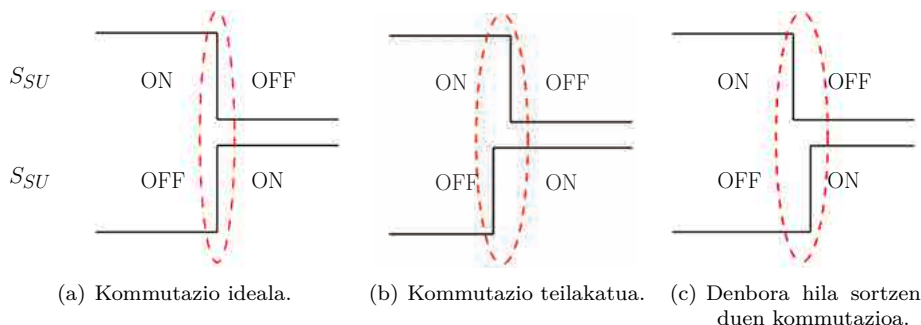
MCaren etengailuak etengabe ari dira konmutatzen modulazio-algoritmoak ezartzen direnean. Alde horretatik, bihurgailuaren oinarriko bi arauak betetzen direla ziurtatuz egin behar dira konmutazio horiek. Etengailuak idealak balira, konmutazioak bat-batean egingo lirateke (2.9(a) irudia), eta ez zen inongo arazorik gertatuko. Hala ere, etengailu bidirekzionalak ezin dute beraien artean bat-batean konmutatu, gailu erdieroaleek denbora bat behar baitute aktibatze eta desaktibatze. Ondorioz, teilakatzek (2.9(b) irudia) edota denbora hilak (2.9(c) irudia) gertatzen dira, eta konmutazio-aldiuneetan ez dira bihurgailuaren bi arauak betetzen.

Hala ere, posible da etengailu bidirekzionalen arteko konmutazioak oinarriko bi arauak errespetatuz egitea. Horretarako, sekuentzia egokiak jarraitzen dituzten konmutazio-estrategiak erabili behar dira. Konmutatzen ari diren etengailu bidirekzionalen IGBTei sekuentzia ezberdinak ezartzen dizkiete estrategia horiek. Zentzu horretan, pauso-kopuru eta sekuentzia determinatzeko teknika ezberdinak erabiltzen dituzten estrategia ugari aurkitu daitezke literaturan [21, 70–72]. Korrontearen noranzkoan oinarritzen den lau pausoko konmutazio-sekuentzia³ [21] da estrategia horien guztien artean MCaren etengailu bidirekzionalen konmutazio segurua bermatzeko gehien erabiltzen dena, oso mardula eta segurua baita. Gainera, sekuentzia horiek ezarritik gertatzen diren konmutazioen erdiak naturalak dira (2.10 irudia), hau da, ez dute galerarik sortzen. Hala ere, hurrengo baldintzak bete behar dira teknika hori ezarri ahal izateko:

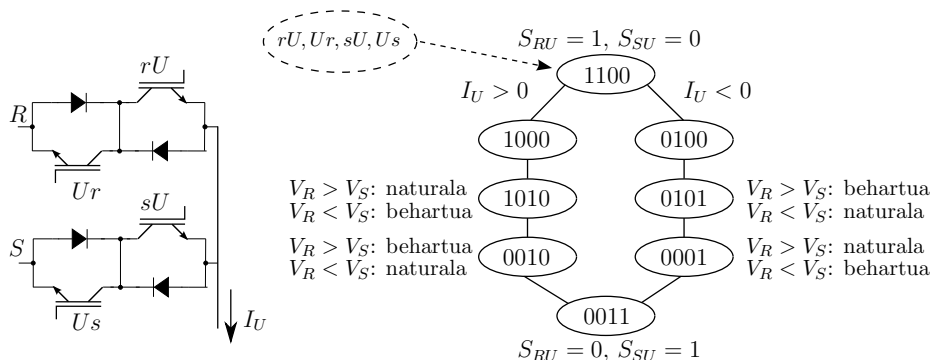
- Korrontearen noranzkoa kontrolatzea posible egiten duten etengailu bidirekzionalak erabili behar dira. Beraz, ezin daiteke estrategia hori ezarri diodo-zubi motako etengailuekin, baina bai ordea kolektore komuneko, igorle komuneko eta RB IGBTekin eraikitako konfigurazioekin (2.3.1. atala).
- Irteerako faseetatik zirkulatzen duten korronteak neurtu behar dira, horien noranzkoa erabiltzen baita konmutazio-sekuentzia segurua determinatzeko.

Korrontearen noranzkoaren detekzioan oinarritutako lau pausoko sekuentziaren adibidea azaltzen da 2.10 irudian. Adibide horretan, lau pausoko estrategia-
ren bidez S_{RU} etengailutik S_{SU} etengailura nola konmutatzen den erakusten da. Lehenik, korronteak etengailuen irteeran duen noranzkoa determinatu behar da. Behin korrontearen noranzkoa ezaguna den, IGBT ezberdinen aktibazio-desaktibazio sekuentzia jakin bat ezartzen da, bi arauak errespetatuz.

³Konmutazio erdi-leuna izenarekin ere ezagutzen da teknika hori.



2.9 irudia. MCaren etengailu bidirezionalen arteko kommutazioa, pauso bakarrean egiten denean



2.10 irudia. Korrontearen noranzkoaren detekzioan oinarritutako lau pausoko kommutazio-sekuentziaren adibidea.

Irteerako korrontearen noranzkoa positiboa dela suposatuz, lau pausoko kommutazio-sekuentziak ezarritako pausoak azaltzen dira jarraian (2.10 irudia):

- (0) Hasierako egoeran S_{RU} etengailu bidirezionaleko bi IGBTak daude aktibatuta; horri esker, posible da korrontearen noranzkoa aldatzea.
- (1) Korrontearen noranzkoa positiboa denez, korrante negatiboa garrartzeko erabiltzen den Ur IGBTa deskonektatzen da lehenengo pausoen. Kommutazioa gertatzean IGBT horrek ez du korronterik garraiatzen; ondorioz, kommutazioa naturala da. Bestalde, egoera horrek ez du onartzen aldaketarik korrontearen noranzkoan; beraz, ahalik eta azkarren igaro behar da egoera horretatik.

- (2) Bigarren pausoa sU IGBTa aktibatzen da. Egoera horretan, sarrerako tentsioen baliorik handienak finkatzen du U faseko tentsioaren balioa. Aurreko pausoa bezala, ezin daiteke korrontearen noranzkoaren aldaketarik onartu; beraz, ahalik eta azkarren egin behar da hirugarren pausoa.
- (3) Hirugarren pausoa rU IGBTa desaktibatzen da, eta V_S tentsioa ezartzen da U fasean. Korronteak norantza bakarrean zirkula dezake berriz ere.
- (4) Amaierako egoerara iristeko Us IGBTa aktibatzen da. Pauso horretan gertatzen den konmutazioa naturala da, etengailu horretan ez baitu korrontetik zirkulatzen. Bi IGBTak aktibatuta daudenez, korrontearen noranzkoa alda daiteke egoera horretan; beraz, egoera hori luzaro mantendu daiteke.

Sekuentzia hori jarraituz, ez da gaintentsiorik eta ezta gainkorrontetik sortzen bihurgailuan, sarrerako faseak ez baitira zirkuitulaburtzen, eta irteerako fasea ez baita zirkuitu irekian uzten. Bestalde, 2. edo 3. pausoetan pasatzen da korrontea etengailu bidirekzional batetik bestera. Beraz, konmutazio-galerak fase horietako batean gertatuko dira, konmutatzen ari diren etengailu bidirekzionalen sarrerako tentsioen balioen arabera (2.10 irudia).

IGBTek denbora jakin bat behar dute aktibatze eta desaktibatze. Ondorioz, denbora-tarte bat utzi behar da pausoen artean. IGBTek duten konmutazio-abiaduraren arabera finkatzen da denbora-tarte horien iraupena. Beraz, denbora jakin bat behar izaten da konmutazio-prozesu guztia egiteko. Guzti horrek bi ondorio nagusi ditu:

- Denbora hori baino gutxiago irauten duten konmutazio-egoerak ezin dira ezarri.
- Kontrola oso azkarra izan behar da. Adibidez, kontrolak 160 ns-ro ezarri behar ditu IGBTen aktibazio- eta desaktibazio-seinaleak, 7. kapituluaren deskribatuko den prototipoa erabiltzen denean. Ondorioz, gailu digital beziak behar dira MCaren kontrola egiteko (2.6. atala).

Bestalde, IGBTen konmutazio-sekuentzia egokiak ezartzen ez badira, gaintentsioak edo gainkorrontek sortzen dira bihurgailuan. Alde horretatik, konmutatzen ari diren bi etengailuren irteerako faseko korrontea zerotik igarotzen denean, posible da noranzkoa ongi ez determinatzea, neurketetan sortutako erroreak direla-eta, edo sekuentzia amaitu aurretik korrontearen noranzkoa aldatzea. Hala ere, fase horietako korrontearen balioa oso txikia da egoera horietan, eta printzipioz ez da hain arriskutsua.

2.6. MCa kontrolatzeko beharrezkoak diren zirkuituak

Etengailuen aktibazio- eta desaktibazio-seinaleak ezarri ahal izateko, denbora errealean exekutatu behar dira potentzia bihurgailuen kontrol-algoritmoak. Horretarako, gailu elektroniko azkarrak erabili behar dira. Tradizionalki, DSP (*Digital Signal Processor*) gailu digitalak erabili dira potentzia bihurgailuen kontrolerako [73–75]. Hala ere, MCaren modulazio- eta kontrol-algoritmoak konplexuak dira. Alde batetik, modulazio-maiztasun altuetan funtzionatu behar du bihurgailuak, duen potentziala ahalik eta gehien aprobetxatu nahi bada. Bestalde, zenbait pausoko konmutazio-estrategiak erabili behar dira etengailu bidirekzionalen arteko konmutazioak modu seguruan egiteko (2.5. atala). Normalean, pauso horien iraupena oso laburra denez, DSPak ez dira nahikoa azkarrak etengailuen aktibazio- eta desaktibazio-seinaleak ezartzeko. Arrazoi horiek direla-eta, FPGA (*Field Programmable Gate Array*) gailu digital birkonfiguragarriak erabiltzen dira ia gehienetan MCaren kontrola egiteko [40, 76–78].

FPGA gailuetan oso zaila da zatiketak eta eragiketa trigonometriko konplexuak inplementatzea; horregatik, DSPekin batera erabili ohi dira. Era horretara, DSPan exekututzen dira eragiketa konplexuak, eta FPGA ataza azkarrak egiteko erabiltzen da bakarrik (adibidez, ezarri beharreko konmutazio-egoerak determinatzeko, lau pausoko sekuentziak ezartzeko, babes-estrategiak aplikatzeko, etab.). Praktika horren adibide ona da [76] artikuluan inplementatutako SVM modulazioa. Kasu horretan, DSP bat erabiliz zehazten dira tentsioen eta korronteen angeluak eta sektoreak, eta informazio horren bidez lan-denborak eta konmutazio-sekuentziak kalkulatu dira. Ondoren, FPGAra bidaltzen da DSPan kalkulatuakoa. Horrela, aldiune bakoitzean zein konmutazio-egoera ezarri behar den determinatzen du FPGAk, eta lau pausoko konmutazio-sekuentzia ezartzen du bi etengailuren artean konmutatzen denean.

Hala ere, aukera berriak agertzen ari dira azken urteotan. Zentzu horretan, posible da MCa kontrolatzeko FPGAk bakarrik erabiltzen dituzten lanak aurkitzea literaturan [79–83].

Bestalde, kontrolagailu komertzialak erabili beharrean, komenigarria da plataforma bereziak erabiltzea, MCarentzako kontrol-algoritmo berriak garatu eta frogatu nahi direnean. Alde horretatik, FPGA ebaluazio-plakak erabil daitezke kontrol-algoritmoen diseinu-prozesuan. Hala ere, plaka horiekin lan egitea nahikoa zaila da, batez ere kontrol-algoritmoak arazi (*debug*, ingelesez) behar direnean. Ondorioz, diseinu-prozesua luzatu egin daiteke. Arrazoi hori dela-bide, RT-Lab *eMEGAsim* denbora errealeko gailu digitala (7.2. atala) erabili da tesi honetan MCa kontrolatzeko. Alde batetik, *Vertex-II* FPGA bat eta PC talde

(*cluster*, ingelesez) bat ditu gailu horrek. Bestalde, hamasei sarrera analogiko eta beste horrenbeste irteera analogiko ditu gailu horrek, eta baita hogeita hamabi sarrera digital eta beste horrenbeste irteera digital ere.

RT-Lab *eMEGAsim* gailu digitala oso egokia da potentzia bihurgailuen prototipatze azkarreko kontrola (RCP, *Rapid Control Prototyping*) implementatzeko. Zentzu horretan, *Matlab/Simulink*en programatzen dira kontrol-algoritmoak, programazio-prozesua sinplifikatuz. Alde batetik, *Simulink*eko blokeak eta *S-Function*ak erabiliz deskribatzen dira PC taldean denbora errealean exekutatuko diren atazak. Bestalde, *Xilinx System Generator toolbox*a erabiliz deskribatzen dira FPGA-n exekutatuko direnak. Beraz, ez da beharrezkoa hardware deskribapenerako lengoaiarik (VHDL, *Very High Description Language*, adibidez) erabiltzea. Gainera, dispositibo horri esker nahikoa simplea da kontrol-algoritmoak araztea, kontrolean parte hartzen duten aldagaiak monitorizatzea oso erraza baita.

RT-Lab *eMEGAsim* gailu digitala sakonean aztertuko da 7.2. atalean. Bestalde, MCaren prototipatze azkarreko kontrolaz arituko gara 7.4. atalean.

II. atala

Bihurgailu matrizialaren modulazioa eta kontrola

3. kapitulua

Bihurgailu matrizialaren modulazioa

3.1. Sarrera

Modulazio-algoritmoek betebeharrak garrantzitsuak dute potentzia-bihurgailuen etengailuen kontrolean. Alde horretatik, potentzia-bihurgailuek gai izan behar dute sarreran eta irteeran aurrez zehaztutako erreferentziako seinaleak sintetizatzeko. MCaren kasuan, erreferentziako seinale horiek irteerako tentsioaren fase-angelua eta magnitudea eta sarrerako korrontearen fase-angelua (edo potentzia-faktorea, hau da, sarrerako korrontearen eta tentsioaren arteko φ_{in} fase-angeluaren kosinua) dira. MCaren sarreran eta irteeran zehaztutako korronte eta tentsioak sintetizatzeko, etengailuen aktibazio- eta desaktibazio-uneak era egokian kontrolatu behar dira. Horretarako, modulazio-algoritmo aproposak erabili behar dira.

Oro har, MCaren modulazioa eta kontrola beste potentzia-bihurgailuena baino konplexuagoa da, jarraian azaltzen diren arrazoiak direla-bide:

- Energia zuzenean bihurtzen du MCak (AC/AC bihurketa).
- Ez dago energia metatzen duen osagai nabarmenik bihurgailu horretan.
- Korronteek ez daukate libre zirkulatzeko biderik.
- Ezarri behar diren konmutazio-sekuentziak konplexuak dira. Zentzu horretan, bihurgailuaren bi arauak bete behar dituzte aldiro sekuentzia horiek.

MCaren modulazioaren problematika asko aztertu da azken urteotan. Zentzu horretan, etengailuen aktibazioa eta desaktibazioa kontrolatzen duten modulazio-teknika ugari daude literaturan. Hurrengo taldeetan sailka daitezke modulazio-teknika nabarmenenak:

- **Teknika zuzenak:** mota horretakoa izan zen MCaren etengailuak kontrolatzeko proposatutako lehenengo modulazio-teknika. Etengailu bakoitzaren aktibazio-denborak era independentean kalkulatzen dira teknika horien bidez. Alde horretatik, Alesinak eta Venturinin proposatutako teknikak dira adibiderik ezagunenak [19, 84, 85]. Hala ere, matematikoki oso teknika konplexuak dira, eta karga konputazional handia dute.
- **Teknika bektorialak:** sistema trifasikoekin lan egitea konplexua izaten da. Hori dela eta, komenigarria da magnitude trifasikoak erreferentzia-sistemaz aldatzea. Alde horretatik, modulazio algoritmoa ezartzeko, bi koordenatutako $\alpha\beta$ erreferentzia-sistemara transformatzen ditu magnitude trifasikoak SVM (*Space Vector Modulation*) teknikak [68, 69]. Horretarako, Clarkeren transformazio bektoriala (A.1. eranskina) ezarri behar da. SVM modulazio-teknika da literaturan gehien azaltzen dena. Bestalde, teknika horren hainbat aldaera sor daitezke, aukeratzen den kommutazio-sekuentziaren arabera.
- **Teknika eskalarrak:** teknika eskalarrek ez dute transformazio bektorialen beharrik. Horri esker, modulazioa implementatzeko beharrezkoak diren balia bideak murriztu egiten dira. Hori oso garrantzitsua da, kostu baxuko gailu digital batean implementatu nahi bada modulazio-algoritmoa. MCa modulatzeko balia garriak diren hainbat teknika eskalar aurki daitezke literaturan. Teknika horien artean, garraiatzailean oinarritutako PWMa (*Pulse Width Modulation*) [86, 87] eta Pulstu Zabalerazko Teknika Eskalar Orokortua (GSPWM, *Generalized Scalar Pulse Width Modulation*) [88–90] nabarmentzen dira.
- **DTC teknikak:** DTC (*Direct Torque Control*) teknikak erabil daitezke MCaren etengailuak kontrolatzeko. Zentzu horretan, teknika hori lantzen duten zenbait artikulua aurkitu daitezke literaturan [91–94]. Teknika horiek histeresiaren bidezko kontrolean oinarritzen dira, eta oso azkarrak, sinpleak eta mardulak dira [94]. Hala ere, beste tekniketan baino distortsio harmoniko (THD, *Total Harmonic Distortion*) handiagoa izan ohi dute teknika horren bidez sintetizatutako tentsioek eta korronteek. Bestalde, kommutazio-maiztasuna ez da normalean konstantea izaten.
- **Kontrol prediktiboa:** teknika prediktiboen bidez posible da MCaren etengailuak kontrolatzea [95–99]. Printzipioz, bihurgailuaren etengailuen

konfigurazio posibleek etorkizunean izango duten eragina aurreikusten saiatzen dira teknika horiek; horrela, irizpide jakin batzuk kontuan izanda, emaitza egokiena sortuko duen konmutazio-egoera ezartzen da.

Bestalde, teknika ezberdinak konbinatzen dituzten estrategiak ere aurkitu daitezke literaturan, esaterako, kontrol prediktiboa eta DTC teknika bateratzen dituen [100]. Hala ere, modulazio-teknika bektorialak (SVM) [20, 68, 69, 101, 102] dira MCa modulatzeko gehien erabiltzen direnak. Horren arrazoi nagusiak hurrengoak dira [103]:

- Oso teknika aproposak dira digitalki inplementatzeko.
- Sarrerako tentsioari etekin osoa atera dakioke.
- Kalitate handiko korranteak eta tentsioak sintetizatzen dira; beste era batera esanda, sintetizatutako seinaleen distortsio harmonikoa baxua da.

Jarraian, MCaren hiru modulazio-teknika azalduko dira. Lehenik eta behin, Alesina-Venturiniren teknika gainbegiratuko da, hori izan baitzen MCaren etengailuen kontrolerako proposatutako lehenengo teknika. Ondoren, gaur egun gehien erabiltzen den SVM teknika bektoriala azalduko da zehaztasunez, hori izango baita tesi honetan erabiliko den modulazio-teknika. Horretaz gain, GSPWM modulazio-teknika eskalarra ere azalduko da, teknika eskalarren eta bektorialen arteko ezberdintasunak azpimarratuz. Amaitzeko, aurpegi bikoitzeko DS SVM (*Double Sided SVM*) modulazio-teknika GSPWM teknikaren bidez nola emulatzen den azalduko da. Azken bi teknika horien bidez lortutako emaitzak konparatuko dira, eta teknika bakoitza inplementatzeko beharrezkoak diren baliabideak aztertuko dira.

3.2. Alesina-Venturiniren modulazio-teknika

MCaren topologia 1976. urtean aurkeztu bazen ere, 1980. urtea iritsi arte ez zen inongo modulazio-teknikarik proposatu. Urte horretan, Alesinak eta Venturinik MCarentzako lehenengo modulazio-teknika proposatu zuten [84, 85]. Teknika horri esker, posible da irteerako tentsioaren fase-angelua eta magnitudea eta sarrerako potentzia-faktorea aldi berean kontrolatzea. Modulazio-teknika horren printzipioak azalduko dira jarraian.

MCaren etengailu bidirekzionalen egoera Γ konmutazio-egoeren matrizearen bidez adieraz daiteke:

$$\Gamma = \begin{pmatrix} S_{RU} & S_{SU} & S_{TU} \\ S_{RV} & S_{SV} & S_{TV} \\ S_{RW} & S_{SW} & S_{TW} \end{pmatrix}. \quad (3.1)$$

Matrize horren bidez, irteerako \vec{i}_{UVW} korrante-bektoretik eta sarrerako \vec{v}_{RST} tentsio-bektoretik abiatuta, MCaren irteeran eta sarreran sintetizatutako \vec{v}_{UVW} tentsio-bektorea eta \vec{i}_{RST} korrante-bektorea lortzen dira aldioro:

$$\vec{v}_{UVW} = \Gamma \vec{v}_{RST}, \quad (3.2)$$

$$\vec{i}_{RST} = \Gamma^T \vec{i}_{UVW}. \quad (3.3)$$

MCaren etengailuen aktibazio-uneak eta horien iraupena zehaztea da modulazio-tekniken betebeharra, sintetizatutako tentsioen eta korronteen maiztasun baxuko osagaiak erreferentziazko balioekin bat egin dezaten. MCaren S_{ij} etengailu bidirekzional bakoitzaren ezarpen-denbora (t_{ij}) zuzenean determinatzen da Alesina-Venturiniren teknika erabiltzen denean, aurrez definitutako T_{sw} modulazio-periodo batean zehar. Alde horretatik, hurrengo soluzioa proposatu zuten Alesinak eta Venturinik 1980. urtean, sarrerako potentzia-faktorea unitarioa izan dadin:

$$t_{ij} = \frac{1}{3} T_{sw} \left\{ 1 + 2m \cos[\alpha_{out} - \frac{2\pi}{3}(h-1)] \cos[\beta_{in} - \frac{2\pi}{3}(k-1)] \right\}, \quad (3.4)$$

non β_{in} eta α_{out} sarrerako erreferentziazko korrontearen eta irteerako erreferentziazko tentsioaren fase-angeluak diren, $i = \{R, S, T\}$ eta $j = \{I, V, W\}$ diren eta m modulazio-indizea den (irteerako erreferentziazko tentsioaren eta sarrerako tentsioaren moduluen arteko arrazoia):

$$m = \frac{V_{out}^*}{V_{in}}. \quad (3.5)$$

Bestalde, h indizearen balioa bat da $j = U$ denean, bi $j = V$ denean eta hiru $j = W$ denean. Era berean, k indizearen balioa bat da $i = R$ denean, bi $i = S$ denean eta hiru $i = T$ denean. Ezarpen-denborak determinatu ondoren, MCaren oinarrizko bi arauak (2.4. atala) urratzen ez dituen kommutazio-sekuentzia bat aukeratu behar da modulazio-periodo bakoitzean.

Hala ere, bi desabantaila nagusi ditu teknika horrek. Alde batetik, tentsioaren transferentzia-ratioa % 50-era mugatuta dago. Bestalde, irteerako potentzia-faktorea ezagutu behar da sarrerako potentzia-faktorea kontrolatu nahi bada [68]. Beraz, teknika hori ez da printzipioz oso erabilgarria.

Aurrez aipatutako arazoak gainditzten dituen bigarren teknika bat proposatu zuten Alesinak eta Venturirik 1989. urtean [19]. Hirugarren harmonikoak gehituz, tentsioaren transferentzia-ratioa % 86ra igotzea lortu zuten (hori da MCaren transferentzia-ratioaren berezko limitea) teknika horren bidez. Zentzu horretan, hurrengo ezarpen-denborak kalkulatu behar dira sarrerako potentzia-faktorea unitarioa izan dadin:

$$t_{ij} = \frac{1}{3}T_{sw} \left\{ 1 + 2m \cos[\beta_{in} - \frac{2\pi}{3}(k-1)] \cos[\alpha_{out} - \frac{2\pi}{3}(h-1)] - \frac{1}{6} \cos(3\alpha_{out}) + \frac{1}{2\sqrt{3}} \cos 3\beta_{in} - \frac{2}{3\sqrt{3}} m [\cos(4\beta_{in} - (k-1)\frac{2\pi}{3}) - \cos(2\beta_{in} + (k-1)\frac{2\pi}{3})] \right\}. \quad (3.6)$$

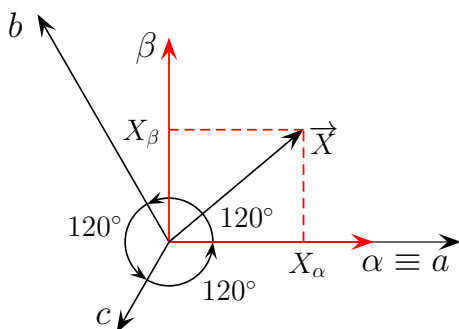
Aurretik azaldutako kasuan bezala, irteerako potentzia-faktorea ezagutu behar da, sarrerako potentzia-faktorea kontrolatu nahi bada teknika horren bidez.

Beraz, (3.4) eta (3.6) espresioetan ikus daitekeen bezala, oso modulazio-teknika konplexua da Alesinak eta Venturirik proposatutakoa, kalkulu matematiko konplexuak egin behar baitira modulazio-periodo bakoitzeko (bederatzi aldiz ebatzi behar dira ekuazio horiek, hau da, ebazpen bat etengailu bidirekzional bakoitzeko). Ondorioz, baliabide handiak dituzten gailu digitalak erabili behar dira modulazio-algoritmoa denbora errealean exekutatzeko. Zentzu horretan, SVM modulazio bektoriala erabil daiteke arazo horiek gainditzeko, kotzeptualki sinpleagoa delako, eta karga konputazional txikiagoa duelako.

3.3. SVM modulazio-teknika bektoriala

3.3.1. Modulazio bektorialean oinarriak

SVM modulazio-teknika bektorialak dira MCaren etengailuen aktibazio- eta desaktibazio-aldiuneak determinatzeko gehien erabiltzen direnak. Zentzu horretan, Huberek eta Borojevick aurkeztu zuten 1989. urtean mota horretako lehenengo modulazio-teknika [20]. Irteerako tentsioak kontrolatzeko gaitasuna du ba-



3.1 irudia. Clarkeren transformazio bektoriala.

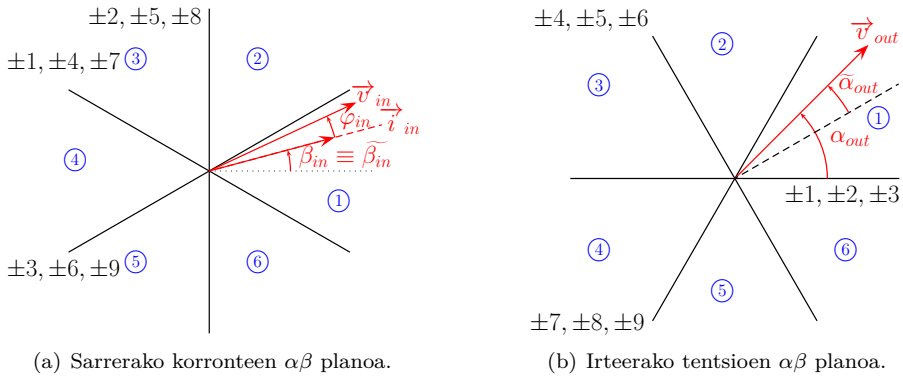
karrik lehenengo teknika horrek. Hala ere, sarrerako potentzia-faktorea eta irteerako tentsioak aldi berean kontrolatzeko gaitasuna duen teknika aurkeztu zuten autore berdinek 1991. urtean [69]. Hortik aurrera, SVM modulazio-teknikaren hainbat aldaera aurkeztu dira literaturan. Jarraian, modulazio-teknika bektoriala sakonean azalduko da.

Magnitude trifasikoekin lan egitea konplexua denez, bi dimentsiodun $\alpha\beta$ plano konplexura proiektatzen dira magnitude horiek, teknika bektorialak erabiltzen direnean. Horretarako, Clarkeren transformazio bektoriala (3.1 irudia) erabiltzen da:

$$\begin{pmatrix} X_\alpha \\ X_\beta \\ X_0 \end{pmatrix} = \frac{2}{3} \begin{pmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \\ 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \end{pmatrix} \begin{pmatrix} X_a \\ X_b \\ X_c \end{pmatrix}, \quad (3.7)$$

non X_a , X_b eta X_c osagaiak korrante edo tentsio trifasiko bati dagozkion. X_0 osagai homopolarra ez da erabiltzen SVM modulazio-teknikan (osagai homopolarren balioa zero da magnitude trifasikoa orekatuta dagoenean). Horri esker, modulazioaren problema sinplifikatu egiten da, hiru dimentsiotik bi dimentsiotara murrizten baita. Clarkeren transformazioa A.1. eranskinean aztertzen da sakonean.

Normalean, sare elektrikoarekin konektatzen da bihurgailuaren sarrera. Arrazoi horregatik, ezin dira sarrerako bi fase zirkuitulaburrean jarri. Bestalde, irteeran konektatzen diren kargak induktiboak direnez, irteerako faseek aldi oro egon behar dute sarrerako fase batekin konektatuta. Bestela, kargako korrante induktiboak ez luke zirkulatzeko biderik izango, eta gaintentsioak gertatuko lirateke. Matematikoki, MCaren oinarriko bi arau horiek honela adierazten dira:

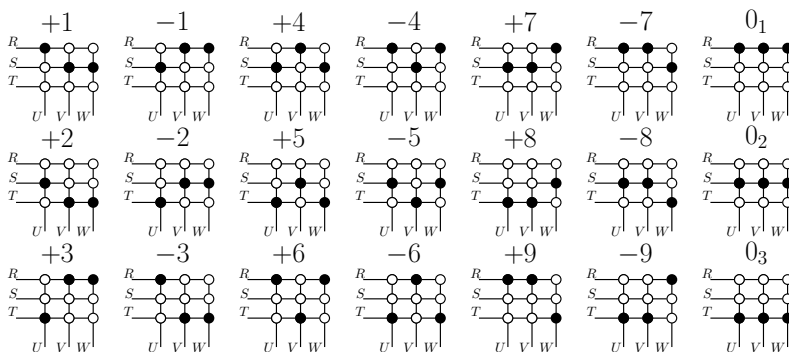


3.2 irudia. Bektore aktiboek eta sektoreen errepresentazioa $\alpha\beta$ ardatzetan.

$$S_{Rj} + S_{Sj} + S_{Tj} = 1, \quad j = \{U, V, W\}. \quad (3.8)$$

Ondorioz, MCan ez da posible edozein etengailu-konbinazio ezartzea. Bihurgailuaren oinarritzko bi arauak (3.8) bete behar direla kontuan izanik, baimendutako hogeita zazpi konmutazio-egoera daude. Konmutazio-egoera horiei Clareren transformazioa ezartzean, bi $\alpha\beta$ plano sortzen dira, sarrerako korronteei dagokien planoak (3.2(a) irudia) eta irteerako tentsioei dagokiena (3.2(b) irudia). Konmutazio-egoerak $\alpha\beta$ planoan nola proiektatzen diren kontuan hartuz, hiru bektore-taldetan sailka daitezke egoera baimendu horiek:

- **Bektore nulua:** irteerako hiru faseak sarrerako fase berera konektatzen direnean sortzen dira hauek. Ondorioz, anplitude nulua duten tentsio- eta korrante-bektoreak lortzen dira $\alpha\beta$ planoan. Hiru bektore nulu daude (0_1 , 0_2 eta 0_3 , 3.3 irudia).
- **Bektore aktiboak:** bektore hauek irteerako bi fase sarrerako fase berera konektatzen direnean sortzen dira. Ondorioz, angelu finkoa eta anplitude aldakorra dauzkaten tentsio- eta korrante-bektoreak sortzen dira $\alpha\beta$ planoan (3.2 irudia). Hemezortzi bektore aktibo daude ($+1, -1, \dots, -9$, 3.3 irudia), non bektore aktiboek sarrera eta irteerako $\alpha\beta$ planoak sei sektoretan banatzen dituzten, 3.2 irudian ikus daitekeen bezala (K_i aldagaia erabiltzen da korronteen planoko sektoreak deskribatzeko, eta K_v aldagaia, tentsioen planoko sektoreentzat). Kontuan izan behar da tentsio-bektore aktiboek magnitudea sarrerako linea arteko tentsioen menpekoa dela. Era berean, korrante-bektore aktiboak irteerako korronteen balioen menpekoak dira (3.1



3.3 irudia. SVM modulazioan erabiltzen diren bektore aktiboak eta nuluak.

taula).

- **Bektore errotazionalak:** irteerako fase bakoitza sarrerako fase ezberdin batera konektatzean sortzen dira bektore horiek. Ondorioz, anplitude fin-koa eta angelu aldakorra duten sei bektore sortzen dira $\alpha\beta$ planoan.

Salbuespenak salbuespen, bektore aktiboak eta nuluak (3.3 irudia) erabiltzen ditu bakarrik SVM modulazio-teknikak. Aldiz, bektore errotazionalak ez dira teknika horretan erabiltzen normalean. Norabide finkorik ez dutenez, horiek erabiltzeak zaildu egiten du MCaren modulazioa. Jarraian, modulazio bektorialaren funtzionamendu-printzipioak azalduko dira.

Lehendabizi, T_{sw} modulazio-periodoa definitzen da SVM teknikan, non lau bektore aktibo (a , b , c , d) eta gutxienez bektore nulu bat ezartzen diren periodo horretan. Horrela, MCak sarreran eta irteeran sintetizatzen dituen korronte eta tentsioak zatikatuta azalduko dira, non seinale hauen maiztasun baxuko osagaiak kontrolak zehaztutako erreferentziekin bat datozen (3.4(a) eta 3.4(b) irudiak). Beraz, bektore horien iraupena zehaztu behar du modulazio-teknikak. Zentzu horretan, bi posibilitate daude problema matematiko hori ebazteko:

- Bi etapako potentzia-bihurgailu zuzenaren (TSDPC, *Two Stage Direct Power Converter*, 3.7 irudia) kontzeptua erabil daiteke bektore aktiboan eta nuluen ezarpen-denborak kalkulatzeko [104, 105]. Hurbilketa horretan, artezgailu birtual eta inbertsore birtual baten bidez islatzen da MCa, eta haien artean DC_{link} kondentsadore birtual bat dagoela suposatzen da. Etapa bakoitzari artezgailu eta inbertsore arrunten SVM modulazioa ezar da-kiok; ondoren, bi modulazioak bilduz, MCaren modulazioa ondorioztatzen da.

3.1 taula. SVM modulazio-teknikan erabiltzen diren bektoreen konfigurazioa, magnitudea eta angelua.

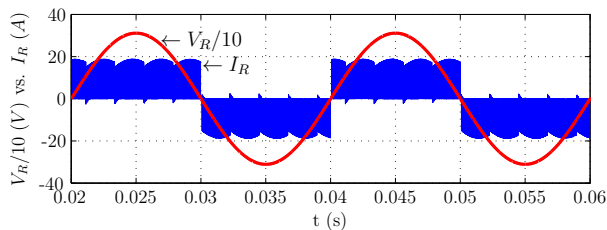
N.	S_{ij} ON	V_{out}	α_{out}	I_{in}	β_{in}
+1	$S_{RU} S_{SV} S_{SW}$	$+2/3V_{RS}$	0	$+2/\sqrt{3}I_U$	$-\pi/6$
-1	$S_{SU} S_{RV} S_{RW}$	$-2/3V_{RS}$	0	$-2/\sqrt{3}I_U$	$-\pi/6$
+2	$S_{SU} S_{TV} S_{TW}$	$+2/3V_{ST}$	0	$+2/\sqrt{3}I_U$	$+\pi/2$
-2	$S_{TU} S_{TV} S_{SW}$	$-2/3V_{ST}$	0	$-2/\sqrt{3}I_U$	$+\pi/2$
+3	$S_{TU} S_{RV} S_{RW}$	$+2/3V_{TR}$	0	$+2/\sqrt{3}I_U$	$+7\pi/6$
-3	$S_{RU} S_{TV} S_{TW}$	$-2/3V_{TR}$	0	$-2/\sqrt{3}I_U$	$+7\pi/6$
+4	$S_{SU} S_{RV} S_{SW}$	$+2/3V_{RS}$	$2\pi/3$	$+2/\sqrt{3}I_V$	$-\pi/6$
-4	$S_{RU} S_{SV} S_{RW}$	$-2/3V_{RS}$	$2\pi/3$	$-2/\sqrt{3}I_V$	$-\pi/6$
+5	$S_{TU} S_{SV} S_{TW}$	$+2/3V_{ST}$	$2\pi/3$	$+2/\sqrt{3}I_V$	$+\pi/2$
-5	$S_{SU} S_{TV} S_{SW}$	$-2/3V_{ST}$	$2\pi/3$	$-2/\sqrt{3}I_V$	$+\pi/2$
+6	$S_{RU} S_{TV} S_{RW}$	$+2/3V_{TR}$	$2\pi/3$	$+2/\sqrt{3}I_V$	$+7\pi/6$
-6	$S_{TU} S_{RV} S_{TW}$	$-2/3V_{TR}$	$2\pi/3$	$-2/\sqrt{3}I_V$	$+7\pi/6$
+7	$S_{SU} S_{SV} S_{RW}$	$+2/3V_{RS}$	$4\pi/3$	$+2/\sqrt{3}I_W$	$-\pi/6$
-7	$S_{RU} S_{RV} S_{SW}$	$-2/3V_{RS}$	$4\pi/3$	$-2/\sqrt{3}I_W$	$-\pi/6$
+8	$S_{TU} S_{TV} S_{SW}$	$+2/3V_{ST}$	$4\pi/3$	$+2/\sqrt{3}I_W$	$+\pi/2$
-8	$S_{SU} S_{SV} S_{TW}$	$-2/3V_{ST}$	$4\pi/3$	$-2/\sqrt{3}I_W$	$+\pi/2$
+9	$S_{RU} S_{RV} S_{TW}$	$+2/3V_{TR}$	$4\pi/3$	$+2/\sqrt{3}I_W$	$+7\pi/6$
-9	$S_{TU} S_{TV} S_{RW}$	$-2/3V_{TR}$	$4\pi/3$	$-2/\sqrt{3}I_W$	$+7\pi/6$
0 ₁	$S_{RU} S_{RV} S_{RW}$	0	-	0	-
0 ₂	$S_{SU} S_{SV} S_{SW}$	0	-	0	-
0 ₃	$S_{TU} S_{TV} S_{TW}$	0	-	0	-

- Zuzenean ebatzi daitezke bektore aktiboen eta nuluen ezarpen-denborak [68]. Beste era batera esanda, aldi berean kalkula daitezke sarrerako korrontearen fase-angeluaren eta irteerako tentsioen magnitudearen eta fase-angeluaren kontrola.

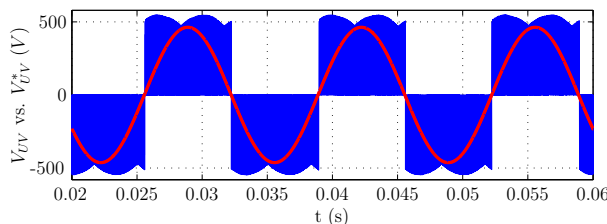
Emaitza berdinak lortzen dira bi metodo horiek erabiliz; beraz, bietako edozein aukera daiteke. Jarraian, metodo zuzena erabiliz ezarpen-debora horiek nola kalkulatu diren azalduko da, tesi honetan erabiliko baita metodo hori.

3.3.2. Metodo zuzenaren bidezko lan-denboren kalkulua

Metodo zuzena nola ezartzen den azaltzeko, erreferentziatzko korronte- (\vec{i}_{in}^*) eta tentsio-bektoreak (\vec{v}_{out}^*) lehenengo sektorean daudela suposatuko da, hau da, $K_i = K_v = 1$ direla, 3.5 irudiak erakusten duen bezala. Alde horretatik, korronte-



(a) Iragazi gabeko sarrerako korranteak (urdinez) sareko tentsioarekiko (gorriz) duen desplazamendu-angeluaren kontrola.



(b) Kontrolak markatutako irteerako erreferentziako tentsioen sintesia (gorriz), irteeran sintetizatutako tentsioaren (urdinez) maiztasun baxuko osagaien bitartez.

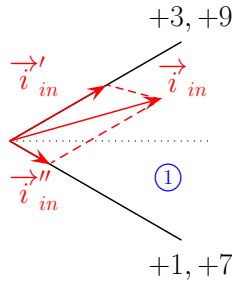
3.4 irudia. MCak sarreran eta irteeran sintetizaturiko korrante eta tentsio zatikatua.

eta tentsio-bektore horiek $\alpha\beta$ planoan duten fase angelua adierazten dute β_{in} eta α_{out} aldagaiek, hurrenez hurren (3.2 irudia). Bestalde, bektore horiek aurkitzen diren sektorearen erdikariarekiko duten angelua adierazten dute $\tilde{\beta}_{in}$ eta $\tilde{\alpha}_{out}$ aldagaiek (3.2 irudia).

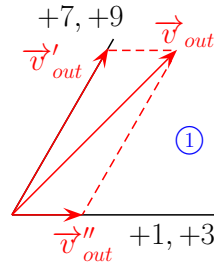
Irteerako \vec{v}_{out}^* erreferentziako tentsio-bektorea \vec{v}'_{out} eta \vec{v}''_{out} bektoreen konbinazio linealaren bidez sintetiza daiteke (3.5(b) irudia), non bektore horiek $\pm 7, \pm 8, \pm 9$ eta $\pm 1, \pm 2, \pm 3$ bektore aktiboekin lerrotatuta dauden, hurrenez hurren. Hamabi bektore aktibo horietatik, sarrerako korrante-bektorea eta irteerako tentsio-bektorea aldi berean modula ditzaketenak aukeratzen dira. Beraz, $K_i = 1$ eta $K_v = 1$ direnean, ± 8 eta ± 2 konfigurazioak baztertzen dira irteerako tentsioen planotik, eta ± 4 eta ± 6 konfigurazioak sarrerako korranteen planotik. Prozedura berari jarraituz, 3.2 taula eraiki daiteke ezarri behar diren bektore aktiboak zehaztuz, sarrerako erreferentziako korrante-bektorea eta irteerako erreferentziako tentsio-bektorea aldiune bakoitzean dauden sektoreen arabera. Printzipioz, bektore aktibo positiboak kontsideratuko dira bakarrik (geroaxeago

3.2 taula. K_i eta K_v sektoreen arabera SVM modulazioan ezarri behar diren bektore aktiboak.

	$K_v = 1, 4$				$K_v = 2, 5$				$K_v = 3, 6$			
$K_i = 1, 4$	+9	+7	+3	+1	+6	+4	+9	+7	+3	+1	+6	+4
$K_i = 2, 5$	+8	+9	+2	+3	+5	+6	+8	+9	+2	+3	+5	+6
$K_i = 3, 6$	+7	+8	+1	+2	+4	+5	+7	+8	+1	+2	+4	+5
	a	b	c	d	a	b	c	d	a	b	c	d



(a) Sarrerako korrante-bektorearen sintesia.



(b) Irteerako tentsio-bektorearen sintesia.

3.5 irudia. Bektore aktiboen konbinaketa linealaren bidezko erreferentziako tentsio- eta korrante-bektoreen sintesia $\alpha\beta$ planoan.

azalduko da kontsiderazio horren zergatia).

Bestalde, sintetizatu nahi den irteerako \vec{v}_{out}^* erreferentziako tentsioaren amplitudearen eta $\tilde{\alpha}_{out}$ angeluaren arabera kalkulatzeko dira trigonometrikoki \vec{v}'_{out} eta \vec{v}''_{out} bektoreen balioak:

$$\vec{v}'_{out} = \frac{2}{\sqrt{3}} V_{out}^* \cos(\tilde{\alpha}_{out} - \frac{\pi}{3}) e^{j((K_v-1)\pi/3 + \pi/3)}, \quad (3.9)$$

$$\vec{v}''_{out} = \frac{2}{\sqrt{3}} V_{out}^* \cos(\tilde{\alpha}_{out} + \frac{\pi}{3}) e^{j((K_v-1)\pi/3)}, \quad (3.10)$$

non V_{out}^* irteerako erreferentziako tentsioaren amplitudea den. Bestalde, dagozkien $\vec{v}_a - \vec{v}_d$ bektore aktiboen konbinazio linealaren bidez sortzen dira \vec{v}'_{out} eta \vec{v}''_{out} bektoreak (3.5(b) irudia eta 3.2 taula):

$$\vec{v}'_{out} = \vec{v}'_a \delta_a + \vec{v}'_b \delta_b, \quad (3.11)$$

$$\vec{v}''_{out} = \vec{v}''_c \delta_c + \vec{v}''_d \delta_d, \quad (3.12)$$

non \vec{v}'_a, \vec{v}'_d bektore aktiboei dagozkien lan-denborak diren $\delta_a, \delta_b, \delta_c$ eta δ_d . Era berean, \vec{v}''_a, \vec{v}''_d korrante-bektore aktiboen konbinazio linealaren bidez lortzen dira \vec{i}'_{in} eta \vec{i}''_{in} bektoreak (3.5(a) irudia eta 3.2 taula):

$$\vec{i}'_{in} = \vec{i}'_a \delta_a + \vec{i}'_c \delta_c, \quad (3.13)$$

$$\vec{i}''_{in} = \vec{i}''_b \delta_b + \vec{i}''_d \delta_d. \quad (3.14)$$

Alde horretatik, sarreran sintetizatutako \vec{i}'_{in} korrantearen fase-angeluak erreferentziazko fase-angeluak zehaztutako balioa izan dezan inposa daiteke (gogoratu angelu hori dela bihurgailuaren sarreran kontrolagarria den aldagai bakarra). Matematikoki, baldintza hori honela adieraz daiteke:

$$\vec{i}'_{in} j e^{j\tilde{\beta}_{in}} e^{j(K_i-1)\pi/3} = 0, \quad (3.15)$$

$$\vec{i}''_{in} j e^{j\tilde{\beta}_{in}} e^{j(K_i-1)\pi/3} = 0. \quad (3.16)$$

Beraz, $\tilde{\beta}_{in}$ angelua kontrolatuz potentzia-faktorea ($\cos \varphi_{in}$) kontrola daiteke. Adibidez, sarreran sintetizatutako korrantearen β_{in} fase-angeluak sarrerako tentsioaren α_{in} fase-angeluaren balioa izan dezan inposatzen bada, potentzia-faktore unitarioa ($\cos \varphi_{in} = 1$) lortzen da sarreran.

Amaitzeko, 3.2 taularen arabera ezarri beharreko bektore aktiboei dagozkien lan-denborak kalkulatu dira (3.9), (3.10), (3.15) eta (3.16) espresioak manipulatu [68]:

$$\delta_a = (-1)^{(K_i+K_v)} \frac{2}{\sqrt{3}} \frac{V_{out}^* \cos(\tilde{\beta}_{in} - \pi/3) \cos(\tilde{\alpha}_{out} - \pi/3)}{V_{in} \cos \varphi_{in}}, \quad (3.17)$$

$$\delta_b = (-1)^{(K_i+K_v+1)} \frac{2}{\sqrt{3}} \frac{V_{out}^* \cos(\tilde{\beta}_{in} + \pi/3) \cos(\tilde{\alpha}_{out} - \pi/3)}{V_{in} \cos \varphi_{in}}, \quad (3.18)$$

$$\delta_c = (-1)^{(K_i+K_v+1)} \frac{2}{\sqrt{3}} \frac{V_{out}^* \cos(\tilde{\beta}_{in} - \pi/3) \cos(\tilde{\alpha}_{out} + \pi/3)}{V_{in} \cos \varphi_{in}}, \quad (3.19)$$

$$\delta_d = (-1)^{(K_i+K_v)} \frac{2}{\sqrt{3}} \frac{V_{out}^* \cos(\tilde{\beta}_{in} + \pi/3) \cos(\tilde{\alpha}_{out} + \pi/3)}{V_{in} \cos \varphi_{in}}, \quad (3.20)$$

non V_{out}^* eta V_{in} erreferentziako tentsio-bektorearen eta sareko tentsio-bektorearen magnitudeak diren, hurrenez hurren. Lan-denborek balio positibo edo negatiboak izan ditzakete, K_i eta K_v sektoreen konbinazioen arabera. Horrela, lan-denbora jakin batek balio negatiboa badu, bere baliokide negatiboagatik aldatu behar da lan-denbora horri dagokion bektore aktibo positiboa (adibidez, +1 bektorea -1 bektoreagatik), bektore horrek norabide bera baina aurkako noranzkoa baitauka.

Matematikoki, T_{sw} modulazio-periodo batean zehar j bektore jakin bat ezarri behar deneko denbora-frakzioa adierazten du δ_j lan-denborak:

$$\delta_j = \frac{t_j}{T_{sw}}. \quad (3.21)$$

Beraz, aurretik lortutako (3.17)-(3.20) lan-denboretatik, T_{sw} modulazio-periodo batean bektore aktibo bakoitza zenbat denboratan ezarri behar den kalkulatu da. Modulazio-periodo osoan bektoreak ezarri behar direnez, falta den denbora bektore nuluen bidez betetzen da (3.22). Bektore nuluen anplitudea $\alpha\beta$ planoan zero denez, hauek ez dute eraginik erreferentziako bektoreen sintesian.

$$t_0 = T_{sw} - (t_a + t_b + t_c + t_d). \quad (3.22)$$

Modulazio hori gauzatea posible izan dadin, aukeratutako lau bektore aktiboen ezarpen-denboren baturak ezin du inoiz T_{sw} baino handiagoa izan:

$$t_a + t_b + t_c + t_d \leq T_{sw}. \quad (3.23)$$

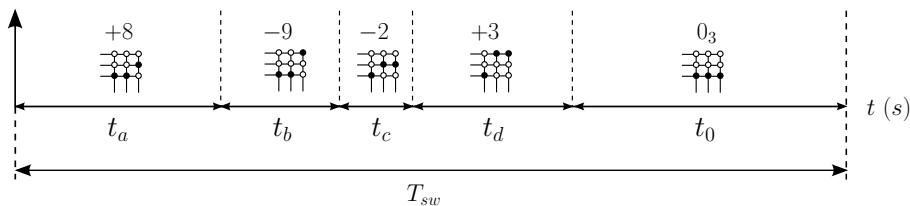
Alde horretatik, sarrerako eta irteerako tentsioen artean hurrengo limitea inposatzen da:

$$\frac{V_{out}^*}{V_{in}} \leq \frac{\sqrt{3}}{2} \frac{|\cos \varphi_i|}{\cos \tilde{\beta}_{in} \cos \tilde{\alpha}_{out}}; \quad (3.24)$$

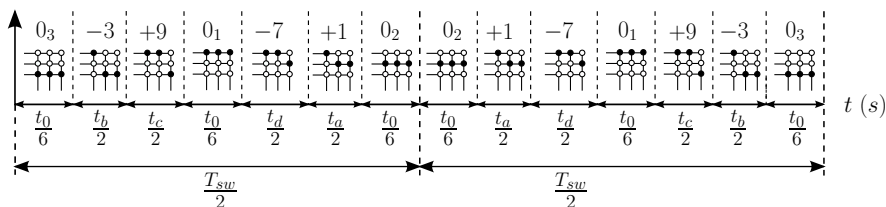
baldintza horretatik, MCaren tentsio-transferentziaren ratio maximoa lortzen da [68]:

$$\frac{V_{out}^*}{V_{in}} \leq \frac{\sqrt{3}}{2} \cos \varphi_{in}. \quad (3.25)$$

non ratio maximo hori 0.86 den potentzia-faktorea unitarioa denean. Aldiz, potentzia-faktorearen balioa txikiagotzen bada, transferentzia-ratio maximoaren balioa murriztu egiten da.



(a) Aurpegi bakarreko SVM modulazioa.



(b) DS SVM modulazioa.

3.6 irudia. MCaren konmutazio-sekuentzien bi adibide.

3.3.3. Konmutazio-sekuentziak

SVM teknikak T_{sw} periodoan ezarri behar diren bektoreak eta horien iraupea zehazten du, baina ez bektoreen ezarpen-ordena. Askatasun-gradu bat dago; beraz, sekuentzia ezberdinak ezar daitezke. Alde horretatik, sintetizatutako korronteen eta tentsioen espektro harmonikoa aldatu egiten da aukeratutako konmutazio-sekuentziaren arabera. Konmutazio-sekuentzia posible bat izango litzateke, bektore nulu bat lau bektore aktiboen ostean ezarrita lortzen dena (3.6(a) irudia). Sekuentzia posible hori erabiltzean ezartzen diren bektoreak, eta bektoreei dagozkien lan-denborak adierazten ditu 3.3 taulak, K_i eta K_v sektoreen arabera.

Bestalde, posible da bektore nulu bat baino gehiago ezartzea konmutazio-sekuentzia bakoitzean. Sarreran sintetizatutako korronteen distortsio harmonikoak behera egiten du konmutazio-sekuentzian bektore nuluak gehitzen direnean [106], sarreratik ikusten den maiztasuna gehitu egiten baita. Gainera, simetrikoki banatu daitezke ezarri beharreko bektore aktibo eta nuluak, sintetizatutako seinaleen kalitatea hobetzeko asmoz [68]. Ordainetan, konmutazio-galerak handitu egiten dira, gertatzen diren konmutazioak handitzen baitira.

3.3 taula. Aurpegi bakarreko SVM modulazio-teknikaren kommutazio-sekuentziak, eta bektore bakoitzari dagokion lan-denbora.

Sektoreak		Aurpegi bakarreko SVM Sekuentzia					Sektoreak		Aurpegi bakarreko SVM Sekuentzia				
K_i	K_v						K_i	K_v					
1	1	+9	-7	-3	+1	0_2	4	1	-9	+7	+3	-1	0_1
1	2	-6	+4	+9	-7	0_1	4	2	+6	-4	-9	+7	0_2
1	3	+3	-1	-6	+7	0_2	4	3	-3	+1	+6	-4	0_1
1	4	-9	+7	+3	-1	0_1	4	4	+9	-7	-3	+1	0_2
1	5	+6	-4	-9	+7	0_2	4	5	-6	+4	+9	-7	0_1
1	6	-3	+1	+6	-4	0_1	4	6	+3	-1	-6	+4	0_2
2	1	-8	+9	+2	-3	0_3	5	1	+8	-9	-2	+3	0_1
2	2	+5	-6	-8	+9	0_1	5	2	-5	+6	+8	-9	0_3
2	3	-2	+3	+5	-6	0_3	5	3	+2	-3	-5	+6	0_1
2	4	+8	-9	-2	+3	0_1	5	4	-8	+9	+2	-3	0_3
2	5	-5	+6	+8	-9	0_3	5	5	+5	-6	-8	+9	0_1
2	6	+2	-3	-5	+6	0_1	5	6	-2	+3	+5	-6	0_3
3	1	+7	-8	-1	+2	0_3	6	1	-7	+8	+1	-2	0_2
3	2	-4	+5	+7	-8	0_2	6	2	+4	-5	-7	+8	0_3
3	3	+1	-2	-4	+5	0_3	6	3	-1	+2	+4	-5	0_2
3	4	-7	+8	+1	-2	0_2	6	4	+7	-8	-1	+2	0_3
3	5	+4	-5	-7	+8	0_3	6	5	-4	+5	+7	-8	0_2
3	6	-1	+2	+4	-5	0_2	6	6	+1	-2	-4	+5	0_3
		δ_a	δ_b	δ_c	δ_d	δ_0			δ_a	δ_b	δ_c	δ_d	δ_0

Hala ere, posible da sekuentzia optimo bat aurkitzea kommutazio-sekuentzia simetriko bakoitzarentzat, non kommutazio bakarra gertatzen den bektoreen arteko trantsizioetan [103]. Horrela, kommutazio-galerak minimizatu egiten dira. Kommutazio-sekuentzia simetriko baten adibidea erakusten du 3.6(b) irudiak.

Halaber, kontuan izan behar da bektore nuluen lan-denborek hurrengo baldintza bete behar dutela:

$$\delta_{0_1} + \delta_{0_2} + \delta_{0_3} = 1 - \delta_a - \delta_b - \delta_c - \delta_d, \quad (3.26)$$

non δ_{0_1} , δ_{0_2} eta δ_{0_3} hiru bektore nuluei dagozkien lan-denborak diren. Nahiz eta baldintza hori bete, infinitu balio har ditzakete bektore nuluen lan-denborek. Beraz, infinitu kommutazio-sekuentzia sor daitezke hiru bektore nuluei dagozkien lan-denboreen balioen arabera. Zentzu horretan, bektore nuluen lan-denboreen balio jakin batzuen arabera sekuentzia bakoitzean gertatzen den kommutazio-kopurua adierazten du 3.4 taulak, kommutazio-sekuentzia simetriko optimoak ezartzen direnean.

DS SVM (*Double Sided Space Vector Modulation*) modulazio-teknikak ezarrita-

3.4 taula. Bektore nuluen lan-denboren balioen arabera periodo bakoitzean gertatzen den kommutazio-kopurua, sekuentzia simetriko optimoak erabiltzen direnean.

Lan-denbora nuluen kop.	Lan-denborak	Kommut. periodoko
δ nulu bakarra	$\delta_{02} = \delta_{03} = 0$	8
	$\delta_{01} = \delta_{03} = 0$	8
	$\delta_{01} = \delta_{02} = 0$	8
Bi δ nulu	$\delta_{02} = \delta_{03}, \delta_{01} = 0$	10
	$\delta_{01} = \delta_{03}, \delta_{02} = 0$	10
	$\delta_{01} = \delta_{02}, \delta_{03} = 0$	10
Hiru δ nulu	$\delta_{01} = \delta_{02} = \delta_{03}$	12

ko sekuentziak dira kommutazio-sekuentzia posible horien artean erabilienetakoak. Kommutazio-sekuentzia simetrikoak ezartzen ditu modulazio-teknika horrek. Bestalde, hiru bektore nulua ezartzen ditu modulazio-periodo bakoitzeko [68], non bektore nuluen ezarpen-denborak berdinak diren (3.6(b) irudia). DS SVM sekuentzia ezarriz (3.6(b) irudia) sintetizaturiko korronteen eta tentsioen kalitatea hobetzen da, baina, aipatu bezala, kommutazioak (eta ondorioz, galerak) gehitu egiten dira. Hala ere, posible da kommutazio-galerak minimizatzen dituen sekuentzia optimoa aurkitzea (3.5 taula). Alde horretatik, modulazio-periodoko hamabi bektore-aldaketa gertatzen dira DS SVM modulazioan, sekuentzia optimoa erabiltzen bada (3.4 taula). DS SVM modulazio-teknikaren sekuentzia-optimoak azaltzen ditu 3.5 taulak, K_i eta K_v sektoreen balioen arabera.

DS SVM modulazio-teknikaren sekuentzia optimoak ezartzean, kontuan izan behar da bektore aktiboen eta lan-denboren arteko korrespondentzia, hau da, zein bektoreri zein lan-denbora dagokion jakin behar da. Hori determinatzea nahiko sinplea da 3.3 taulak adierazten dituen kommutazio-sekuentziak ezartzen direnean, bektoreen lan-denborak $\delta_a - \delta_b - \delta_c - \delta_d - \delta_0$ sekuentzian baitaude ordenatuta, sarrerako eta irteerako sektoreen independentziaz. Aldiz, bektoreak era berezian ordenatu dira 3.5 taulan adierazten diren sekuentzia optimoak lortzeko. Kasu horretan, hurrengo arauak jarraitu behar dira bektore bakoitzari dagokion lan-denbora zehazteko:

- $K_i + K_v$ eragiketaren emaitza bikoitia denean, honelaxe ordenatuta daude ezarri behar diren bektoreei dagozkien lan-denborak: $\delta_0/6 - \delta_a - \delta_c - \delta_0/6 - \delta_d - \delta_b - \delta_0/6$ - simetria.
- $K_i + K_v$ eragiketaren emaitza bakoitia denean, honelaxe ordenatuta daude ezarri behar diren bektoreei dagozkien lan-denborak: $\delta_0/6 - \delta_c - \delta_a - \delta_0/6 - \delta_b - \delta_d - \delta_0/6$ - simetria.

Beste kommutazio-estrategia batzuk ere aurkitu daitezke literaturan. Adibidez,

3.5 taula. DS SVM modulazio-teknika optimizatuaren konmutazio-sekuentziak.

Sektoreak		DS SVM Sekuentzia								
K_i	K_v	O_3			O_1			O_2		
1	1	O_3	-3	+9	O_1	-7	+1	O_2		
1	2	O_3	-6	+9	O_1	-7	+4	O_2		
1	3	O_3	-6	+3	O_1	-1	+4	O_2		
1	4	O_3	-9	+3	O_1	-1	+7	O_2		
1	5	O_3	-9	+6	O_1	-4	+7	O_2		
1	6	O_3	-3	+6	O_1	-4	+1	O_2		
2	1	O_2	-8	+2	O_3	-3	+9	O_1		
2	2	O_2	-8	+5	O_3	-6	+9	O_1		
2	3	O_2	-2	+5	O_3	-6	+3	O_1		
2	4	O_2	-2	+8	O_3	-9	+3	O_1		
2	5	O_2	-5	+8	O_3	-9	+6	O_1		
2	6	O_2	-5	+2	O_3	-3	+6	O_1		
3	1	O_1	-1	+7	O_2	-8	+2	O_3		
3	2	O_1	-4	+7	O_2	-8	+5	O_3		
3	3	O_1	-4	+1	O_2	-2	+5	O_3		
3	4	O_1	-7	+1	O_2	-2	+8	O_3		
3	5	O_1	-7	+4	O_2	-5	+8	O_3		
3	6	O_1	-1	+4	O_2	-5	+2	O_3		
4	1	O_3	-9	+3	O_1	-1	+7	O_2		
4	2	O_3	-9	+6	O_1	-4	+7	O_2		
4	3	O_3	-3	+6	O_1	-4	+1	O_2		
4	4	O_3	-3	+9	O_1	-7	+1	O_2		
4	5	O_3	-6	+9	O_1	-7	+4	O_2		
4	6	O_3	-6	+3	O_1	-1	+4	O_2		
5	1	O_2	-2	+8	O_3	-9	+3	O_1		
5	2	O_2	-5	+8	O_3	-9	+6	O_1		
5	3	O_2	-5	+2	O_3	-3	+6	O_1		
5	4	O_2	-8	+2	O_3	-3	+9	O_1		
5	5	O_2	-8	+5	O_3	-6	+9	O_1		
5	6	O_2	-2	+5	O_3	-6	+3	O_1		
6	1	O_1	-7	+1	O_2	-2	+8	O_3		
6	2	O_1	-7	+4	O_2	-5	+8	O_3		
6	3	O_1	-1	+4	O_2	-5	+2	O_3		
6	4	O_1	-1	+7	O_2	-8	+2	O_3		
6	5	O_1	-4	+7	O_2	-8	+5	O_3		
6	6	O_1	-4	+1	O_2	-2	+5	O_3		

Simetria

kommutazio-galerak murrizteko baliagarriak diren zenbait teknika aztertzen dira [107] erreferentzian. Bestalde, [108, 109] erreferentzietan bektore errotazionalak erabiltzen dira bektore nuluen ordez. Era horretara, modu komunekoa (CM, *Common Mode*) tentsioa (3.27) murrizten da¹; ordainetan, distortsio harmonikoa handitu egiten da.

$$V_{CM} = \frac{V_U + V_V + V_W}{3} \quad (3.27)$$

Oro har, sintetizatutako seinaleen ezaugarri batzuk hobetu daitezke kommutazio-sekuentzia egokiak erabiliz; ordainetan, seinale horien beste ezaugarri batzuk txartu egiten dira. Beraz, aplikazioaren arabera aukeratu behar da sekuentzia egokia. Alde horretatik, aurpegi bakarreko SVM (3.6(a) irudia) eta DS SVM (3.6(b) irudia) teknikak erabiliko dira tesi honetan.

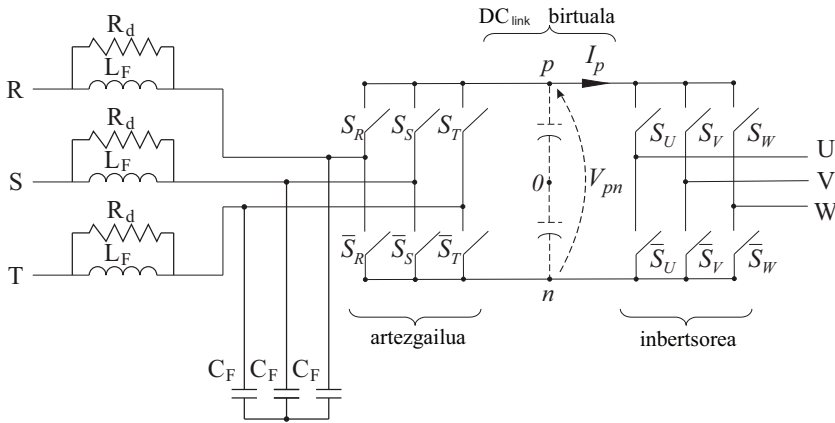
3.4. GSPWM modulazio-teknika eskalarra

Aurreko atalean aurkeztutako SVM modulazio-teknika bektorialak eragiketa aljebraiko konplexuak egin behar ditu etengailuen kontrol-seinaleak sortzeko. Gainera, sarrerako eta irteerako sektoreen arabera ezarri behar diren kommutazio-sekuentziak gordetzeko, memoria-kopuru jakin bat behar du kontrolatzaile digitalak. Alde horretatik, Pulstu Zabalerazko Teknika Eskalar Orokortua (GSPWM, *Generalized Scalar Pulse Width Modulation*) [88–90] deskribatuko da jarraian. Teknika hori alternatiba ona izan daiteke kostu baxuko sistemetan erabiltzeko, hurrengo arrazoiak direla-bide:

- Modulazio-teknika eskalarra da; beraz, egin beharreko eragiketa trigonometrikoen kopurua murriztu egiten da.
- Modulazio-teknika orokortua da, hau da, posible da beste modulazio-teknikak emulatzea zenbait parametro era egokian aukeratuz. Adibidez, posible da DS SVM modulazio-teknika era eskalarrean emulatzea, etengailuentzako kontrol-seinale berdinak sortuz. Ondorioz, korrante eta tentsio berdinak sintetizatzen dira bihurgailuaren sarreretan eta irteeretan.

Azkeneko puntu hori oso interesgarria da, modulazioa birkonfiguratu egin baitaiteke bihurgailua martxan dagoen bitartean, modulazio-algoritmoaren parametro batzuk aldatuz. Era horretara, momentuko beharrianetara egokitu daiteke GSPWM modulazioa.

¹Denborarekin, makina elektrikoan harilketetan hutsegiteak sortzen dituzte magnitude eta maiztasun handiko modu komunekoa tentsioek, eta errodamenduak ere hondatzen dituzte.



3.7 irudia. Etapa artezgailu eta inbertsore birtualen bidezko MCaren errepresentazioa.

Bi etapa birtual dituen potentzia bihurtzaile zuzenaren (TSDPC, *Two-Stage Direct Power Converter*) kontzeptuan [104] oinarritzen da GSPWM teknika. Hurbilketa horretan, artezgailu birtual eta inbertsore birtual baten bidez islatzen da MCA, eta haien artean DC_{link} kondentsadore birtual bat dagoela suposatzen da (3.7 irudia). Era horretara, bi zatitan banatu daiteke MCaren etengailuen kontrola:

- Sarreran sintetizatutako korronteen β_{in} fase-angelua era eskalarrean kontrolatzen du artezgailu birtualaren kontrolak.
- Irteeran sintetizatutako tentsioen α_{out} fase-angeluaren eta V_{out} magnitudearen balioak era eskalarrean kontrolatzen ditu inbertsore birtualaren kontrolak.

Jarraian, etapa artezgailu birtualean GSPWM teknikak egiten duen kontrola azalduko da.

3.4.1. Artezgailu birtualaren kontrola

Artezgailu birtualean, DC_{link} -eko korrontek eta etapa horren etengailuen konmutazio-egoerak adierazten dituen matrizea biderkatuz lortzen dira sarrerako korrontek. Era berean, sarrerako tentsioak eta matrize horren alderantzizkoa elkarrekin biderkatuz lortzen da V_{pn} tentsioa (3.7 irudia):

$$\begin{pmatrix} I_R \\ I_S \\ I_T \end{pmatrix} = \begin{pmatrix} S_R & \bar{S}_R \\ S_S & \bar{S}_S \\ S_T & \bar{S}_T \end{pmatrix} \begin{pmatrix} I_p \\ I_n \end{pmatrix}, \quad (3.28)$$

$$\begin{pmatrix} V_p \\ V_n \end{pmatrix} = \begin{pmatrix} S_R & S_S & S_T \\ \bar{S}_R & \bar{S}_S & \bar{S}_T \end{pmatrix} \begin{pmatrix} V_R \\ V_S \\ V_T \end{pmatrix}. \quad (3.29)$$

Zirkuitu irekiak saihestu behar dira artezgailu birtualean; ondorioz, bederatziko konmutazio-egoera ezar daitezke etapa horretan. Sei bektore aktibok ($\vec{I}_1 - \vec{I}_6$) eta hiru bektore nuluk ($\vec{I}_{01} - \vec{I}_{03}$) osatzen dute artezgailu birtualaren sarrerako korronteen $\alpha\beta$ planoak, 3.8 irudiak erakusten duen bezala. Zentzu horretan, artezgailu birtualak bektore horiek sortzeko erabiltzen dituen etengailuen konfigurazioak azaltzen ditu 3.6 taulak. Adibidez, DC_{link} birtualaren borne positiboa R fasearekin eta borne negatiboa S fasearekin konektatzean sortzen da \vec{I}_1 bektorea.

Artezgailu birtualaren kontrola egiteko, beharrezkoa da, lehenik eta behin, $\vec{\psi}^n$ bektore normalizatua definitzea. Sarrerako tentsioaren balioa neurtuz, eta lortu nahi den $\cos \varphi_{in}$ potentzia-faktorea zehaztuz, honelaxe kalkulaten dira $\vec{\psi}^n$ erreferentziako bektore normalizatuaren osagaiak²:

$$\psi_R^n = \cos(\omega_{in}t - \varphi_{in}), \quad (3.30)$$

$$\psi_S^n = \cos(\omega_{in}t - \varphi_{in} + \frac{2\pi}{3}), \quad (3.31)$$

$$\psi_T^n = \cos(\omega_{in}t - \varphi_{in} + \frac{4\pi}{3}), \quad (3.32)$$

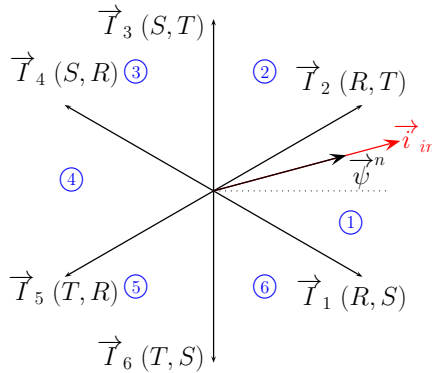
non $\omega_{in}t$ eta φ_{in} sarrerako tentsioaren fase-angelua eta sarrerako tentsioaren eta korrontearen arteko angelua diren, hurrenez hurren. Gauzak horrela, sarrerako \vec{i}_{in} korrontearen erreferentziako fase-angelua zehazteko erabiliko da $\vec{\psi}^n$ bektore normalizatuaren fase-angelua. Horri esker, posible izango da bihurgailuaren sarrerako potentzia-faktorea kontrolatzea.

Bektore normalizatuaren osagai bakoitzaren modulua beste bi osagaiena baino handiagoa da $\alpha\beta$ planoko (3.8 irudia) bi sektoretan zehar. Zentzu horretan, posible da $\vec{\psi}^n$ bektorea zein sektoretan dagoen zehaztea, modulu maximoa duen

²Sarreran lortu nahi den potentzia-faktorea unitarioa denean, nahikoa da sarreran neurtutako tentsioak normalizatzea, erreferentziako bektore normalizatua lortzeko. Hala ere, potentzia-faktorea unitarioa ez denean, hiru kalkulu trigonometriko egin behar dira GSPWM modulazio-teknikan, (3.30)-(3.32) espresioek adierazten duten bezala.

3.6 taula. Artezgailu birtualak ezar ditzakeen bektore aktiboak eta nuluak.

N.	V_p	V_n	I_{in}	β_{in}
$\vec{I}_1 (RS)$	R	S	$2/\sqrt{3}I_{DC}$	$-\pi/6$
$\vec{I}_2 (RT)$	R	T	$2/\sqrt{3}I_{DC}$	$\pi/6$
$\vec{I}_3 (ST)$	S	T	$2/\sqrt{3}I_{DC}$	$\pi/2$
$\vec{I}_4 (SR)$	S	R	$2/\sqrt{3}I_{DC}$	$5\pi/6$
$\vec{I}_5 (TR)$	T	R	$2/\sqrt{3}I_{DC}$	$-5\pi/6$
$\vec{I}_6 (TS)$	T	S	$2/\sqrt{3}I_{DC}$	$-\pi/2$
$\vec{I}_{01} (RR)$	R	R	0	-
$\vec{I}_{02} (SS)$	S	S	0	-
$\vec{I}_{03} (TT)$	T	T	0	-

3.8 irudia. Artezgailu birtualaren sarrerako korronteen planoan $\alpha\beta$ erreferentzia-sisteman.

osagaiaren zeinuaren arabera. Alde horretatik, $\vec{\psi}^n$ bektorea dagoen sektorea zehazten du 3.7 taulak, ψ_R^n, ψ_S^n eta ψ_T^n osagaien arteko balioen arabera. Beraz, transformazio bektorialik ezarri gabe zehaztu daiteke $\vec{\psi}^n$ bektorea zein sektore-tan dagoen.

Bektore normalizatua ($\vec{\psi}^n$) dagoen sektorea zehaztu ondoren, sektore hori mugatzen duten bi bektore aktiboaren konbinaketa linealaren bidez sortzen da sarrerako \vec{i}_{in} korrontea. Beraz, kommutazio-periodo jakin batean zehar \vec{I}_j bektore aktibo bakoitza zenbat denboratan ezarri behar den kalkulatu behar da. Zentzu horretan, honelaxe definitzen dira δ_j lan-denborak:

3.7 taula. Sarrerako korrontearen sektoreen determinazioa, ezarri beharreko bektoreak eta lan-denborak.

Baldintzak	Sektorea	Bektoreak	Lan-denborak
$ \psi_R^n > \psi_S^n , \psi_T^n $	$\psi_R^n > 0$	1	$\vec{I}_2 (R, T)$ $\delta_\gamma = \psi_T^n $ $\delta_\delta = \psi_S^n $
	$\psi_R^n < 0$	4	$\vec{I}_5 (T, R)$ $\vec{I}_4 (S, R)$ $\delta_\gamma = \psi_T^n $ $\delta_\delta = \psi_S^n $
$ \psi_S^n > \psi_R^n , \psi_T^n $	$\psi_S^n > 0$	3	$\vec{I}_4 (S, R)$ $\vec{I}_3 (S, T)$ $\delta_\gamma = \psi_R^n $ $\delta_\delta = \psi_T^n $
	$\psi_S^n < 0$	6	$\vec{I}_1 (R, S)$ $\vec{I}_6 (T, S)$ $\delta_\gamma = \psi_R^n $ $\delta_\delta = \psi_T^n $
$ \psi_T^n > \psi_R^n , \psi_S^n $	$\psi_T^n > 0$	5	$\vec{I}_6 (T, S)$ $\vec{I}_5 (T, R)$ $\delta_\gamma = \psi_S^n $ $\delta_\delta = \psi_R^n $
	$\psi_T^n < 0$	2	$\vec{I}_3 (S, T)$ $\vec{I}_2 (R, T)$ $\delta_\gamma = \psi_S^n $ $\delta_\delta = \psi_R^n $

$$\Delta_{t_{mj}} = \delta_j T_{sw}, \quad (3.33)$$

non j bektorea ezarri behar den denbora-tartea definitzen duen $\Delta_{t_{mj}}$ aldagaiak, T_{sw} modulazio-periodoan zehar.

Adibidez, \vec{I}_1 eta \vec{I}_2 bektoreen konbinazio linealaren bidez sortuko da sarrerako \vec{i}_{in} korrontea, $\vec{\psi}^n$ bektorea lehenengo sektorean dagoenean (3.8 irudia):

$$\vec{i}_{in} = \delta_\delta \vec{I}_1 + \delta_\gamma \vec{I}_2. \quad (3.34)$$

Alde horretatik, sektorearen arabera erabili behar diren bektore aktiboak eta horiei dagozkien lan-denborak aurkezten ditu 3.7 taulak. Bektore normalizatuaren $|\psi_j^n|$ osagaien moduluen balioak erabiliz kalkula daitezke lan-denbora horiek. Era horretara, kalkulaturako lan-denborak bat datoz trigonometrikoki kalkulaturako lan-denborekin, eta ez da inongo kalkulu konplexurik egin behar izan horretarako.

Horrela, T_{sw} modulazio-periodoan zehar ezarri behar diren bi bektore aktiboen ezarpen-denborak (Δt_{m1} eta Δt_{m2}) kalkulatu dira. Periodo hori bete egin behar denez, bektore nuluak ezartzen dira soberan gelditzen den denboran zehar:

$$\Delta t_{m0} = T_{sw} - \Delta t_{m1} - \Delta t_{m2}. \quad (3.35)$$

Azaldutako kontrol-prozedura jarraituz, (3.36) espresioaren bidez lortzen da T_{sw} periodoan zehar DC_{link} kondentsadorean sortzen den batezbesteko tentsioaren balioa.

$$\langle V \rangle_{pn} = \frac{3}{2} V_{in} \cos \varphi_{in} = \frac{\Delta t_{m1}}{T_{sw}} (V_{p1} - V_{n1}) + \frac{\Delta t_{m2}}{T_{sw}} (V_{p2} - V_{n2}), \quad (3.36)$$

non V_{in} sarrerako tentsioaren anplitudea den. Bestalde \vec{T}_j bektore aktiboak p eta n borneetan ezarritako tentsioak dira V_{pj} eta V_{nj} .

Jarraian, inbertsore birtualaren kontrola deskribatuko da.

3.4.2. Etapa inbertsore birtualaren kontrola

Kondentsadore birtualeko V_{pn} tentsioak elikatzen du inbertsore birtualaren sarre-
ra (3.7 irudia). Horrela, V_{pn} tentsioa eta etapa horren etengailuen konmutazio-
egoerak adierazten dituen matrizea biderkatuz lortzen dira inbertsore birtualak
irteeran sintetizatutako tentsioak. Era berean, DC_{link} birtualetik zirkulatzen
duen korronea matrize horren alderantzizkoaren bidez lortzen da:

$$\begin{pmatrix} V_U \\ V_V \\ V_W \end{pmatrix} = \begin{pmatrix} S_U & \bar{S}_U \\ S_V & \bar{S}_V \\ S_W & \bar{S}_W \end{pmatrix} \begin{pmatrix} V_p \\ V_n \end{pmatrix}, \quad (3.37)$$

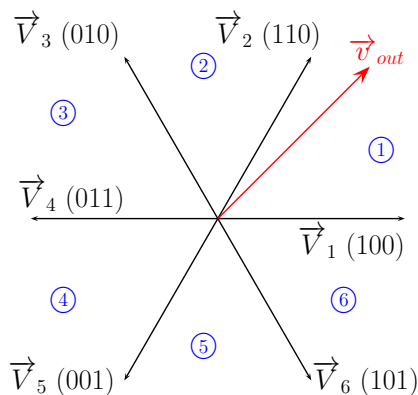
$$\begin{pmatrix} I_p \\ I_n \end{pmatrix} = \begin{pmatrix} S_U & S_V & S_W \\ \bar{S}_U & \bar{S}_V & \bar{S}_W \end{pmatrix} \begin{pmatrix} I_U \\ I_V \\ I_W \end{pmatrix}. \quad (3.38)$$

Zirkuitulaburrak saihestu behar direnez, sei bektore aktibo ($\vec{V}_1 - \vec{V}_6$) eta bi bektore nulu (\vec{V}_0, \vec{V}_7) sor ditzake inbertsore birtualak irteerako tentsioen $\alpha\beta$ planoan (3.9 irudia). Alde horretatik, inbertsore birtualak ezar ditzakeen bektoreak eta horiek sortzeko aktibatutako behar diren etengailuen konfigurazioak erakusten ditu 3.8 taulak. Adibidez, S_U, \bar{S}_V eta \bar{S}_W etengailuak aktibatutako behar dira \vec{V}_1 bektorea ezartzeko; beste era batera esanda, (100) konfigurazioa aktibatutako behar da. Kontuan izan behar da \bar{S}_j etengailua aktibatuta egon behar dela S_j etengailua deskonektatuta dagoenean, eta alderantziz.

Artezgailuaren irteerako tentsioak era eskalarrean modulatzeko posibilitate bat da sinu-triangulu konparaketaren bidezko modulazio-teknika erabiltzea. Zentzu horretan, jarraian azaldutako den prozedura erabiliz kalkula daitezke sinu-triangulu

3.8 taula. Inbertsore birtualak ezar ditzakeen bektore aktiboak eta nuluak.

N.	S_{ij} ON			V_{out}	α_{out}
\vec{V}_1 (100)	S_U	\bar{S}_V	\bar{S}_W	$2/3 \langle V_{pn} \rangle$	0
\vec{V}_2 (110)	S_U	S_V	\bar{S}_W	$2/3 \langle V_{pn} \rangle$	$\pi/3$
\vec{V}_3 (010)	\bar{S}_U	S_V	\bar{S}_W	$2/3 \langle V_{pn} \rangle$	$2\pi/3$
\vec{V}_4 (011)	\bar{S}_U	S_V	S_W	$2/3 \langle V_{pn} \rangle$	π
\vec{V}_5 (001)	\bar{S}_U	\bar{S}_V	S_W	$2/3 \langle V_{pn} \rangle$	$-2\pi/3$
\vec{V}_6 (101)	S_U	\bar{S}_V	S_W	$2/3 \langle V_{pn} \rangle$	$-\pi/3$
\vec{V}_0 (000)	\bar{S}_{SU}	\bar{S}_{RV}	\bar{S}_{SW}	0	-
\vec{V}_7 (111)	S_{RU}	S_{SV}	S_{RW}	0	-

3.9 irudia. Inbertsore birtualaren irteerako tentsioen plano $\alpha\beta$ erreferentzia-sisteman.

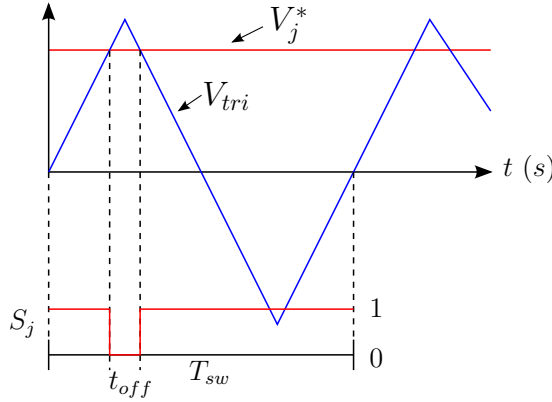
konparaketaren bidezko modulazio eskalarraren lan-denborak, etapa artezgailu eta inbertsore birtuala banatzen dituen DC_{link} kondentsadorearen borneen arteko tentsioaren balioa (3.36) espresioaren bidez emana datorrenean.

Sinu-triangelu konparaketa erabiliz modulaturaz gero, inbertsore birtualaren S_j etengailuen egoera honelaxe emana dator:

$$V_j^* > V_{tri} \Rightarrow S_j = 1, \quad (3.39)$$

$$V_j^* < V_{tri} \Rightarrow S_j = 0, \quad (3.40)$$

non j faseko ($j = \{U, V, W\}$) erreferentziazko tentsioaren eta garraiatzailearen



3.10 irudia. Sinu-triangelu konparaketa bidezko modulazioaren adibidea.

magnitudeak diren V_j^* eta V_{tri} (3.10 irudia).

Garraiatzailearen maiztasunaren balioa $1/T_{sw}$ da, 3.10 irudian ikus daitekeen bezala. Erreferentziako V_j^* tentsioaren maiztasuna garraiatzailearena baino askoz ere txikiagoa denez, erreferentziako tentsio horrek T_{sw} modulazio-periodo bakoitzean zehar balio konstantea duela suposa daiteke (3.10 irudia). Era horretara, hurrengoa lortzen da berdintasun trigonometrikoak erabiltzen badira:

$$\frac{t_{off}}{\widehat{V}_{tri} - V_j^*} = \frac{T_{sw}/2}{\widehat{V}_{tri}}, \quad (3.41)$$

non T_{sw} periodoan zehar S_j etengailua itzalita dagoen denbora-tartea adierazten duen t_{off} aldagaiak. Bestalde, garraiatzailearen anplitude maximoa adierazten du \widehat{V}_{tri} aldagaiak. Alde horretatik, (3.41) garatuz hurrengoa lortzen da:

$$t_{off} = \left(1 - \frac{V_j^*}{\widehat{V}_{tri}}\right) \frac{T_{sw}}{2}. \quad (3.42)$$

Bestalde, S_j etengailua aktibatuta egongo da T_{sw} periodoa betetzeko falta den denboran zehar:

$$t_{on} = T_{sw} - t_{off}; \quad (3.43)$$

beraz,

$$t_{on} = \left(\frac{V_j^*}{\widehat{V}_{tri}} + \frac{1}{2} \right) T_{sw}. \quad (3.44)$$

Alde batetik, aktibazio-denborekin erlazionatuta daude lan-denborak ($\delta_j = t_{on}/T_{sw}$); bestalde, irteerako tentsioek lor dezaketen balio maximoa DC_{link} -eko tentsioarekin erlazionatuta dago. Ondorioz, hurrengo adierazpen matematikoen arabera dira sinu-triangelu konparaketa bidezko S_U , S_V eta S_W etengailuen lan-denborak:

$$\delta_U = \frac{V_U^*}{\langle V_{pn} \rangle} + \frac{1}{2}, \quad (3.45)$$

$$\delta_V = \frac{V_V^*}{\langle V_{pn} \rangle} + \frac{1}{2}, \quad (3.46)$$

$$\delta_W = \frac{V_W^*}{\langle V_{pn} \rangle} + \frac{1}{2}, \quad (3.47)$$

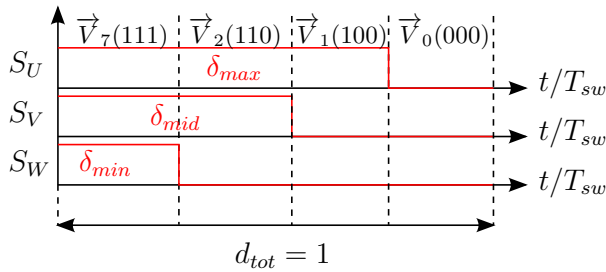
non V_U^* , V_V^* eta V_W^* irteerako tentsioen erreferentziatzko balioak diren.

Inbertsore birtualaren modulazioaren kasu partikularra da sinu-triangelu konparaketaren bidezko modulazioa. Hori dela eta, inbertsore birtualaren lan-denborentzako soluzio orokortua aurkeztu zuen Jacobinak [110] erreferentzian. Soluzio orokortu horretan μ deritzon banaketa-parametroa definitzen da (3.48), eta inbertsorean aplikagarriak diren bi bektore nuluen ezarpen-denborak kontrolatzeko erabiltzen da parametro hori.

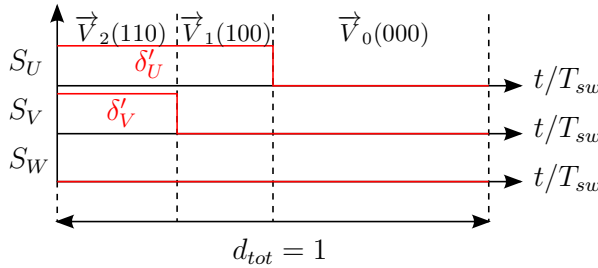
$$\mu = \frac{\Delta t_{V_0}}{\Delta t_{V_0} + \Delta t_{V_7}}, \quad (3.48)$$

non artezgailuaren \vec{V}_0 (000) eta \vec{V}_7 (111) bektore nuluei dagozkien ezarpen-denborak diren Δt_{V_0} eta Δt_{V_7} , hurrenez hurren. Beraz, $\mu = 0$ bada, \vec{V}_7 bektore nulua ezartzen da bakarrik; aldiz, $\mu = 1$ bada, \vec{V}_0 bektorea. Alde horretatik, μ banaketa-parametroaren menpekoea den lan-denboreen soluzio orokorra lortzeko, (3.45)-(3.47) lan-denborak ordenatu egin behar dira lehenik eta behin, balio maximoaren (δ_{max}), erdibideko balioaren (δ_{mid}) eta balio minimoaren (δ_{min}) arabera.

Adibide modura, S_U , S_V eta S_W etengailuei dagozkien lan-denborak δ_{max} , δ_{mid} eta δ_{min} direla suposatu da, hurrenez hurren. Era horretara, 3.11 irudiak adierazten duen bezala banatzen dira δ_{max} , δ_{min} eta δ_{mid} lan-denborak, eta konmutazio-sekuentzia jakin bat lortzen da. Bestalde, inbertsore birtualean ezartzen di-



3.11 irudia. Inbertsoreak ezarritako konmutazio-sekuentziaren adibidea.



3.12 irudia. Inbertsoreak ezarritako konmutazio-sekuentziaren bigarren adibidea.

ren bektore nuluen lan-denbora totala (δ_{nuluak}) zehaztu daiteke 3.11 irudiko konmutazio-sekuentziaren kasuan:

$$\delta_{nuluak} = \delta_{min} + 1 - \delta_{max}. \quad (3.49)$$

Kontuan izan behar da 3.11 irudian azaltzen den sekuentzia kasu partikular bat dela. Adibidez, (3.45)-(3.47) lan-denborei δ_{min} kentzen bazaie, 3.12 irudiak azaltzen duen soluzio partikular berria lortzen da. Kasu horretan, honelaxe gelditzen dira lan-denborak:

$$\delta'_U = \delta_U - \delta_{min}, \quad (3.50)$$

$$\delta'_V = \delta_V - \delta_{min}, \quad (3.51)$$

$$\delta'_W = \delta_W - \delta_{min}. \quad (3.52)$$

Beraz, konmutazio-sekuentziatik kanporatu da \vec{V}_7 bektore nulua kasu parti-

kular horretan. Bestalde, \vec{V}_0 bektore nuluari gehitu zaio bektore nulu horri zegokion lan-denbora, eta (3.49) konstante mantentzen da. Gainera, bektore aktiboen lan-denborak ez dira aldatu. Irteerako tentsioetan bi bektore nuluek eragin berdina dutenez, maiztasun baxuko osagai berdinak sintetizatzen dira irteerako tentsioetan, 3.11 eta 3.12 irudiek erakusten dituzten soluzio partikularrak ezartzen direnean.

Beraz, bektore nulu baten lan-denborari kantitate jakin bat gehituz, eta besteari kantitate hori kenduz, infinitu soluzio lor daitezke. Zentzu horretan, (3.50)-(3.52) espresioak abiapuntutzat hartuz, μ banaketa-parametroaren menpekoa den lan-denboren soluzio orokortua lortzen da:

$$\delta_j^G = \delta'_j + \delta_{nuluak}(1 - \mu), \quad (3.53)$$

non soluzioa orokortua dela adierazten duen G goi-indizeak, eta $j = U, V, W$ den. Alde horretatik, hurrengo lortzen da δ'_j eta δ_{nuluak} (3.53) espresioan ordezkatzuz:

$$\delta_j^G = \delta_j - \delta_{min} + (\delta_{min} + 1 - \delta_{max})(1 - \mu). \quad (3.54)$$

Beraz, hurrengo ekuazioen bidez deskribatzen dira μ banaketa-parametroaren menpekoak diren inbertsore birtualaren lan-denbora orokortuak:

$$\delta_U^G = \delta_U - \mu\delta_{min} + (1 - \mu)(1 - \delta_{max}), \quad (3.55)$$

$$\delta_V^G = \delta_V - \mu\delta_{min} + (1 - \mu)(1 - \delta_{max}), \quad (3.56)$$

$$\delta_W^G = \delta_W - \mu\delta_{min} + (1 - \mu)(1 - \delta_{max}). \quad (3.57)$$

Artezgailu birtualean bezala, (3.55)-(3.57) lan-denborak eta T_{sw} modulazio-periodoa biderkatuz lortzen dira Δt_j^G ezarpen-denborak.

Laburbilduz, inbertsore birtualaren kontrol orokortua egiteko jarraitu behar diren pausoak hurrengoak dira. Lehenik eta behin, δ_U , δ_V eta δ_W lan-denborak kalkulatu behar dira. Ondoren, lan-denbora horiek ordenatu egin behar dira, balio maximoaren (δ_{max}), erdibideko balioaren (δ_{mid}) eta balio minimoaren (δ_{min}) arabera. Ondoren, μ banaketa-parametroaren balioa aukeratu behar da, eta δ_U^G , δ_V^G eta δ_W^G ebatzi behar dira.

3.4.3. Sarrerako korrontearen eta irteerako tentsioaren al- dibereko kontrola

Amaitzeko, etapa artezgailu eta inbertsore birtualetan lortutako emaitzak konbinatu egin behar dira. Horrela, MCa osatzen duten bederatzi etengailu bidirekzionalen aktibazio- eta desaktibazio-seinaleak ondorioztatzen dira. MCaren irteerako fase bakoitza (U , V eta W) bere aldetik kontsideratuko da, etapa artezgailu eta inbertsore birtualaren aldebereko kontrola hobeto ulertu ahal izateko.

Aurreko ataletan azaldu den bezala, artezgailu birtualaren kontrolak Δt_{m1} , Δt_{m2} eta Δt_{m0} tartetean banatzen du modulazio-periodoa. Alde horretatik, sarrerako fase ezberdinak konektatzen dira DC_{link} birtualaren terminaletara, denbora tarte bakoitzean. Bestalde, irteerako tentsioen kontrolean, DC_{link} birtualaren p terminalera konektatzen da irteerako j fasea Δt_j^G denbora-tartean zehar, eta n terminalera $T_{sw} - \Delta t_j^G$ denboran zehar.

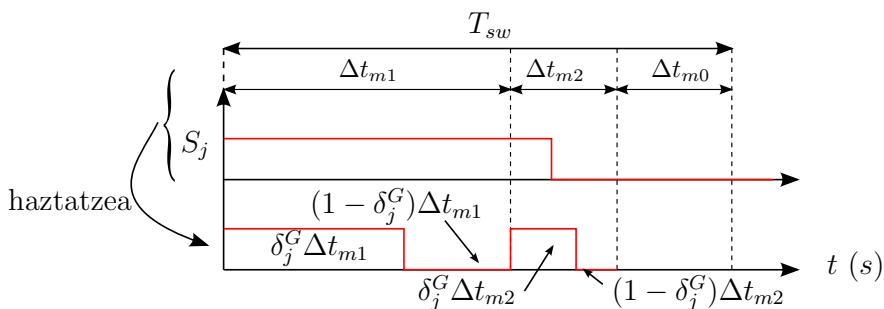
Sarrerako korrontearen eta irteerako tentsioaren aldebereko kontrola gauzatu ahal izateko, beharrezkoa da irteerako j terminala sarrerako p terminalera bai Δt_{m1} eta baita Δt_{m2} denboretan zehar konektaturik egotea. Era berean, irteerako terminala n terminalera konektatua egon behar da bai Δt_{m1} eta baita Δt_{m2} denboran zehar [111]. Baldintza horiek betetzeko, j faseko konmutazio-sekuentzia Δt_{m1} eta Δt_{m2} denborekin haztatu (*weight*, ingelesez) daiteke. Alde horretatik, aldebereko kontroleko lan-denbora haztatuak honelaxe gelditzen dira (3.13 irudia):

$$\delta_{jm_1} = \frac{\Delta t_{jm_1}}{T_{sw}} = \frac{\Delta t_{m1}}{T_{sw}} \delta_j^G, \quad (3.58)$$

$$\delta_{jm_2} = \frac{\Delta t_{jm_2}}{T_{sw}} = \frac{\Delta t_{m2}}{T_{sw}} \delta_j^G. \quad (3.59)$$

Bestalde, artezgailu birtualak bektore nuluak ezartzen ditu Δt_{m0} denboran zehar, eta ez da beharrezkoa irteerako j fasea p eta n terminaletara konektaturik egotea denbora-tarte horretan; beraz, ez da beharrezkoa haztatzea.

Amaitzeko, MCa osatzen duten bederatzi etengailu bidirekzionalen konmutazio-egoerak determinatu behar dira, artezgailu eta inbertsore birtualen aldiuneko konmutazio-egoerak konbinatuz:



3.13 irudia. Lan-denboreen haztatzea.

$$S_{Rj} = S_j S_R + \bar{S}_j \bar{S}_R, \quad (3.60)$$

$$S_{Sj} = S_j S_S + \bar{S}_j \bar{S}_S, \quad (3.61)$$

$$S_{Tj} = S_j S_T + \bar{S}_j \bar{S}_T, \quad (3.62)$$

non $j = U, V, W$ den. Bestalde, MCaren etengailuetan bektore nulu bat ($0_1, 0_2$ edo 0_3) ezartzen da, etapa artezgailu birtualean zein etapa inbertsore birtualean bektore nulu bat ezartzen denean. MCan bektore nulua ezartzen diren denboratartea determinatzeko, inbertsore birtualeko bektore nuluen eta artezgailu birtualeko bektore aktiboen ezarpen-denborak haztatu behar dira. Ondoren, etapa artezgailu birtularen bektore nuluen ezarpen-denborarekin batu behar da emaitza hori. Era horretara, MCan ezartzen diren bektore nuluen ezarpen-denborak honelaxe emanak datoz:

$$\Delta t_{nuluak_{MC}} = \Delta t_{m0} + t_{off}(\Delta t_{m1} + \Delta t_{m2}), \quad (3.63)$$

edo, berdina dena

$$\Delta t_{nuluak_{MC}} = \Delta t_{m0} + (1 - \delta_{max} + \delta_{min})(\Delta t_{m1} + \Delta t_{m2}). \quad (3.64)$$

3.4.4. DS SVM teknikaren sintesia GSPWM teknikaren bidez

Aurreko ataletan ikusienez, infinitu konmutazio-sekuentzia sortu daitezke GSPWM modulazio-teknika erabiliz. Horretaz gain, literaturan aurki daitezkeen hainbat teknika emula daitezke GSPWM teknikaren bidez (hau da, teknika

horiek lortzen dituzten lan-denbora berdinak kalkula daitezke teknika orokortua erabiliz). Hala ere, horrek ez du esan nahi soluzio orokorretik abiatuta soluzio partikular horiek aurkitzea erraza denik. Horretarako, teknika bakoitza emulatzeko duen soluzio partikularra aurkitu behar da.

Adibidez, hurrengo pausoak jarraitu behar dira DS SVM teknika emulatu nahi bada:

- Δt_{m1} , Δt_{m2} eta Δt_{m0} zehaztu behar dira, 3.4.1. atalean azaltzen den metodoa erabiliz.
- Kondentsadore birtualeko $\langle V \rangle_{pn}$ tentsioaren balioa zehaztu behar da (3.36) erabiliz.
- Inbertsore birtualaren bektore aktiboen eta nuluen lan-denborak zehaztu behar dira. Alde horretatik, ψ_{max}^n elementuaren zeinuaren arabera zehazten da μ banaketa-parametroaren balioa, T_{sw} modulazio-periodo bakoitzeko:

$$\mu = \begin{cases} 0, & \psi_{max}^n \geq 0 \text{ denean,} \\ 1, & \psi_{max}^n < 0 \text{ denean.} \end{cases} \quad (3.65)$$

- Haztatu egin behar dira inbertsore birtualean kalkulaturako δ_j^G lan-denborak.
- Hiru bektore nuluei dagozkien Δt_{m01} , Δt_{m02} , Δt_{m03} ezarpen-denborak zehaztu behar dira hurrengo espresio matematikoak erabiliz:

$$\Delta t_{m01} = \frac{1}{3}(\Delta t_{m0} + \Delta t_{aux}), \quad (3.66)$$

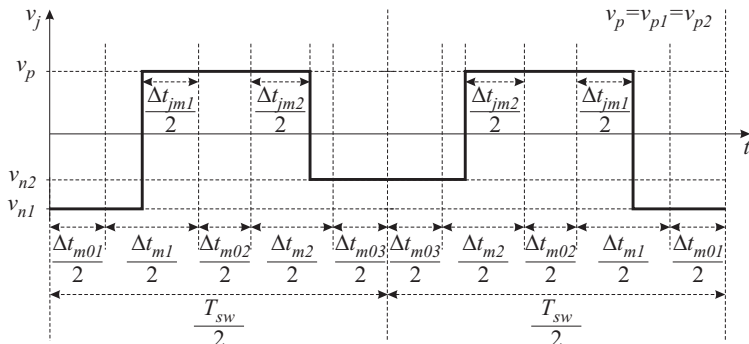
$$\Delta t_{m02} = \frac{1}{3}(\Delta t_{m0} - 2\Delta t_{aux}), \quad (3.67)$$

$$\Delta t_{m03} = \frac{1}{3}(\Delta t_{m0} + \Delta t_{aux}), \quad (3.68)$$

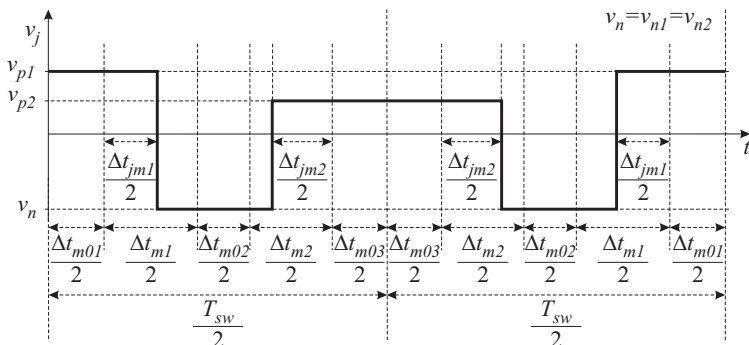
non

$$\Delta t_{aux} = (1 - \delta_{max} + \delta_{min})(\Delta t_{m1} + \Delta t_{m2}). \quad (3.69)$$

- Amaitzeko, 3.14(a) edo 3.14(b) irudietan azaltzen den aurpegi bikoitzeko konmutazio-sekuentzietako bat ezartzen da, ψ_{max}^n elementuaren zeinuaren arabera. Bestalde, MCaren etengailuen konmutazio-egoerak zehazten dira aldioro.



(a) $\psi_{max}^n \geq 0$ denean ezarri behar den konmutazio-sekuentzia.



(b) $\psi_{max}^n < 0$ denean ezarri behar den konmutazio-sekuentzia.

3.14 irudia. DS GSPWM teknikan erabilitako konmutazio-sekuentzien adibidea, irteerako j terminal jakin batentzako ($j = \{U, V, W\}$).

Era horretara, DS SVM modulazio-teknika emulatzea lortzen da, konmutazio-sekuentzia berdinak lortzen baitira azaldutako soluzio partikularra ezartzen denean. Double Sided GSPWM (DS GSPWM) izena erabiliko dugu modulazio-teknika hori izendatzeko. DS SVM tradizionalaren eta DS GSPWM modulazio-teknikaren arteko konparaketa egingo da jarraian.

3.9 taula. Simulatutako MC-PMSM plataformaren datu esanguratsuenak.

Sarrerako iragazkia		MCaren parametroak	
Kondentsadoreak (C_F)	26.5 μF	Sarrerako tentsioa (V_{in})	220 V_{rms}
Induktantziak (L_F)	0.9 mH	Irteerako potentzia (P_{out})	7.5 kW
Moteltze-erresist. (R_d)	33 Ω	Modulazio-maizt. (f_{sw})	12.5 kHz
Ebaketa-maiztasuna (f_c)	1 kHz		
Iman iraunkorreko makina sinkronoa			
Estatoreko erresist. (R_s)	0.165 Ω	Marruskadura-koef. (B)	3.4e ⁻³ N.m.s
Estat. induct. (L_{sd}, L_{sq})	4.45 mH	Polo-pare kop. (P)	4
Fluxu magnetikoa (ψ_F)	0.3429 Wb	Abiadura nominala (ω_N)	2000 r.p.m.
Inertzia-momentua (J)	16.83e ⁻³ kg.m ²	Potentzia nominala (P_N)	10.6 kW

3.5. DS SVM eta DS GSPWM modulazioen arteko konparaketa

Adibide praktiko bat aztertu da DS SVM eta DS GSPWM modulazio-teknikak konparatzeko. Alde horretatik, iman iraunkorreko makina sinkrono (PMSM, *Permanent Magnet Synchronous Machine*) batekin konektatuta dagoen MCaren modeloa simulatu da *Matlab/Simulink*en. Aztertutako modeloaren parametro esanguratsuenak laburbiltzen ditu 3.9 taulak. Bestalde, 3.15 irudiko begizta itxiko DFOC (*Direct Field Oriented Control*) kontrol-egitura bektoriala [112] erabili da PMSMaren abiadura mekanikoa kontrolatzeko.

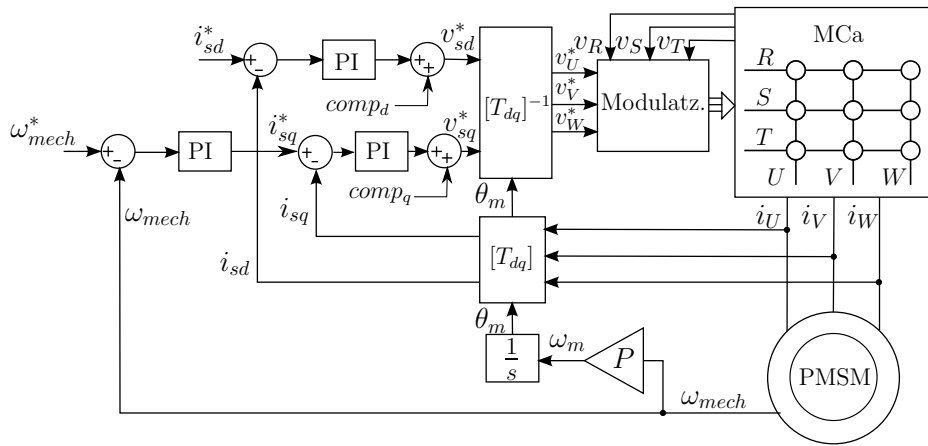
Makina sinkronoarekin batera biratzen duen dq erreferentzia-sistema sinkronoan (A.2. eranskina) deskriba daitezke PMSMaren portaera azaltzen duten ekuazioak. Sistema horretan, PMSMaren estatoreko tentsioak honela emanak datoz:

$$v_{sd} = R_s i_{sd} + L_{sd} \frac{di_{sd}}{dt} - \omega_m L_{sq} i_{sq}, \quad (3.70)$$

$$v_{sq} = R_s i_{sq} + L_{sq} \frac{di_{sq}}{dt} + \omega_m (L_{sd} i_{sd} + \psi_F), \quad (3.71)$$

non v_{sd} , v_{sq} , i_{sd} eta i_{sq} makina sinkronoaren estatoreko tentsioak eta korranteak diren; R_s , L_{sd} eta L_{sq} makinaren estatoreko erresistentzia eta induktantziak dira, ψ_F iman iraunkorren fluxu magnetikoa da eta ω_m makinaren abiadura elektriko. Bestalde, PMSMak sortzen duen T_{em} momentu elektromagnetikoa honelaxe adieraz daiteke:

$$T_{em} = \frac{3}{2} P \{ \psi_F i_{sq} + (L_{sd} - L_{sq}) i_{sd} i_{sq} \}. \quad (3.72)$$



3.15 irudia. MCarekin konektatuta dagoen PMSMaren abiadura mekanikoaren kontrol bektoriala.

Amaitzeko, makinaren atal mekanikoa era honetan adieraz daiteke:

$$\frac{d\omega_{mech}}{dt} + B\omega_{mech} = \frac{T_{em} - T_L}{J_{eq}}, \quad (3.73)$$

non T_L kargak sortutako momentua den; $\omega_m = P\omega_{mech}$ da, P makinaren polopare kopurua da, J_{eq} kargaren eta makinaren inertzia-momentu konbinatua da eta B marruskadura-koefizientea.

Aztertutako makinaren kasuan, L_{sd} eta L_{sq} inдукtantziek balio berdina dute (3.9 taula), errotoreko gainazalean muntatuta baititu imanak. Ondorioz, i_{sq} korronearekiko zuzenki proportzionala da T_{em} momentu elektromagnetikoa (3.72).

Seriean konektatutako bi kontrol-begizta (abiadura- eta korrone-begizta) ditu 3.15 irudian erakusten den kontrol bektorialak. Lehenik eta behin, neurtutako ω_{mech} eta erreferentziak ω_{mech}^* abiadura mekanikoak konparatzen dira abiadura-begiztan (3.15 irudia), eta PI bat erabiltzen da bi balio horien arteko errorea zero bihurtzeko. Horrela, erreferentziak abiadura mekanikoa lortzeko behar den erreferentziak T_{em}^* momentu elektromagnetikoa zehazten du PIak.

Bestalde, korrone-begiztak i_{sq}^* erreferentziak korronea inposatzen du erreferentziak momentu elektromagnetikoak (gogoratu T_{em} -rekiko proportzionala dela korrone hori). Aldiz, $i_{sd}^* = 0$ baliora finkatzen da, PMSMaren iman demagnetiza ez daitezen. Erreferentziak balioekin konparatuko diren i_{sd} eta i_{sq} korroneen balioak lortzeko, dq erreferentzia-sistemara transformatzen dira

makinaren estatoreko korranteak. Korrante-begiztako PIak erabiliz, PMSMaren estatorean ezarri behar diren erreferentziazko V_U^* , V_V^* eta V_W^* tentsioak zehazten dira, makinak erreferentziazko abiadura mekanikoa jarrai dezan. Bestalde, hurrengo aurreelikadura-osagaiak gehitzen dira kontrolaren korrante-begiztan:

$$comp_d = -\omega_m L_{sq} i_{sq}, \quad (3.74)$$

$$comp_q = \omega_m (L_{sd} i_{sd} + \psi_F), \quad (3.75)$$

non sistemaren erantzun dinamikoa hobetzeko erabiltzen diren konpentsazio-termino horiek [113].

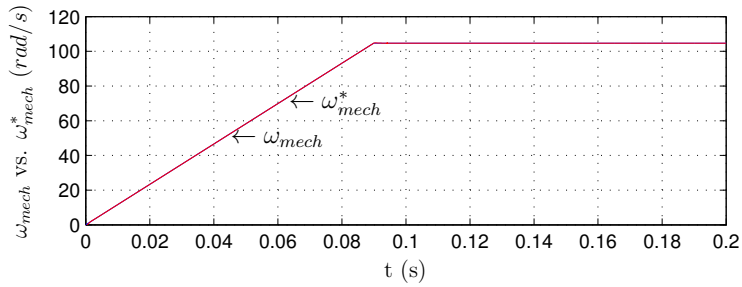
Amaitzeko, bihurgailuaren irteeran erreferentziazko tentsioak sortzeko beharrezkoak diren etengailuen aktibazio- eta desaktibazio-seinaleak sortzen ditu modulazio-algoritmoak, erreferentziazko balioetatik abiatuta; aldi berean, sarrerako potentzia-faktorea kontrolatzen da.

Aztertutako adibidean lortutako emaitzak erakusten ditu 3.16 irudiak, DS SVM modulazio-teknika erabiltzen denean. Alde batetik, kontrolari esker makinaren abiadura mekanikoa erreferentziazko abiadurari nola jarraitzen dion erakusten du 3.16(a) irudiak. Bestalde, DS SVM modulazio-teknikaren bidez makinaren estatorean sortzen diren korranteak azaltzen ditu 3.16(b) irudiak. Ikusten den bezala, kalitate handiko korranteak sortzen ditu DS SVM modulazio-teknikak. Halaber, makinak sortutako momentu elektromagnetikoa azaltzen du 3.16(c) irudiak.

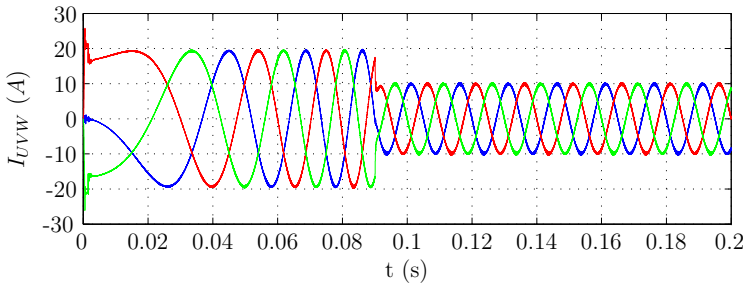
Bestalde, DS SVM eta DS GSPWM modulazio-teknika erabiliz lortutako emaitzak konparatzen dira 3.17 irudian. Ikus daitekeenez, sarrerako (I_R) eta irteerako (I_U) korranteek portaera berdina dute denboran zehar. Azken hori ziurtatzeko, bi seinaleen distorsio harmonikoa kalkulatu da. Alde horretatik, DS SVM eta DS GSPWM teknikek sintetizaturiko korranteek THD berdina dute, 3.10 taulak erakusten duen bezala.

Ondoren, zenbait simulazio egin dira DS SVM eta DS GSPWM tekniken karga konputazionala konparatzeko asmoz. Zentzu horretan, “C” programazio-lengoaian idatzitako *S-Function* [114] bitan inplementatu dira DS SVM eta DS GSPWM modulazio-teknikak. MCaren etengailuak idealak direla kontsideratu da modeloan, eta sarreran potentzia-faktorea unitarioa izateko kontrolatu da bihurgailua. Alde horretatik, 3.11 taulan laburbiltzen dira simulazioak egiteko erabili den konputagailuaren datu esanguratsuenak.

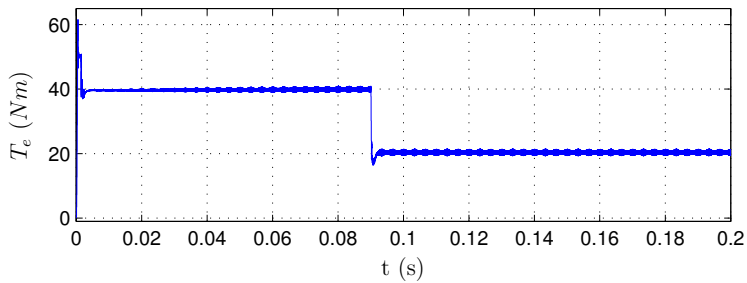
Modulazio-algoritmoaren konplexutasunaz gain, beste bi faktoreretik menpeko-tasuna du modelo horien simulazioa burutzeko behar den denborak. Alde batetik, sistemaren portaeraren zenbat denbora aztertzen den (t_{simul}) arabera



(a) PMSMaren abiadura mekanikoa vs erreferentziatzko abiadura.

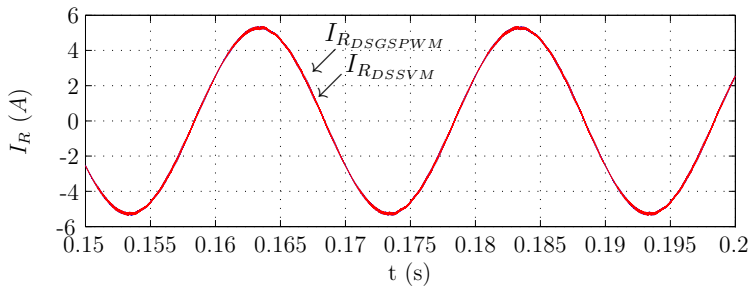
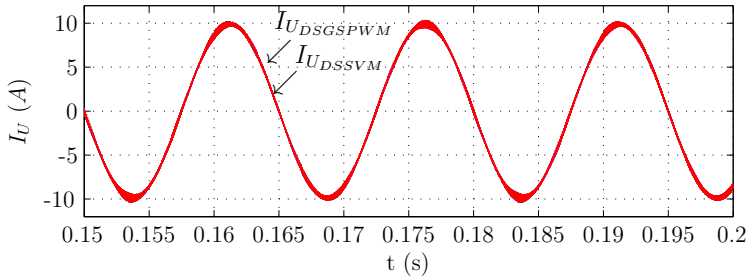


(b) Makinaren estatorrean sortutako korronteak.



(c) Makinak sortutako momentu elektromagnetikoa.

3.16 irudia. MCarekin konektatuta dagoen PMSMaren abiadura-kontrollean lortutako simulazio-emaitzak, DS SVM modulazio-teknika erabiltzen denean.

(a) MCaren sarrerako I_R korronea.(b) MCaren irteerako I_U korronea.

3.17 irudia. DS SVM eta DS GSPWM tekniken bidez sintetizatutako korronteen arteko konparaketa.

da denbora hori; bestalde, f_{sw} modulazio-maiztasunaren araberakoa. Gauzak horrela, modulazio-teknika bakoitza simulatzeko behar den denbora erakusten du 3.18 irudiak, f_{sw} eta t_{simul} ezberdinetarako. Ikus daitekeenez, DS GSPWM algoritmoa duen modeloa simulatzen da azkarren, aztertutako kasu guztietarako. Adibidez, GSPWM teknikaren bidez % 8.08-ko denbora-aurrezpena lortzen da simulazioan, $t_{simul} = 1$ s eta $f_{sw} = 12.5$ kHz direnean (3.19 irudia). Alde horretatik DS GSPWM modulazio teknikak karga konputazional txikiagoa du, hurrengo arrazoiak direla-bide:

- DS SVM modulazio-teknika ezartzean baino eragiketa aritmetiko gehiago egin behar dira DS GSPWM modulazioa ezartzean (3.10 taula); hala ere, eragiketa trigonometriko-kopurua murriztu egiten da (3.19 irudia). Eragiketa trigonometrikoek karga konputazional handia dutela izan behar da kontuan.
- Bektore aktibo eta nuluen sekuentziak memorian metatu behar ditu DS

3.10 taula. DS SVM eta DS GSPWM modulazio-tekniken arteko konparaketa.

Sarrera eta irteerako korronteak	THD %	
	DS SVM	DS GSPWM
I_{in} sarrerako korrontea	0.84	0.84
I_{out} irteerako korrontea	2.04	2.04
Eragiketak	Modulazioa	
	DS SVM	DS GSPWM
Batuketak eta kenketak (+ eta -)	34	66
Biderketak (\times)	27	37
Zatiketak ($/$)	1	1
Trigonometrikoak (cos eta arctan)	6	0/3*
Erro karratuak ($\sqrt{\quad}$)	2	2
Aldagaiak	Modulazioa	
	DS SVM	DS GSPWM
Konstanteak	9	9
<i>Float</i> -ak	72	92
Zenbaki osoak	660	24

* Eragiketa trigonometriko bat ere ez da egin behar DS GSPWM modulazio-teknikak sarrerako potentzia-faktore unitarioa kontrolatzen duenean, eta hiru bestela.

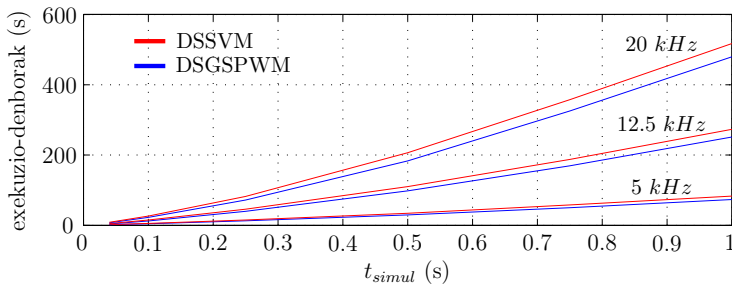
3.11 taula. Erabilitako konputagailuaren datu esanguratsuenak.

Sistema eragilea	<i>Windows XP Profesional</i>
Mikroprozesadorea	1.67 GHz <i>Intel Core 2 Duo</i>
RAM memoria	2 GB

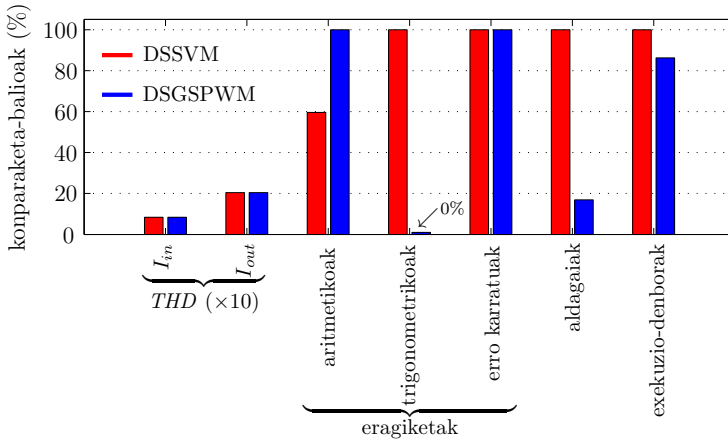
SVM modulazioak, sarrera eta irteerako sektoreen arabera. Ondorioz, zenbaki oso asko behar dira datu horiek metatzeko (3.10 taula). Hori dela eta, DS SVM teknikak baino memoria gutxiago (% 83.13 gutxiago) behar du DS GSPWM modulazio-teknikak (3.19 irudia).

3.6. Ondorioak

Kapitulu honetan ikusi den bezala, hainbat posibilitate daude MCaren modulazioa gauzatzeko. Zentzu horretan, Alesinak eta Venturirik proposatu zuten MCaren etengailuak kontrolatzeko baliagarria den lehenengo modulazio-teknika. Teknika horren bidez lortutako tentsioen transferentzia-ratioa oso mugatua dago; hala ere, hirugarren harmonikoak gehituz gaingitu zuten arazo hori Alesinak



3.18 irudia. DS SVM eta DS GSPWM teknikak simulatzeko behar izan diren denborak, f_{sw} -ren balioak 5 kHz, 12.5 kHz eta 20 kHz direnean.



3.19 irudia. DSSVM eta DS GSPWM tekniken arteko konparaketa (ehunekoetan), sarrerako korronea eta tentsioa fasean kontrolatzen direnean.

eta Venturirik. Modulazio-teknika horiek oso konplexuak dira, eta karga konputazional handia dute, etengailuen lan-denborak era independentean kalkulatzeko direlako, eta baita ere ebatzi beharreko ekuazioen konplexutasuna dela-eta.

Bestalde, modulazio-teknika bektorialak (SVM) dira MCaren modulazioa gauzatzeko gehien erabiltzen direnak, sarrerako tentsioari etekin osoa atera baitaioke teknika horien bidez, eta kalitate handiko seinaleak sintetizatzen baitira MCaren sarreretan eta irteeretan. Clarkeren transformazioa erabiliz, bi dimentsiodun $\alpha\beta$ plano konplexura transformatzen dira magnitude trifasikoak, modulazio-teknika bektorialak erabiltzen direnean. Horrela, egin beharreko kalkuluak sinplifikatu egiten dira, hiru dimentsiotik bi dimentsiotara murrizten baita problema. Modulazio-periodo bakoitzean ezarri behar diren bektoreak eta horien iraupe-

na zehazten ditu SVM teknikak, baina ez bektoreen ezarpen-ordena. Beraz, askatasun gradu bat dago, eta hainbat kommutazio-sekuentzia ezar daitezke. Kommutazio-sekuentzia horien bidez, posible da sintetizatutako seinaleen ezaugarri batzuk hobetzea. Zentzu horretan, DS SVM modulazio-teknika nabarmendu daiteke. Teknika horren bidez lortutako tentsioen eta korronteen kalitatea ona da. Gainera, posible da modulazio-periodo bakoitzean gertatzen den kommutazio-kopurua minimizatzen duen kommutazio-sekuentzia determinatzea.

Halaber, posible da MCa eskalarki kontrolatzea. Teknika eskalarren artean GSPWM modulazio-teknika nabarmendu daiteke. Alde batetik, ez da transformazio bektorialik erabili behar teknika hori inplementatzeko. Bestalde, egin behar diren kalkulu trigonometrikoak gutxitu egiten dira. Gainera, oso teknika malgua da, beste modulazio teknikak emula baitaitezke parametro batzuk aldatuz. Zentzu horretan, GSPWM modulazio-teknikaren bidez DS SVM modulazio-teknika emula daitekeela erakutsi da. Horrela, DS SVM teknikaren abantailak aprobetxa daitezke karga konputazional baxuagoarekin.

Hala ere, SVM modulazio-teknika erabiliko da tesi honetan, gehien erabiltzen den teknika baita. Bestalde, kontzeptualki sinpleagoa denez, teknika horretan oinarritutako aldaerak sortzea errazagoa da. Gainera, tesi honetan erabili diren gailu digitalak soberan azkarrak dira SVM modulazio-teknika denbora errealean exekutatzeko. Beraz, SVM modulazio-teknika denbora errealean exekutatzeko gaitasunik ez duten sistemetan erabiltzeko alternatiba bezala utziko dugu GSPWM modulazio-teknika.

4. kapitulua

Bihurgailu matrizziala sare elektrikoko perturbazioen aurrean

4.1. Sarrera

Askotan, sare elektrikoa desorekatuta eta distortsionatuta dago, sareari konektatuta dauden karga ez-linealen presentziagatik, gehienbat. Bestalde, bat-bateko tentsio-erorketak gerta daitezke sarean, sistema elektrikoan gertatzen diren zirkuitulaburren ondorioz, edota sareko faseen eta lurraren arteko hutsegiteak direla-eta.

Zuzeneko potentzia-bihurketa egiten du MCak (AC/AC), eta ez du kondentsadorerik erdibidean. Ondorioz, ezer egin ezean, sarreran gertatzen diren perturbazioak irteeran islatzen dira, eta hori printzipioz ez da komenigarria. Adibidez, karga makina elektriko bat denean, perturbazio horiek pultsazioak sortzen dituzte makinaren momentu elektromagnetikoan eta abiaduran. Ondorioz, makinaren funtzionamenduak okerrera egiten du. MCaren irteerako tentsio eta korranteetan eragina izateaz gain, perturbazio horiek badute eragina bihurgailuaren sarreran sintetizatutako korranteetan ere, eta horrek sarearen portaera okertzen du.

Beraz, MCa ez da bihurgailu oso mardula sareko perturbazioen aurrean. Egoera horiek igarotzeko duen gaitasun baxua (*low ride-through capability*, ingelesez) da MCaren arazo nagusienetakoa. Hala ere, perturbazio horien ondorio kalte-

garriak murrizten dituzten konpentsazio-teknikak ezar daitezke. Teknika horiek kontrol-teknika bereziak dira gehienbat, eta asko hobetzen dute MCaren portaera aipatutako egoeretan.

Jarraian, sarean agertzen diren perturbazio arruntenen sailkapena egingo da. Ondoren, sare desorekatuek eta distorsionatuek MCaren sarreretan eta irteeretan duten eragina aztertuko da, eta efektu horiek konpentsa ditzaketen konpentsazio-teknika esanguratsuenak aurkeztuko dira. Azkenik, bat-bateko tentsio-erorketen ondorio kaltegarriak murrizteko erabiltzen diren teknikak laburbilduko dira.

4.2. Sare elektrikoan gertatzen diren perturbazioen sailkapena

Clarkeren transformazio bektoriala erabiliz, RST erreferentzia-sisteman adierazita dagoen magnitude trifasiko jakin bat $\alpha\beta 0$ erreferentzia-sisteman adieraz daiteke (A.1. eranskina). Era horretara, $\alpha\beta$ planoan biratzen duen bektore espazial bat ($\vec{x}(t)$) lortzen da. Sarritan, oso baliagarria izaten da $\alpha\beta$ planoan dauden bektore espazialak fasoreen bidez adieraztea, egin beharreko analisi matematikoak sinplifikatu egiten baitira. Alde horretatik, plano konplexu bat bailitzan interpreta daiteke $\alpha\beta$ planoan, non ardatz erreala α ardatzarekin lerrotatuta dagoen, eta ardatz irudikariarekin β ardatza.

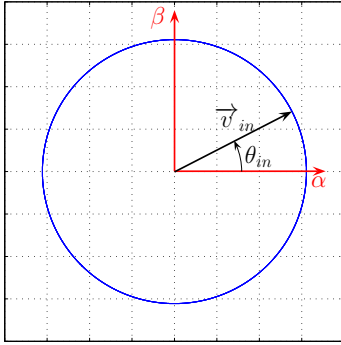
Clarkeren transformazioaren bidez lortutako bektore espaziala periodikoa bada (bere periodoa $T = 2\pi/\omega$ izanik), Fourierren serie konplexu baten bidez deskonposa daiteke bektore horren adierazpen fasoriala:

$$\vec{x}(t) = \sum_{k=-\infty}^{k=+\infty} \vec{x}_k e^{jk\omega t}, \quad (4.1)$$

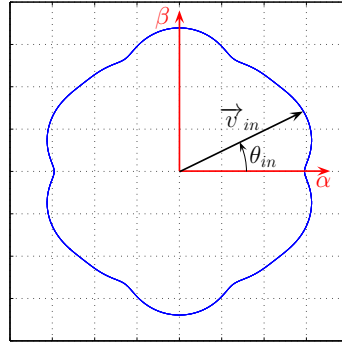
non $\vec{x}(t)$ bektore espazial periodikoaren k -garren osagai harmonikoa honela lor daitekeen:

$$\vec{x}_k = X_k e^{j\varphi} = \frac{1}{2\pi} \int_0^{2\pi} \vec{x}(t) e^{-jk\omega t} dt. \quad (4.2)$$

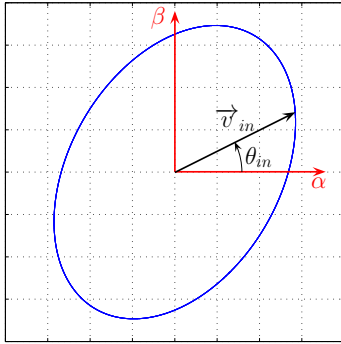
Sare elektrikoaren tentsioa periodikoa denez, aurrez azaldutako analisia egin dakioke tentsio horri. Tentsioaren osagai harmonikoen arabera, egoera hauek bereiz daitezke bihurgailuen sarreretan [94, 115]:



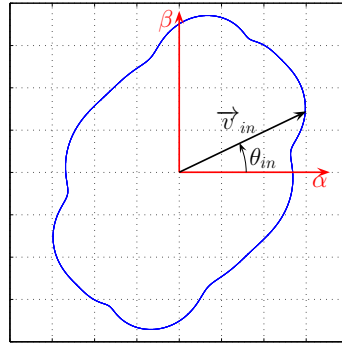
(a) Sareko tentsio sinusoidala eta orekatua.



(b) Sareko tentsio ez-sinusoidala eta orekatua.



(c) Sareko tentsio sinusoidala eta desorekatua.



(d) Sareko tentsio ez-sinusoidala eta desorekatua.

4.1 irudia. Sareko tentsio-bektorearen ibilbideak $\alpha\beta$ planoan.

- (a) **Sarrerako tentsio sinusoidala eta orekatua:** egoera horretan, $\alpha\beta$ planoan adierazitako sarrerako fase-neutro motako tentsio-bektore espazialak (\vec{v}_{in}) osagai harmoniko bakarra du (oinarrizko maiztasuna):

$$\vec{v}_{in} = V_{in} e^{j(\omega_{in} t + \phi)}, \quad (4.3)$$

non V_{in} , ω_{in} eta ϕ balioak \vec{v}_{in} bektore espazialaren amplitudea, abiadura angeluarra eta fasea diren, hurrenez hurren. Egoera horretan, sarrerako tentsioak ibilbide zirkularra egiten du $\alpha\beta$ planoan, abiadura angeluar konstantearekin (4.1(a) irudia).

- (b) **Sarrerako tentsio ez-sinusoidala eta orekatua:** oinarrizko maiztasun-osagaiaz gain, distortsio harmonikoa adierazten duten maiztasun-osagaiak ditu sarrerako tentsio-bektoreak egoera horretan:

$$\vec{v}_{in} = V_{in} e^{j(\omega_{in} t + \phi)} + \sum_k V_{in_k} e^{j(k\omega_{in} t + \phi_k)}, \quad (4.4)$$

non $k = 2m + 1$ eta $m = \{\pm 1, \pm 2 \dots\}$ diren. Era horretara, sarrerako tentsio-bektoreak ibilbide ez-zirkularra egiten du $\alpha\beta$ planoan (4.1(b) irudia).

- (c) **Sarrerako tentsio sinusoidala eta desorekatua:** egoera horretan, oinarrizko maiztasun-osagai negatiboa du tentsio-bektore espazialak:

$$\vec{v}_{in} = \vec{e}_p + \vec{e}_n = E_p e^{j(\omega_{in} t + \phi_p)} + E_n e^{-j(\omega_{in} t + \phi_n)}, \quad (4.5)$$

non p eta n azpiindizeak oinarrizko maiztasun-osagai positiboa eta negatiboa adierazteko erabiltzen diren, hurrenez hurren. Maiztasun-osagai negatiboa dela-eta, anplitude eta abiadura angeluar aldakorreko ibilbide eliptikoa egiten du sarrerako tentsio-bektoreak $\alpha\beta$ planoan (4.1(c) irudia). Matematikoki, tentsio-bektorearen fase-angelua eta anplitudea honela adierazten dira:

$$\theta_{in} = \omega_{in} t + \arctan \left(\frac{E_n \sin(-2\omega_{in} t + \phi_n - \phi_p)}{E_p + E_n \cos(-2\omega_{in} t + \phi_n - \phi_p)} \right), \quad (4.6)$$

$$|\vec{v}_{in}| = \sqrt{E_p^2 + E_n^2 + 2E_p E_n \cos(-2\omega_{in} t + \phi_n - \phi_p)}. \quad (4.7)$$

Bestalde, sarrerako tentsioaren desoreka-maila u arrazoiaren bidez kuantifika daiteke:

$$u = \frac{E_n}{E_p}. \quad (4.8)$$

Era horretara, u parametroaren balioa handituz doa desoreka-maila handitzen badoa.

- (d) **Sarrerako tentsio ez-sinusoidala eta desorekatua:** egoera orokorra da hori, (b) eta (c) puntuetan azaldutako perturbazioak biltzen dituen (4.1(d) irudia).

- (e) **Bat-bateko tentsio-erorketa edo igoera:** sareko tentsio-bektorearen magnitudea bat-batean handitzen edo txikitzen da egoera horietan. Normalean, perturbazio-mota horiek sareko ziklo baten eta segundo batzuen arteko iraupena dute, eta anplitudearen aldakuntza berdina da hiru faseetan. Erorketa partziala edo totala izan daiteke (muturreko kasuetan).

Jarraian, MCak sintetizatutako irteerako tentsio eta korranteetan sare desorekatuek duten eragina erakutsiko da. Ondoren, efektu negatibo horiek leuntzeko erabiltzen diren estrategiak azalduko dira.

4.3. MCaren irteerako tentsioen konpentsazioa sare elektrikoa desorekaturik denean

Atal honen hasieran aipatu den bezala, MCa bihurtu zuzena da; beraz, bihurtuaren sarreran agertzen diren perturbazioak irteeran islatzen dira. Perturbazio-motaren arabera, irteeran agertzen diren maiztasun baxuko osagai nagusiak (oinarrizko osagaia eta konmutazioek sortzen dituzten osagai harmonikoak kontuan hartu gabe) hurrengoak dira [51]:

- (a) Sarrerako tentsioa sinusoidalak eta desorekatua bada, irteerako maiztasun baxuko osagai nagusiak $2f_{in} \pm f_{out}$ dira, non f_{in} eta f_{out} MCaren sarrerako eta irteerako tentsioen oinarrizko maiztasunak diren, hurrenez hurren. Beraz, azpiharmonikoak ager daitezke f_{in} eta f_{out} maiztasunen balioen arabera.
- (b) Sarrerako tentsioa distorsionatuta badago, sarrerako k -garren osagai-harmonikoak irteeran sortzen dituen maiztasun baxuko osagai-harmonikoak hauek dira: $(k - 1)f_{in} \pm f_{out}$ eta $(k + 1)f_{in} \pm f_{out}$, non $k = 2m + 1$ eta $m = \{\pm 1, \pm 2, \dots\}$ diren.

Nahiz eta sare elektrikoan perturbazio horiek gertatu, posible da tentsio eta korrante sinusoidalak eta orekatuak lortzea MCaren irteeretan. Helburu hori betetzeko, modulazio-teknika ezberdinetan oinarritzen diren konpentsazio-teknikak erabil daitezke, adibidez: Venturiniaren teknikan oinarritutakoa [116], PWMan oinarritutakoa [87], etab. Hala ere, SVM modulazio-teknika bektoriala (3.3. atala) nabarmentzen da teknika horien guztien artean [68], MCa modulatzeko gehien erabiltzen den teknika baita. Modulazio-teknika horretarako berariazkoak diren konpentsazio-teknikak aztertuko dira tesi honetan.

Modulazio-periodo bakoitzean, ezartzen diren bektore aktibo eta nuluei dagozkien ezarpen-denborak (4.9)-(4.13) kalkulatu dira SVM modulazio-teknikan,

irteerako tentsio-bektorearen (\vec{v}_{out}) eta sarrerako korrante-bektorearen maiztasun baxuko osagaiek (\vec{i}_{in}) kontrolak zehaztutako erreferentziatzko balioekin (\vec{v}_{out}^* eta β_{in}) bat egin dezaten (3.3. atala).

$$t_a = \frac{2}{\sqrt{3}} m \frac{\cos(\tilde{\beta}_{in} - \pi/3) \cos(\tilde{\alpha}_{out} - \pi/3)}{\cos \varphi_{in}} T_{sw}, \quad (4.9)$$

$$t_b = \frac{2}{\sqrt{3}} m \frac{\cos(\tilde{\beta}_{in} + \pi/3) \cos(\tilde{\alpha}_{out} - \pi/3)}{\cos \varphi_{in}} T_{sw}, \quad (4.10)$$

$$t_c = \frac{2}{\sqrt{3}} m \frac{\cos(\tilde{\beta}_{in} - \pi/3) \cos(\tilde{\alpha}_{out} + \pi/3)}{\cos \varphi_{in}} T_{sw}, \quad (4.11)$$

$$t_d = \frac{2}{\sqrt{3}} m \frac{\cos(\tilde{\beta}_{in} + \pi/3) \cos(\tilde{\alpha}_{out} + \pi/3)}{\cos \varphi_{in}} T_{sw}, \quad (4.12)$$

$$t_0 = T_{sw} - (t_a + t_b + t_c + t_d). \quad (4.13)$$

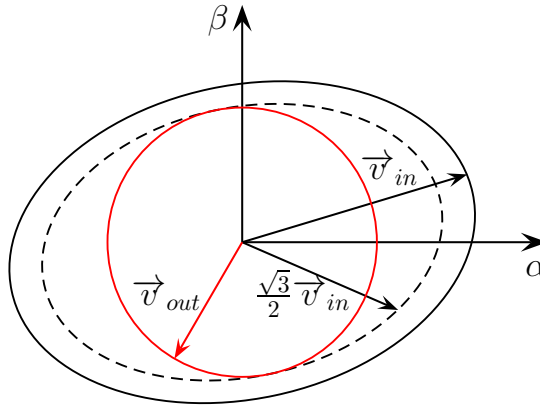
Era horretara, MCak irteeran sortzen duen tentsio-bektorearen amplitudea finkatzen duen faktorea da m modulazio-indizea:

$$m = \frac{|\vec{v}_{out}^*|}{|\vec{v}_{in}|} = \frac{V_{out}^*}{V_{in}}. \quad (4.14)$$

Sareko tentsio desorekatu eta distortsionatuen eraginez irteeran sortzen den distortsioa konpentsa daiteke, baldin eta m parametroa era dinamikoan kontrolatzen bada. Era horretara, tentsio-bektore sinusoidala eta orekatua lortzen da bihurgailuaren irteeran. Hala ere, perturbazioek tentsioaren transferentzia-ratioan duten eragina ulertzea garrantzitsua da, konpentsazio-tekniketan sakondu aurretik. Problematika hori aztertuko da jarraian.

Printzipioz, gainmodulaziorik egon ez dadin, beharrezkoa da hurrengo baldintza betetzea (3.3. atala):

$$m \leq \frac{\sqrt{3}}{2} \cos \varphi_{in}. \quad (4.15)$$



4.2 irudia. Irteerako tentsio-bektorearen konpentsazioa, sare elektrikoa desoreka-
tua denean.

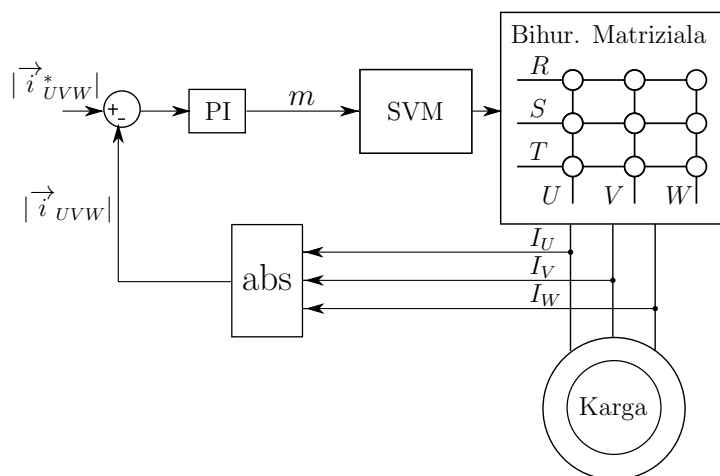
Beraz, bihurtgailuaren sarrerako potentzia-faktoreak mugatzen du tentsioaren transferentzia-ratio maximoa (4.15). Potentzia-faktorea unitarioa denean sarre-
ran, irteerako fase-neutro motako tentsio-bektore espazialaren magnitude maxi-
moa hurrengoa da:

$$|\vec{v}_{out}|_{max} = 0.86|\vec{v}_{in}|. \quad (4.16)$$

Sarea sinusoidala eta desorekatua bada, ibilbide eliptikoa egiten du \vec{v}_{in} bektoreak $\alpha\beta$ planoan (4.2 irudia). Egoera horretan lor daitekeen anplitude maximoko \vec{v}_{out} tentsio-bektorearen ibilbidea lerro eten baten bidez adierazita dago 4.2 iru-
dian. Bestalde, irteerako tentsio-bektorea sinusoidala eta orekatua izan dadin, zirkunferentzia bat egin behar du esandako bektoreak $\alpha\beta$ planoan. Horretaz gain, $\frac{\sqrt{3}}{2}\vec{v}_{in}$ bektoreak egindako ibilbidearen barruan egon behar du. Ondorioz, grafikoki ikus daitekeen bezala, irteerako tentsio-bektore orekatuak izan deza-
keen anplitude maximoak desoreka-mailarekiko menpektasuna du (4.2 irudia). Matematikoki, anplitude maximo hori honelaxe emana dator [117]:

$$|\vec{v}_{out}|_{max} = \frac{\sqrt{3}}{2}(E_p - E_n). \quad (4.17)$$

Beraz, irteeran tentsio sinusoidala eta orekatua sortu nahi bada, tentsioaren transferentzia-ratio maximoa gutxituz doa, sarrerako tentsioaren desoreka-maila handituz doanean.



4.3 irudia. Modulazio-indizearen konpentsazioa berrelikadura bidez.

Sarea desorekatuta dagoenean transferentzia-ratioaren limitea zein den aurkeztu ondoren, SVM teknika oinarritzen diren konpentsazio-teknikak azalduko dira. Bi taldetan bana daitezke teknika horiek [118]: berrelikadura oinarritzen direnak eta aurreelikadura oinarritzen direnak.

- **Berrelikadura oinarritzen diren konpentsazio-teknikak.**

Modulazio-indizearen balioa dinamikoki konpentsa daiteke berrelikadura oinarritzen diren kontrol-algoritmoak erabiliz. Algoritmo horien funtzionamendua azaltzeko, 4.3 irudian erakusten den berrelikadura-egitura [52, 119] aurkeztuko da jarraian.

Printzipioz, irteerako tentsio-bektorearen magnitudea aldatzea da, baldin eta bihurgailuaren sarrera perturbatuta badago. Horren ondorioz, kargan sortutako korronte-bektore espazialaren magnitudea ere aldatzea da. Zentzu horretan, perturbazio horien eragina konpentsatzen duen modulazio-indizea determinatu daiteke, kargan neurtutako korronteen modulua $|\vec{i}_{UVW}|$ (4.18) eta $|\vec{i}_{UVW}^*|$ erreferentziako balioa konparatuz (4.3 irudia).

$$|\vec{i}_{UVW}| = \sqrt{I_U^2 + I_V^2 + I_W^2}. \quad (4.18)$$

Era horretara, PIak dinamikoki konpentsatzen du m -ren balioa. Horri esker, irteerako tentsioaren magnitudea konstante mantentzen da. Kon-

tuan izan behar da PIaren irteera saturatuta egon behar dela, modulazio-indizearen balio maximoa ez gainditzeko. Irteeran perturbazioak konpentsatzeaz gain, teknika hori baliagarria da bihurgailua gainkorranteetatik babesteko. Bestalde, PIak logika lausoko kontrolaren bidez ordezkatu daitezke [120], oso antzeko emaitzak lortuz.

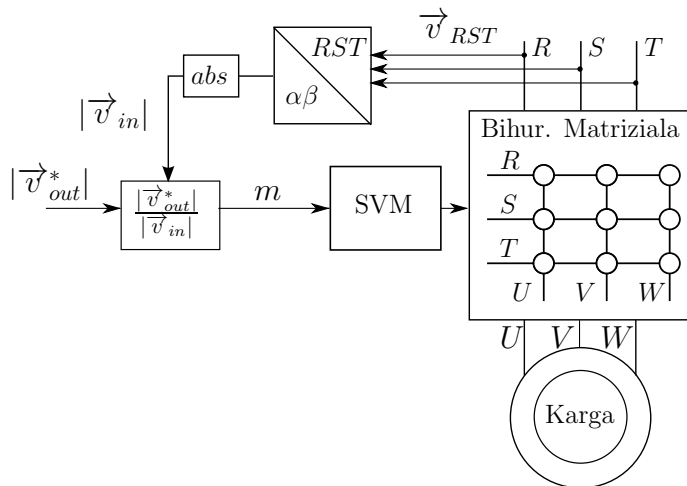
Era berean, begizta itxiko beste egitura bat aurkezten da [102] erreferentzian, SVM modulazioa eta DFOC (*Direct Field Oriented Control*) kontrola konbinatzen dituena. Kontrol-egitura horrek ere irteerako perturbazioak konpentsatzeko gaitasuna du. Horretarako, hiru PI behar dira; gainera, zenbait transformazio bektorial egin behar dira (3.5. atala). Egitura horretan, kontrolak kalkulatuak irteerako erreferentzia-tentsioaren balioa erabiliz kalkulatu da m modulazio-indizea (4.14).

Azaldu den bezala, irteerako korronteen kalitatea hobetu daiteke berrelikaduran oinarritutako teknikak erabiliz. Hala ere, MCaren irteerako tentsioak ezin dira guztiz konpentsatu, zeharkako kontrol-teknikak baitira horiek [51]. Jarraian aurkeztuko diren aurrelikadura-estrategiak erabiliz emaitza hobekia lortzen dira, zuzenean kontrolatzen baitute modulazio-indizearen balioa.

- **Aurrelikaduran oinarritzen diren konpentsazio-teknikak.**

Aurrelikaduran oinarritzen diren kontrol-estrategiak erabiliz [51, 115, 121, 122], posible da irteera sinusoidalak eta orekatuak lortzea, nahiz eta sarrerako tentsioak desorekatuta eta distortsionatuta egon. Berrelikaduran oinarritutako estrategietan ez bezala, estrategia horietan beharrezkoa da sarrerako V_R , V_S eta V_T tentsioak aldiro neurtzea. Beste era batera esanda, beharrezkoa da tentsio horien balioa lagintzea modulazio-periodo bakoitzeko. Era horretara, \vec{v}_{in} bektorearen moduluaren balioa jakinik, eta \vec{v}_{out}^* erreferentziazko tentsio-bektorea zehaztuz, m modulazio-indizearen balioa kalkulatu da (4.14). Zentzu horretan, kontrol-teknika horiek duten egitura orokorra erakusten du 4.4 irudiak.

Jarraian, aurrez aurkeztutako aurrelikadura- eta berrelikadura-algoritmoen portaera aztertzen da, sarea desorekatuta dagoenean. Zentzu horretan, aztertutako modeloaren datuak laburbiltzen ditu 4.1 taulak. Alde batetik, oinarritzko osagai negatiboa (4.5) gehitu zaio sareko tentsioari, non $E_p = 311 V$ eta $u = 0.2$ diren (4.5(a) irudia). Bestalde, ϕ_p eta ϕ_n faseak nuluak kontsideratu dira simpletasunagatik. Gainera, sarrerako osagai positiboaren anplitudearen erdira finkatu da \vec{v}_{out}^* erreferentziazko tentsioaren anplitudea. Gauzak horrela, irteerako korrontek desorekatu egiten dira (4.5(b) irudia) konpentsazio-teknikarik ezartzen ez bada. Egoera horretan, irteerako korrontean neurtzen diren harmoniko nagusiak



4.4 irudia. Aurreelikadura bidezko konpentsazioaren egitura orokorra.

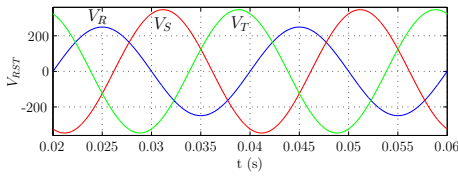
4.1 taula. Sarea desorekatua denean simulatutako modeloaren datuak.

Sarrerako iragazkia		MCaren parametroak		Karga	
C_F	26.5 μF	V_{in}	220 V_{rms}	R_s	11.4 Ω
L_F	0.9 mH	P_{out}	7.5 kW	L_s	18.2 mH
R_d	33 Ω	f_{sw}	12.5 kHz	Modulazioa	
f_c	1 kHz			DS SVM	

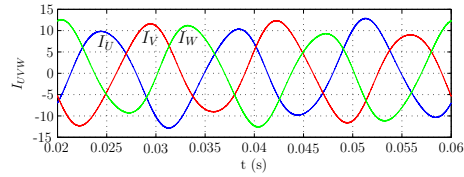
sien maiztasunak $2f_{in} \pm f_{out}$ dira, 4.5(c) irudian ikus daitekeen bezala.

Ondoren, 4.4 irudiak azaltzen duen kontrol-egitura erabili da irteeran sortutako desoreka konpentsatzeko. Era horretara, m modulazio-indizea dinamikoki aldatuz doa (4.5(d) irudia), eta irteerako korranteak konpentsatzea lortzen da (4.5(e) irudia). Berriz, 4.3 irudiak azaltzen duen berrelikadura-egitura erabil daiteke irteerako korranteak konpentsatzeko (4.5(f) irudia). Hala ere, lortutako konpentsazio-maila txikiagoa da metodo zuzenarekin konparatuz gero (4.2 taula), maiztasun baxuko harmonikoen anplitude handiagoak baitituzte (THDaren balioa handiagoa da berrelikadura erabiltzean).

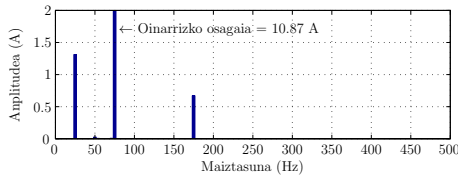
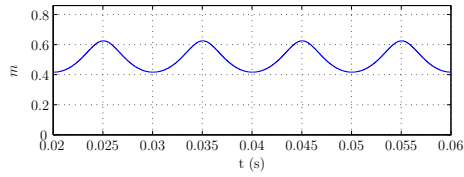
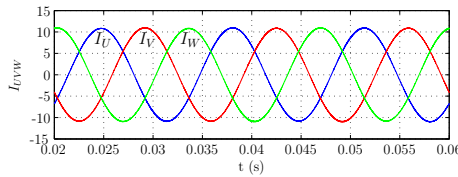
Beraz, emaitza hobekien lortzen dira aurreelikaduran oinarritutako konpentsazio-teknikak erabiltzen direnean. Ordainetan, sarrerako tentsioen balioak aldiro ezagutu behar dira, eta horretarako sinkronizazio-teknika egokiak erabiltzea beharrezkoa da (5. kapituluaz aztertutako dira teknika horiek).



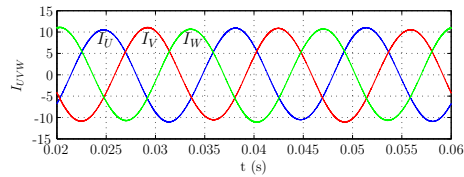
(a) Sareko tentsio desorekatuak.



(b) Sarrerako tentsio desorekatuen ondorioz kargan sortzen diren korronteak.

(c) I_U korrontearen espektroa sareko tentsio desorekatuen ondorioz.(d) m modulazio-indizearen konpentsazio dinamikoa aurreelikaduran oinarritako estrategiaren bidez.

(e) Kargako korrante orekatuak sareko tentsio desorekatuetarako, aurreelikadura-teknika erabilita.



(f) Kargako korrante orekatuak sareko tentsio desorekatuetarako, berrelikadura bidez.

4.5 irudia. MCaren irteerako korronteen konpentsazioa.

4.4. Sarrerako korronteen konpentsazioa

Sareko perturbazioek eragina dute MCak sarreran sintetizatzen dituen korronteen kalitatean. Hala ere, posible da sarrerako korronteen eduki harmonikoa hobetzea, sarrerako tentsioak desorekatuta daudenean. Jarraian, konpentsazio-estrategia horiek ondorioztatzeko beharrezkoa den analisi matematikoa aurkeztuko da. Zentzu horretan, bektore espazialen adierazpen fasoriala erabiliko da analisi hori egiteko.

MCak etengailu idealak dituela suposatuz, sarrerako eta irteerako aldiuneko potentzien balioak berdinak dira denboran zehar:

4.2 taula. Konpentsazio-tekniken eragina I_U korrontean.

	$2f_{in} - f_{out}$ (A)	$2f_{in} + f_{out}$ (A)	THD (%)
Desorekarik gabe	0.00	0.00	0.4 %
Kompentsatu gabe	1.31	0.67	13.6 %
Berrelikadura bidez	0.20	0.10	1.5 %
Aurrelikadura bidez	0.04	0.02	0.7 %

$$P_{in} = \frac{3}{2} \vec{v}_{in} \vec{i}_{in} = \frac{3}{4} (\vec{v}_{in} \vec{i}_{in}^c + \vec{v}_{in}^c \vec{i}_{in}) = P_{out}, \quad (4.19)$$

non c goi indizeak bektore espazialaren konplexu konjokatuak adierazten duen. Bestalde, irteerako potentzia horrela kalkulatzen da:

$$P_{out} = \frac{3}{2} \vec{v}_{out} \vec{i}_{out}. \quad (4.20)$$

Beraz, (4.19) adierazpen matematikoaren arabera, sarrerako korrante-bektore-arentzako infinitu soluzio posible daude, sarrerako tentsioa eta irteerako potentzia ezagunak badira. Aldiz, sarrerako korrontearen β_{in} fase-angelua ezaguna bada, sarrerako korrontearen balioa guztiz determina daiteke [123]. Adibidez, \vec{i}_{in} korrante-bektorea $\vec{\psi}$ bektore arbitrario baten norabide berean modulatzeko bada:

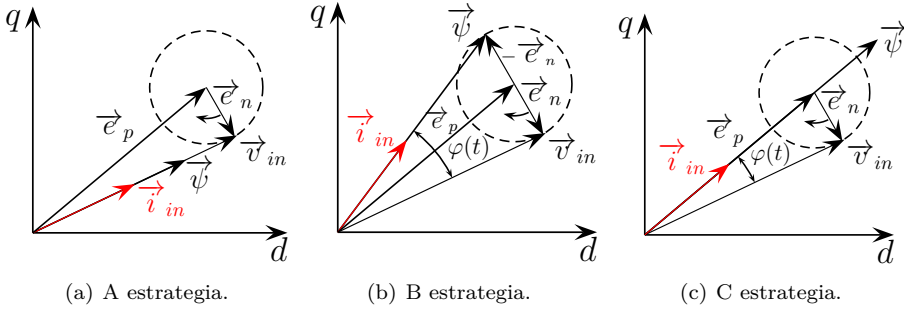
$$\vec{i}_{in} \cdot \vec{\psi} = 0, \quad (4.21)$$

non (4.19) eta (4.21) askatuz hurrengo lortzen den:

$$\vec{i}_{in} = \frac{4}{3} \frac{P_{out} \vec{\psi}}{\vec{v}_{in} \vec{\psi}^c + \vec{v}_{in}^c \vec{\psi}}. \quad (4.22)$$

Ondorioz, \vec{v}_{in} bektoreak duen desoreka-mailarekiko eta β_{in} angeluarekiko menpekotasuna du \vec{i}_{in} bektoreak (4.22). Beraz, aukeratzen den $\vec{\psi}$ bektorearen arabera dira MCaren sarrerako korrontean lortzen diren osagai-harmonikoak. Bestalde, $\vec{\psi}$ bektorearen anplitudea ez da erabakigarria, bektore hori normalizatu giten baita (4.22) adierazpen matematikoan.

Zentzu horretan, hurrengo estrategietariko bat erabiliz modula daiteke sarrerako korrontea sare elektrikoa desorekatuta dagoenean [123, 124]:



4.6 irudia. Sarrerako tentsio- eta korrante-bektoreak, oinarritzko osagai positiboarekin batera biratzen duen dq erreferentzia-sistema sinkronoan adierazita.

A **Sarrerako korrantea sarrerako tentsioarekin fasean modulatzeari** horretarako, $\vec{\psi} = \vec{v}_{in}$ izan behar du. Alde horretatik, estrategia horretan parte hartzen duten bektore espazialen posizio erlatiboak laburbiltzen ditu 4.6(a) irudiak, non dq erreferentzia-sistema \vec{e}_p bektorearekin batera biratzen ari den erreferentzia-sistema sinkronoa den.

Oinarritzko osagai negatiboa dela-bide, \vec{e}_p bektorearen inguruan biratzen du \vec{v}_{in} bektoreak, erloju-orratzen biraketa-noranzkoarekin (4.6(a) irudia). Kasu horretan, sarrerako korrantearen eta sarrerako tentsioaren arteko fase-angelua (φ_{in}) zero da, \vec{i}_{in} eta \vec{v}_{in} bektoreak fasean mantentzen baitira. Ondorioz, potentzia-faktorea unitarioa da bihurgailuaren sarreran. Bestalde, (4.22) askatuz:

$$\vec{i}_{in} = \frac{2 P_{out}}{3 \vec{v}_{in}^c} = \frac{2 P_{out}}{3 E_p e^{-j(\omega_{in}t + \phi_p)} + E_n e^{j(\omega_{in}t + \phi_n)}}. \quad (4.23)$$

Beraz, osagai harmoniko asko ditu sarrerako korranteak egoera horretan (4.7(a) irudia). Sarrerako korranteari Fourieren transformazioa ezartzen bazaio (kommutazioek sortutako harmonikoak kontuan izan gabe, horiek modulazio-maiztasunaren inguruan biltzen baitira gehienbat), hurrengo espektro harmonikoa lortzen da [123]:

$$\vec{i}_{in} = \frac{2}{3} \sum_{k=1,3,\dots}^{\infty} \left(-\frac{E_n}{E_p} \right)^{\frac{k-1}{2}} e^{jk\omega_{in}t}. \quad (4.24)$$

Sarrerako korranteak osagai harmoniko asko izateaz gain (4.7(b) irudia), u

desoreka-mailarekin gainbehera egiten dute osagai horiek (4.24).

B Sarrerako korrontea $\vec{\psi} = \vec{e}_p - \vec{e}_n$ **bektorearekin fasean modulatzeari:** osagai harmoniko gehienak (4.22) ekuazioaren izendatzaileak sortzen ditu. Beraz, posible da sarrerako korrontea izendatzaile hori konstantea izan dadin modulatzeari. Helburu hori lortzeko, $\vec{\psi} = \vec{e}_p - \vec{e}_n$ bektorearekin fasean modulatu behar da sarrerako korronte-bektorea. Era horretara, \vec{i}_{in} eta \vec{v}_{in} bektoreek \vec{e}_p bektorearen inguruan biratzen dute, erloju-orratzen biraketa-noranzkoan (4.6(b) irudia). Alde horretatik, denborarekiko menpekotasuna du φ_{in} angeluak. Angelu horrek lor dezakeen balio maximoa hurrengoa da:

$$\varphi_{in,max} = 2 \arctan\left(\frac{E_n}{E_p}\right), \quad (4.25)$$

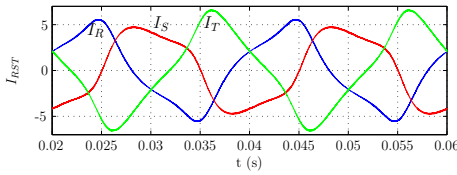
Hala ere, $\varphi_{in}(t)$ angeluaren batezbesteko balioa zero da sareko periodo jakin batean. Bestalde, konmutazioek sortutako osagaiak kontuan izan gabe, sarrerako korrontearen espektro harmonikoa hurrengoa da:

$$\vec{i}_{in} = \frac{2}{3} \frac{P_{out}}{E_p^2 - E_n^2} (E_p e^{j(\omega_{in}t + \phi_p)} - E_n e^{-j(\omega_{in}t + \phi_n)}). \quad (4.26)$$

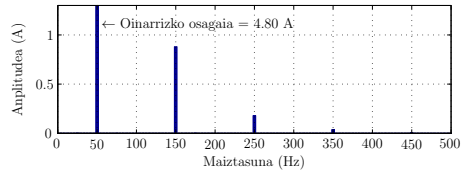
Ondorioz, metodo horri esker korronte sinusoidalak eta orekatuak lortzen dira MCaren sarreretan (4.7(c) irudia). Gainera, lehenengo estrategian lortutako espektro harmonikoa hobetzea lortu da, sarrerako korronteen eduki harmonikoa guztiz konpentsatu baita (4.7(d) irudia). Beraz, estrategia hori oso erabilgarria da sarrerako tentsioetan desoreka-maila oso handia denean [124]. Hala ere, lehenengo metodoarekin konparatuz, sarreran lortzen den korrontearen balio efikaza handiagoa da, eta hori printzipioz ez da komenigarria [123].

C Sarrerako korrontea $\vec{\psi} = \vec{e}_p$ **bektorearekin fasean modulatzeari:** egoera horretan, \vec{i}_{in} bektorea \vec{e}_p bektorearekin fasean aurkitzen da dq planoan, eta \vec{v}_{in} da bi bektore horien inguruan biratzen duena (4.6(c) irudia). Aurreko estrategian bezala, denborarekiko menpekotasuna du φ_{in} angeluak; Angelu horren balio maximoa hurrengoa da:

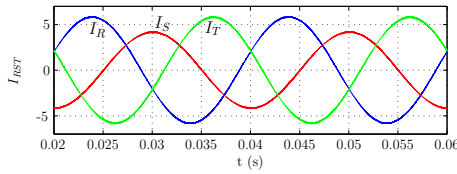
$$\varphi_{in,max} = \arctan\left(\frac{E_n}{E_p}\right). \quad (4.27)$$



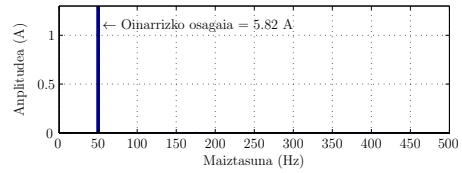
(a) A estrategia erabilitakoan lortutako sarrerako korrontek.



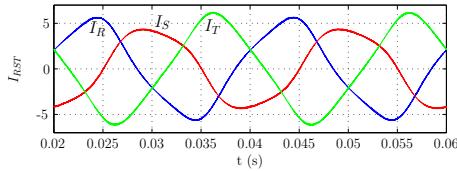
(b) A estrategia erabilitakoan lortutako sarrerako korronteen espektro harmonikoa.



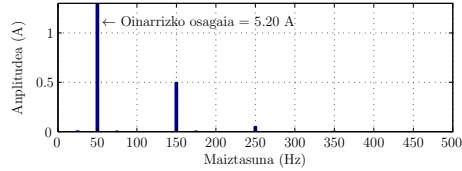
(c) B estrategia erabilitakoan lortutako sarrerako korrontek.



(d) B estrategia erabilitakoan lortutako sarrerako korronteen espektro harmonikoa.



(e) C estrategia erabilitakoan lortutako sarrerako korrontek.



(f) C estrategia erabilitakoan lortutako sarrerako korronteen espektro harmonikoa.

4.7 irudia. Sarrerako korrontea modulatzeko estrategia ezberdinak erabiltzean lortutako emaitzak.

Berriz ere, φ_{in} angeluaren batezbesteko balioa zero da periodo batetan zehar. Bestalde, distortsio globalaren faktorerik txikiena lortzen da estrategia horri esker. Ondorioz, sarrerako korronteen kalitateari buruzko baldintza bereziak bete behar direnean erabil daiteke estrategia hori [124]. Aldiz, ez da teknika oso aproposa desoreka-maila oso handia bada (4.7(e) eta 4.7(f) irudiak). Hala ere, A strategiaren bidez lortutako espektro harmonikoa hobetzen du azken estrategia horrek.

Tentsioaren transferentzia-ratio maximoak φ_{in} fase-anguluarekiko menpekotasuna du (4.15). Kontuan izanda B eta C estrategietan angelu hori dinamikoki aldatzen dela, transferentzia-ratio maximoa murriztu daitekeela pentsa daiteke. Hala ere, sarrerako tentsio-bektoreak egiten duen elipsearen maximo eta minimoetan ematen direnez φ_{in} angeluaren maximoak eta minimoak (4.2 irudia), estrategia

horiek ez dute eraginik transferentzia-ratioan.

Amaitzeko, esan beharra dago sareko tentsioaren oinarritzko osagai positiboa eta negatiboa bereizteko gai behar duela kontrolak, B eta C estrategiak erabili nahi badira. Horretarako, sinkronizazio-egitura aurreratuak erabili behar dira. Problematika hori 5. kapituluaz aztertuko da sakonean.

Aurkeztutako konpentsazio-teknikez aparte, sare desorekatuen eragina konpentsatzeko baliagarriak diren beste konpentsazio-teknika batzuk aurki daitezke literaturan, hala nola ARDC (*Automatic Disturbance Rejection Controller*) [125] eta IEPC (*Instantaneous Effective Power Controller*) [126, 127] teknikak. Hala ere, ez dira oso teknika erabiliak.

4.5. M_{Ca} bat-bateko tentsio-erorketen aurrean

Bat-bateko tentsio-erorketak (4.2. atala) dira makina bultzatzaile industrialetan gertatzen diren hutsegite gehienen iturri [51, 128]. Nahiz eta gaur egun potentzia-etenaldi horiek gero eta arraroagoak diren [129], konponketa-kostuak oso handiak izan daitezke; bestalde, atzerapenak sor ditzakete arazo horiek produkzioan. Beraz, problematika horren tratamendua oso garrantzitsua da. Hala ere, tentsio-erorketek M_{Ca}an duten eragina aztertu eta konpentsazio-teknika berriak proposatzen dituzten oso lan gutxi aurki daitezke literaturan. Jarraian, perturbazio-mota horrek M_{Ca}an duen eragina azaltzen da, eta literaturan gai horri buruz aurkitzen diren erreferentzia bakanak aipatzen dira.

M_{Ca}k ez duenez kondentsadore nabarmenik, bihurgailuan ez dago ia energiari metatuta. Ondorioz:

- Sareko tentsio-erorketek bat-bateko potentzia-galera dakarte kargan (hori ez da horrela AC/DC/AC bihurgailu konbentzionaletan, energia baitute metatuta DC_{link} kondentsadorean).
- Bihurgailuaren berrabiaraztea (behin bat-bateko tentsio-erorketa pasatu den) oso bizkor eta gaintentsiorik gabe egin daiteke, ez baita inongo erdibideko kondentsadorerik kargatu behar.

Behin sare elektrikoa bere onera itzulita, M_{Ca} oso azkar (ms-en magnitude-ordenan) berrabiarazi daiteke kontrol estrategia egokia erabiliz gero [127, 128, 130, 131]. Bihurgailuak berrabiarazteko behar duen denbora gehiena sarearekin birsinkronizatzeko erabiltzen da. Prozesu hori azkartu egin daiteke PLLrik erabiltzen ez bada (PLLek gutxienez sareko periodo bat behar dute sinkronizatzeko).

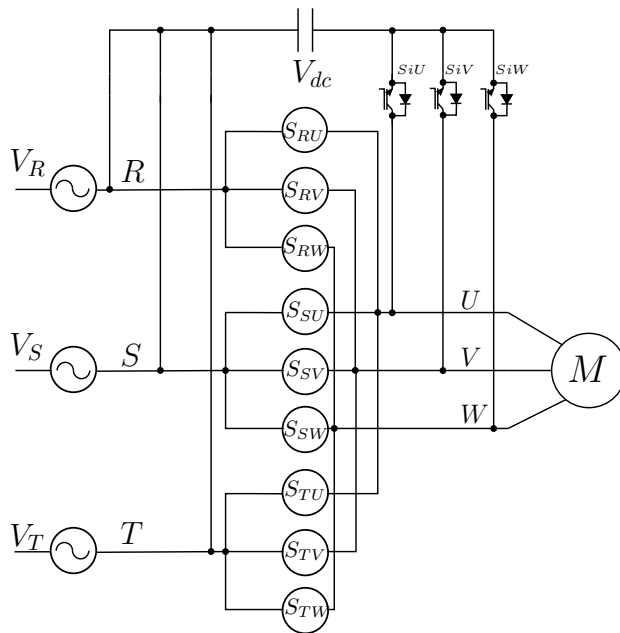
Adibidez, IEPC (*Instantaneous Effective Power Control*) kontrol teknika erabiliz [127] oso berrabiarazte azkarra lortzen da (3 ms-takoa).

Bestalde, berrabiarazte-prozesu hori gainkorronterik sortu gabe egin daiteke. Beraz, inbertsore eta artezgailu konbentzionalek baino portaera hobea eskaintzen du MCak egoera horretan. Adibidez, bat-bateko tentsio-galera gertatzen denean, MCa berrabiarazteko [130] erreferentzian jarraitzen den prozedura hurrengoa da:

1. Sarrerako tentsioak aldiro neurtzen dira, bat-bateko tentsio-galera emanaz gero detektatu ahal izateko.
2. Behin perturbazioa detektatuta, bihurtgailuaren etengailuak ireki egiten dira, eta makinaren estatorreko korronteen balioak zerorantz jotzen du, estatorrean metatuta dagoen energia elektrikoa finkatze-zirkuitura bideratzen baita. Gauzak horrela, makina balaztatuz doa sarea bere onera itzuli artean.
3. Kontrolatzailearen korronte-begizta desaktibatu egiten da ahalik eta sarea bere onera itzuli artean. Pauso hori beharrezkoa da PIak ez daitezen saturatu.
4. Sarrerako tentsioaren maila bere onera itzuli dela detektatzean, 5 ms itxaroten da sarrerako iragazkian sortzen den egoera iragankorra pasatu arte.
5. Behin denbora tarte hori pasatuta, korronte-begizta eta etengailuak aktibatatu egiten dira. Era horretara, makinaren kontrola berreskuratzen da, eta kontrolak bere maximoan lan egiten du erreferentziazko abiadura lortu arte.

Bestalde, kontrol-zirkuituak martxan mantentzeko beharrezkoa den energia elektrikoa finkatze-zirkuitutik eskura daiteke [53, 132–135], eta makina berrabiarazteko momentuan dauden hasierako baldintzak behatzaileen bidez kalkulatu dira.

Hala ere, aurreko estrategiek egoera horiek igartzeko ahalmen murrizta eskaintzen dute. Alde batetik, hutsegiteak dirauen bitartean momentu elektromagnetikoa eta fluxua sortzeko ahalmena mugatua dago. Bestalde, abiadura- eta fluxu-behatzaileak behar dira makina berrabiarazteko sarea bere onera itzultzen denean. Zentzu horretan, ikuspuntu ezberdina darabil [136] erreferentzian aurkeztutako estrategiak. Kasu horretan, inbertsore laguntzaile bat gehitzen zaio MCari, makina denbora laburreko potentzia-etenaldian zehar kontrolatu ahal izateko (4.8 irudia). Sistema ongi dabilenean, MCaren bederatzi etengailu bidirekzionalak beti bezala kontrolatzen dira. Aldiz, sarean denbora laburreko potentzia-etenaldia gertatzen denean, sarea makinatik bereizten da, S eta T faseetara konektaturik dauden etengailu bidirekzionalak irekiz. Horrela, R fasera konektaturiko etengailu bidirekzionalen eta SiU , SiV eta SiW etengailuen bi-



4.8 irudia. MCa denbora laburreko potentzia-etenaldietarako inbertsore laguntzaileekin.

dez makina elektrikora konektatzen da inbertsore laguntzailea. Era horretara, inbertsore laguntzailearen V_{dc} tentsioa makinaren abiadura mekanikoa gutxituz erregulatzen da. Energia makinaren inertziatik birsortzen da, eta energia horren bidez V_{dc} tentsioaren balioa aurrezarritako balioaren inguruan mantentzen du kontrolagailuak. Sarea bere onera itzultzen denean, bihurgailua ohiko eran kontrolatzen da, inongo gainkorronterik gertatu gabe, eta erreferentzia-abiadura lortu arte azeleratzen da makina.

Estrategia horri esker, denbora laburreko potentzia-etenaldian zehar mantentzen dira makinaren fluxua eta sinkronizazioa. Kontuan izan behar da funtzionamendu-mota horren iraupena zenbait faktorek mugatzen dutela, hala-nola, makinaren hasierako abiadurak, kargaren momentuak eta inertzia.

4.6. Ondorioak

MCa ez da oso mardula sare elektrikoan gertatzen diren perturbazioen aurrean, ez baitauka energia metatzen duen kondentsadorerik erdibidean. Askotan, sarea desorekatuta edota distortsionatuta egon daiteke. Horren ondorioz, MCak sarreran eta irteeran sintetizatzen dituen seinaleak distortsionatu egiten dira. Hala ere, berrelikaduran edo aurreelikaduran oinarritzen diren konpentsazio-teknikak ezar daitezke irteera sinusoidalak eta orekatuak lortzeko, modulazio-indizea dinamikoki kontrolatuz. Horien artean, aurreelikadura bidezko teknikak nabarmentzen dira, berrelikadura bidezko teknikak baino konpentsazio hobea lortzen baitute. Gainera, sarrerako korrontearen fase-angelua dinamikoki kontrolatuz, posible da sarrerako korronteen kalitatea hobetzea, sarrera desorekatuta dagoenean. Zentzu horretan, sarearekin sinkronizatzeko egiturak behar dituzte aurreelikadura bidezko konpentsazio-estrategiaren bat edota sarrerako korrontearen fase-angeluaren kontrol dinamikoa darabilten kontrol-egiturek.

Bestalde, bat-bateko tentsio erorketekiko oso sentikorra da MCa. Sareko potentzia-erorketek bat-bateko potentzia galera dakarte bihurgailuaren irteeran, eta hori kaltegarria da MCa makina elektriko bati konektatuta dagoenean. Hala ere, bihurgailu estandarrak baino berrabiarazte azkarragoa du MCak. Finkatze-zirkuitutik lor daiteke kontrolatzaileak martxan jarraitzeko behar duen energia elektrikoa. MCaren problematika hori aztertzen duten oso lan gutxi daude literaturan.

5. kapitulua

Bihurgailu matritzialaren sinkronizazioa

5.1. Sarrera

Egun, potentzia-bihurgailu gehienetan, oso garrantzitsua da sareko tentsioaren $\theta_{in} = \omega_{in}t$ fase-angeluaren balioa ezagutzea, zenbait ataza egiteko erabiltzen baitute informazio hori bihurgailuen kontrol-algoritmoek, esaterako [137]:

- Potentzia-bihurgailuen pizte- eta itzaltze-prozesuak sinkronizatzeko.
- Potentzia aktiboaren eta erreaktiboaren fluxua kalkulatzeko eta kontrolatzeko.
- Kontrolak beharrezkoak dituen transformazio bektorialak egiteko.

MCaren kontrolaz arduratzen diren gailuek aipatutako atazak egiten dituzte. Gainera, 4. kapituluan ikusi den bezala, posible da sarean gertatzen diren perturbazioen eraginez MCaren sarreretan eta irteeretan sortzen diren efektu kaltegarriak murriztea. Zentzu horretan, aurreelikaduran oinarritzen diren konpentsazio-teknikak ezar daitezke bihurgailuaren irteeretan sortzen diren perturbazioak konpentsatzeko. Era berean, posible da sarrerako korronteen kalitate harmonikoa hobetzea, sarrerako korronte-bektorearen fase-angelua dinamikoki kontrolatuz. Beraz, sarrerako tentsio-bektorearen fase-angelua eta anplitudea zehazki ezagutu behar dira konpentsazio-teknika horiek ongi ezarri nahi badira.

Sarrerako tentsioen zerotiko iragateak detektatzea da tentsio horien fase-angeluari buruzko informazioa lortzeko metodorik errazena. Hala ere, zerotiko iragateak sareko maiztasunaren ziklo erdiro gertatzen dira bakarrik. Beraz, ezinezkoa da sareko tentsio-bektorearen fase-angeluak iragateen artean duen balioa jarraitzea. Ondorioz, ez da metodo oso egokia, batez ere sarea perturbatuta dagoenean.

Bigarren posibilitate bat da Clarkeren transformazioa (A.1. eranskina) \vec{v}_{RST} bektoreari ezartzea. Ondoren, V_{in_α} eta V_{in_β} koadratura-osagaiak erabiliz (5.1) kalkulatu da fase-angelua. Horrela, θ_{in} fase-angeluaren balioa aldiro ezagutu daiteke.

$$\theta_{in} = \arctan\left(\frac{V_{in_\beta}}{V_{in_\alpha}}\right). \quad (5.1)$$

Hala ere, metodo hori ez da nahikoa mardula, koadratura-osagaietan errore txiki bat gehituz gero, (5.1) adierazpenean lortutakoa asko urruntzen baita emaitza zuzenetik. Hori dela eta, begizta irekiko zenbait metodo aurkeztu dira literaturan, non θ_{in} angeluaren balioa zuzenean estima daitekeen V_{in_α} eta V_{in_β} osagaiak erabiliz. Hala ere, metodo horiek desabantaila ugari dituzte. Ondorioz, PLL (*Phase Locked Loop*) izenarekin ezagutzen den egitura da potentzia-bihurgailuak sare elektrikoarekin sinkronizatzeko gehien erabiltzen dena [138].

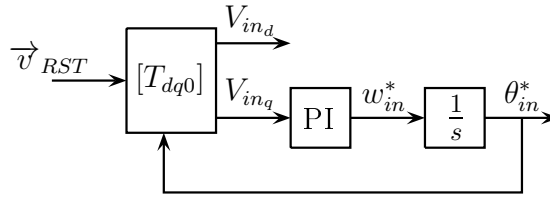
Jarraian, PLLaren funtzionamendua aurkeztuko da. Ondoren, sinkronizazio-egitura horrek dituen mugak direla eta, egitura aurreratuagoak aztertzen dira MCan erabiltzeko. Amaitzeko, MCaren sinkronizazioaz eta kontrolaz arduratzen den kontrol-egitura bat ikusiko da, sarea desorekatu denean.

5.2. Bihurgailuen PLL bidezko sinkronizazioa

Begizta itxiko sinkronizazio-egitura da PLLa. Egitura horri esker, era mardulean determina daitezke sareko tentsioaren fase-angeluaren eta anplitudearen balioak. Zentzu horretan, SRF-PLLaren (*Synchronous Reference Frame PLL*) egitura erakusten du 5.1 irudiak.

Sarrerako tentsio trifasikoa orekatuta dagoenean, hurrengoa betetzen da:

$$\vec{v}_{RST} = V_{in} \begin{pmatrix} \cos \theta_{in} \\ \cos(\theta_{in} + \frac{2\pi}{3}) \\ \cos(\theta_{in} + \frac{4\pi}{3}) \end{pmatrix}, \quad (5.2)$$



5.1 irudia. SRF-PLL sinkronizazio-egitura.

non sareko tentsioaren balio maximoa den V_{in} . Clarkeren eta Parken transformazioak konbinatuz egin daiteke RST erreferentzia-sistema trifasikoaren eta $dq0$ erreferentzia-sistema sinkronoaren arteko transformazioa (A.2. eranskina):

$$\vec{v}_{in_{dq0}} = [T_{dq0}] \vec{v}_{RST}. \quad (5.3)$$

Transformazio-matrizearen balioa hurrengoa da:

$$[T_{dq0}] = \frac{2}{3} \begin{pmatrix} \cos \theta_{in}^* & \cos(\theta_{in}^* - 2\pi/3) & \cos(\theta_{in}^* + 2\pi/3) \\ -\sin \theta_{in}^* & -\sin(\theta_{in}^* - 2\pi/3) & -\sin(\theta_{in}^* + 2\pi/3) \\ 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \end{pmatrix}, \quad (5.4)$$

non PLLaren irteeran lortutako angelua den θ_{in}^* ; aldi berean, dq erreferentzia-sistema sinkronoaren biraketa-angelua ere bada. Berdintasun trigonometrikoak erabiliz, (5.3) honelaxe gelditzen da:

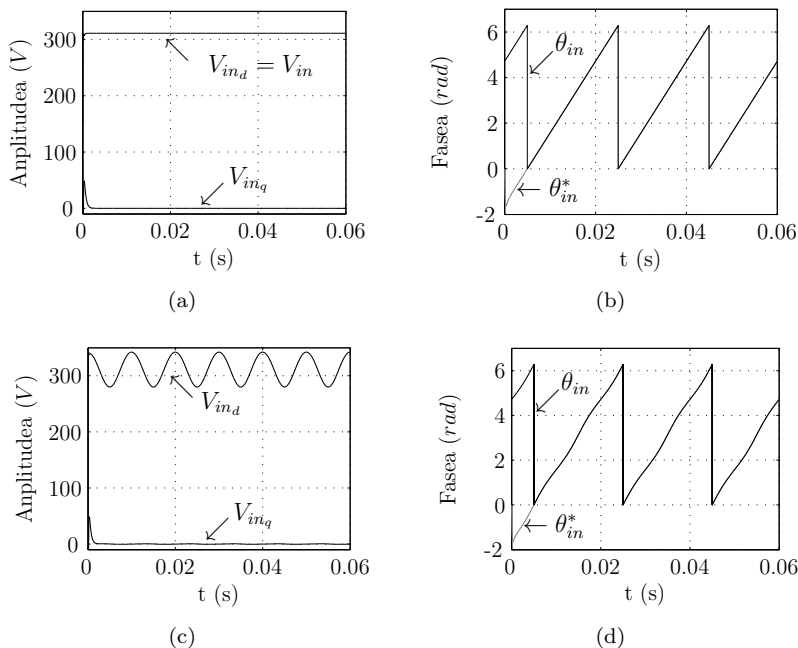
$$\begin{pmatrix} V_{in_d} \\ V_{in_q} \\ V_{in_o} \end{pmatrix} = V_{in} \begin{pmatrix} \cos(\theta_{in}^* - \theta_{in}) \\ \sin(\theta_{in}^* - \theta_{in}) \\ 0 \end{pmatrix}, \quad (5.5)$$

non $dq0$ erreferentzia-sistema sinkronoan tentsio-bektore trifasikoak dituen proiektzioak diren V_{in_d} , V_{in_q} eta V_{in_o} . Sareko tentsioaren fase-anguluaren eta PLLaren irteerako fase-anguluaren arteko errorea zero izan dadin ($\Delta\theta_{in} = \theta_{in}^* - \theta_{in}$), hurrengo baldintzak bete behar dira:

$$V_{in_d} = V_{in}, \quad (5.6)$$

$$V_{in_q} = 0. \quad (5.7)$$

Zentzu horretan, posible da V_{in_q} koadratura-osagaiaren balioa zerora erregulatzea SRF-PLL egituraren PIa erabiliz. Horrela, sareko \vec{v}_{RST} tentsio-bektorearen



5.2 irudia. SRRF-PLLaren erantzuna: (a), (b) sarrerako tentsioa sinusoidala eta orekatua denean; (c), (d) sarrerako tentsioa sinusoidala eta desorekatua denean.

fase-angeluaren eta anplitudearen balioak lortzen dira SRRF-PLLaren irteeretan. Alde horretatik, tentsioa sinusoidala eta orekatua denean, SRRF-PLL egituraren bidez lortutako simulazio-emaitzak azaltzen ditu 5.2(a) irudiak.

Bi faktore hartu behar dira kontuan PLLa diseinatzerakoan. Alde batetik, PLLaren erantzun dinamikoa ona izatea komeni da, θ_{in} fase-angeluaren aldaketa azkarrak ongi jarraitu ahal izateko. Bestalde, beharrezkoa da begiztak iragazpen-ezaugarri onak izatea, sareko tentsioak harmonikoak izaten baititu sarritan. Hala ere, betekizun horiek ezin daitezke batera gertatu, PLLaren banda-zabalera handitu behar baita erantzun dinamikoa azkartzeko. Bestalde, banda-zabalera gutxitu behar da iragazpen-ezaugarriak hobetzeko [139]. Beraz, oreka bat aurkitu behar da aipatutako faktoreen artean. Praktikan, banda-zabalera handia duen begizta bat erabili ohi da sistema abiatzean. Horrela, sareko tentsioaren fase-angelua ahalik eta azkarren finkatzen da. Ondoren, PLLaren banda-zabalera gutxituz, distortsio baxuagoa duten irteerak lortzen dira [137].

Hala ere, SRRF-PLL egitura ez da oso erabilgarria sare elektrikoa desorekatuta

dagoenean, egitura hori oso sentikorra baita perturbazio horien aurrean [138]. Egoera horretan, ez da posible osagai positiboa (\vec{e}_p) negatibotik (\vec{e}_n) bereiztea, lortutako simulazio-emaitzek (5.2(c) irudia) azaltzen duten bezala. Nahiz eta osagai positiboa estimatzeko teknikak egon, osagai horren balio hurbildua baino ezin daiteke lortu. Ondorioz, egitura hori ez da nahikoa mardula MCa sare desorekatuekin sinkronizatzeko.

Jarraian, arazo hori gainditzeko baliagarriak diren zenbait sinkronizazio-teknika aztertuko dira.

5.3. Sinkronizazio-teknika aurreratuak

SRF-PLLa baino egitura aurreratuagoak erabili behar dira sareko tentsioaren osagai positiboa eta negatiboa ezagutzeko. Helburu hori lortzeko, osagai simetrikoen kontzeptua erabil daiteke. Horrela, aldiuneko osagai positiboa eta negatiboa lortzen dira Fortescueren transformazioak erabiliz [140]:

$$\vec{e}_{pRST} = [T_+] \vec{v}_{RST}, \quad (5.8)$$

$$\vec{e}_{nRST} = [T_-] \vec{v}_{RST}, \quad (5.9)$$

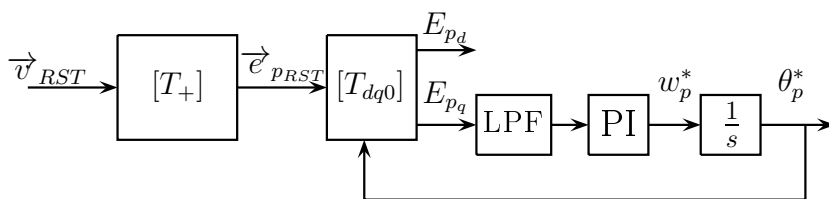
non honela definitzen diren Fortescueren transformazio positiboa eta negatiboa ezartzeko erabili behar diren transformazio-matrizeak:

$$[T_+] = \frac{1}{3} \begin{pmatrix} 1 & a & a^2 \\ a^2 & 1 & a \\ a & a^2 & 1 \end{pmatrix}, \quad (5.10)$$

$$[T_-] = \frac{1}{3} \begin{pmatrix} 1 & a^2 & a \\ a & 1 & a^2 \\ a^2 & a & 1 \end{pmatrix}, \quad (5.11)$$

non $a = e^{j\frac{2\pi}{3}} = \frac{-1}{2} + \frac{\sqrt{3}}{2}e^{j\frac{\pi}{2}}$ Fortescueren operadorea den. Operadore hori inplementatzean, $e^{j\frac{\pi}{2}}$ forma erabiltzen da $\frac{-1}{2} + \frac{\sqrt{3}}{2}e^{j\frac{\pi}{2}}$ formaren ordean, errazagoa baita $\pi/2$ -ko atzerapena elektronikoki inplementatzea. Atzerapen hori sortzeko, ω' maiztasunean zentratutako lehenengo ordenako pasa-guzti motako iragazkia erabil daiteke [138]:

$$F_{pg}(s) = \frac{1 - s/\omega'}{1 + s/\omega'}, \quad (5.12)$$



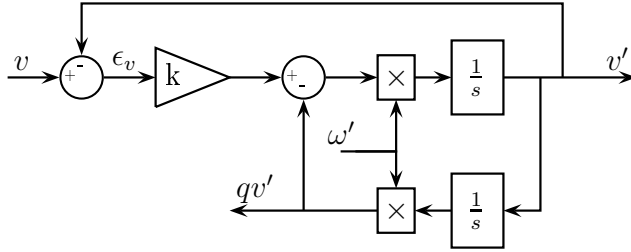
5.3 irudia. *Extended-PLL*aren egitura, oinarritzko osagai positiboaren kalkulurako blokea eta behe-paseko iragazkia dituen.

non sareko maiztasunaren balioa hartzen duen ω' maiztasunaren balioak (50 Hz Europan). Kontuan izan behar da pasa-guzti motako iragazkiek ez dutela inongo maiztasunik iragazten. Hala ere, iragazki horiek 90° -tan desplazatzen dute ω' maiztasuna duen tentsio-osagaia.

Pasa-guzti motako iragazkiak erabiliz implementatutako Fortescueren transformazioa eta SRF-PLL egitura konbinatuz lortzen da *Extended-PLL* egitura (5.3 irudia). Egitura horri esker, posible da \vec{e}_p osagai positiboa eta \vec{e}_n osagai negatiboa bereiztea. Hala ere, bi desabantaila nagusi ditu metodo horrek [138]:

- Pasa-guzti iragazkiak ez dira maiztasunean moldatzen. Beraz, iragazki horiek ezin dezakete 90° -tako fase-desplazamendua era egokian egin sareko tentsioaren maiztasuna eta ω' maiztasuna (5.12) ezberdinak direnean.
- Sarritan, oinarritzko maiztasun-osagaiaz gain, beste maiztasun-osagai batzuk (5., 7., 11., etab. ordenako harmonikoak normalean) sortzen dira sarrerako tentsioan (4.2. atala). Pasa-guzti iragazkiek ez dituzte aipatutako harmonikoak iragazten. Horregatik, behe-paseko iragazki bat jartzea gomendatzen da PLLaren V_{in_q} irteeran (5.3 irudia) [141].

Arazo horiek gainditzen dituzten sinkronizazio-egitura aurreratuak aurki daitezke literaturan. Adibidez, maiztasunean moldatzen diren *notch* iragazkiak erabiltzen dituen fase bakarreko PLL-egitura aurkezten da [138] erreferentzian, *Enhanced-PLL* izenarekin ezagutzen dena. Iragazki horien erresonantzia-maiztasuna sarearen maiztasunarekin batera mugitzen da. Hala ere, PLL asko behar dira egitura hori eraikitzeko. Alde horretatik, egin beharreko transformazioak neurri handi batean sinplifika daitezke Fortescueren (5.10) eta (5.11) transformazioei Clarke-ren transformazioa ezarri gero. Sinkronizazio-egitura sinplifikatzeaz gain, mardultasuna hobetzen da, sekuentzia nuluko V_{in_o} (5.5) osagaia blokeatzeko gaitasuna baitu Clarke-ren transformazioak [142]. Zentzu horretan, Sarrerako tentsioaren oinarritzko osagai positiboa honelaxe lor daiteke $\alpha\beta$ planoan:



5.4 irudia. SOGI-QSGaren egitura.

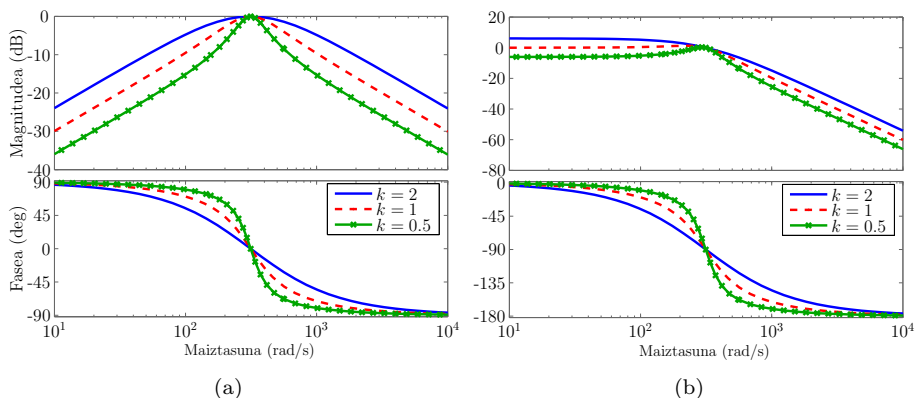
$$\begin{aligned}\vec{e}_{p_{\alpha\beta}} &= [T_{\alpha\beta}]\vec{e}_{p_{RST}} = [T_{\alpha\beta}][T_+]\vec{v}_{RST} = \\ &= [T_{\alpha\beta}][T_+][T_{\alpha\beta}]^T\vec{v}_{in_{\alpha\beta}} = \frac{1}{2} \begin{pmatrix} 1 & -q \\ q & 1 \end{pmatrix} \vec{v}_{in_{\alpha\beta}}, \quad (5.13)\end{aligned}$$

non $[T_{\alpha\beta}]$ Clarkeren transformazio-matrizea eta $q = e^{-j\frac{\pi}{2}}$ diren. Era berean, sarrerako tentsioaren oinarritzko osagai negatiboak $\alpha\beta$ planoan duen balioa honelaxe kalkulatu da:

$$\begin{aligned}\vec{e}_{n_{\alpha\beta}} &= [T_{\alpha\beta}]\vec{e}_{n_{RST}} = [T_{\alpha\beta}][T_-]\vec{v}_{RST} = \\ &= [T_{\alpha\beta}][T_-][T_{\alpha\beta}]^T\vec{v}_{in_{\alpha\beta}} = \frac{1}{2} \begin{pmatrix} 1 & q \\ -q & 1 \end{pmatrix} \vec{v}_{in_{\alpha\beta}} \quad (5.14)\end{aligned}$$

Beraz, osagai positiboa eta negatiboa zuzenean kalkulatu daitezke transformazio horien bidez, $\alpha\beta$ koordenatuetan adierazita. Berriz, SOGI-QSG (*Second Order Generalized Integrator - Quadrature Signal Generator*) deritzon egitura erabiliz inplementatu daitezke q atzerapen-eragilea [143]. Zentzu horretan, 5.4 irudiak azaltzen du SOGI-QSGaren egitura.

Maiztasunean moldatzen den egitura da SOGI-QSGa. Sarrerako v seinaletik abiatuta, koadraturako (90° defasaturako) v' eta qv' seinaleak sortzen ditu egitura horrek irteeran [144]. Egitura horri dagozkion transferentzia-funtzioak hurrengoak dira:



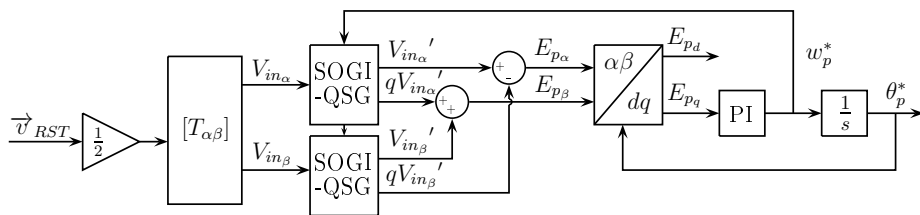
5.5 irudia. DSOGI-QSG egituraren Bode diagramak: (a) $\frac{v'}{v}$ eta (b) $\frac{qv'}{v}$, $k = 0.5, 1$ eta 2 direnean.

$$D(s) = \frac{v'}{v} = \frac{k\omega' s}{s^2 + k\omega' s + (\omega')^2}, \quad (5.15)$$

$$Q(s) = \frac{qv'}{v} = \frac{k(\omega')^2}{s^2 + k\omega' s + (\omega')^2}, \quad (5.16)$$

non k eta ω' SOGI-QSGaren irabazia eta erresonantzia-maiztasuna diren, hurrenez hurren. Alde horretatik, 5.5(a) eta 5.5(b) irudietan irudikatzen dira SOGI-QSGaren Bode diagramak, $\omega' = 2\pi \times 50$ Hz denean. Ikus daitekeen bezala, v' eta qv' irteeren maiztasun-osagaiak ez dira txikitzen egitura horren erresonantzia-maiztasunean. Gainera, 90° -tako atzerapena sortzen da ω' maiztasuna duten v' eta qv' seinaleen osagaien artean. Azken hori egia da ω' eta k konstantearen balioak edozein izanda ere, $Q(s)$ eta $D(S)$ transferentzia-funtzioen Bode diagramek itxura bera baitute, baina -90° desplazatuta.

Bestalde, SOGI-QSGa hautakorragoa bihurtzen da k irabazia zenbat eta txikiagoa izan (5.4 irudia). Hala ere, k irabaziaren balioa txikituz doanean, denbora gehiago behar du sistemak koadratura-osagaiak kalkulatzeko. Beraz, faktore bi horien arteko konpromisoa aurkitu behar da. Era berean, ω' erresonantzia-maiztasunaren balioa era egokian zehaztu behar da (5.13) eta (5.14) transformazioak ongi egin nahi badira. Beste era batera esanda, sarearen oinarriko maiztasunarekin bat egin behar du aldioro ω' erresonantzia-maiztasunaren balioak.



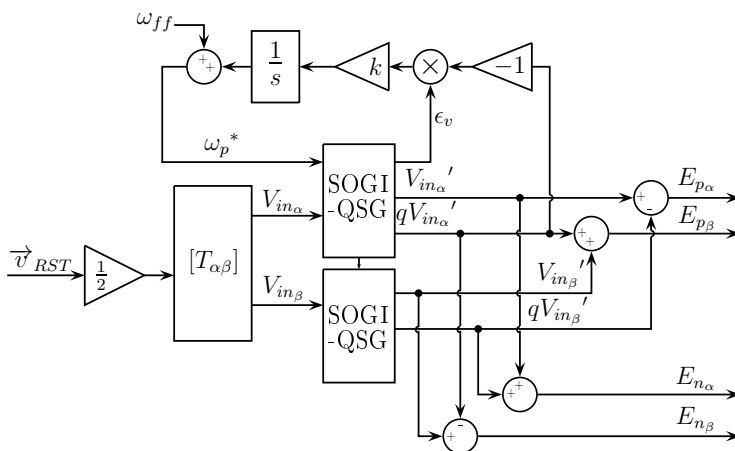
5.6 irudia. Funtsezko maiztasun positiboa kalkulatzeko DSOGI-PLLaren eskema.

Gauzak horrela, SRF-PLL egitura erabiliz zehaztu daiteke SOGIaren erresonantzia-maiztasuna. Era horretara, sistema maiztasunean moldagarria bihurtzen da. Zentzu horretan, 5.6 irudiak azaltzen duen sinkronizazio-egitura erabil daiteke oinarritzko osagai positiboaren balioa kalkulatzeko. Sinkronizazio-egitura hori DSOGI-PLL (*Dual SOGI-PLL*) izenarekin ezagutzen da, bi SOGI-QSG behar baitira oinarritzko osagai positiboa eta negatiboa lortzeko beharrezkoak diren koadratura-osagaiak kalkulatzeko. Eskema horri esker, azkar eta zehazki determina daiteke oinarritzko osagai positiboaren balioa, nahiz eta sarea distorsionatuta eta desorekatuta egon neurri handi batean [145]. Gainera, posible da oinarritzko osagai negatiboaren balioa aldi berean lortzea, SOGI-QSGen irteerak erabiliz eta (5.14) transformazioa kalkulatur.

Bestalde, DSOGI-PLLaren eboluzio optimizatua den DSOGI-FLLa (*DSOGI-Frequency Locked Loop*) aurkezten da [142] erreferentzian. FLL bat erabiltzen du sistema horrek erresonantzia-maiztasunak sareko maiztasunarekin bat egin dezan. Era horretara, SOGI-QSGak maiztasunean moldatzen dira (5.7 irudia). Zentzu horretan, FLLaren PIak minimizatzen duen errore-seinalea sortzen da $\epsilon_v = v - v'$ eta qv' osagaiak erabiliz (5.7 irudia). Horrela, sareko tentsioaren maiztasunaren balioa finkatzen da FLLaren irteeran.

Bestalde, FLLaren bidez detektatutako maiztasuna aldeztu aurretik balio nominalaren inguruan finkatzen duen aurreelikadura-terminoa da w_{ff} konstantea (5.7 irudia). Horrela, FLLak azkarrago kalkulatu du sareko tentsioaren oinarritzko maiztasunaren balioa. Modu horretan, sareko osagai positiboa eta negatiboa lortzen dira DSOGI-FLL eskemaren irteeran, $\alpha\beta$ erreferentzia-sisteman adierazita.

DSOGI-PLL bano simpleagoa da DSOGI-FLL sinkronizazio-egitura, osagaitan txikiagoa behar baita egitura hori eraikitzeko. Horretaz gain, DSOGI-PLL bano mardulagoa da egitura hori, sareko maiztasunean gertatzen diren aldaketak fase-angeluan gertatzen direnak bano txikiagoak baitira. Kontuan izan behar da sare elektriko parametroetatik egonkorrena dela sareko maiztasuna. Balio hori 50 ± 1 Hz tartean mantentzen da European normalean, eta oso



5.7 irudia. DSOGI-FLL sinkronizazio-egitura.

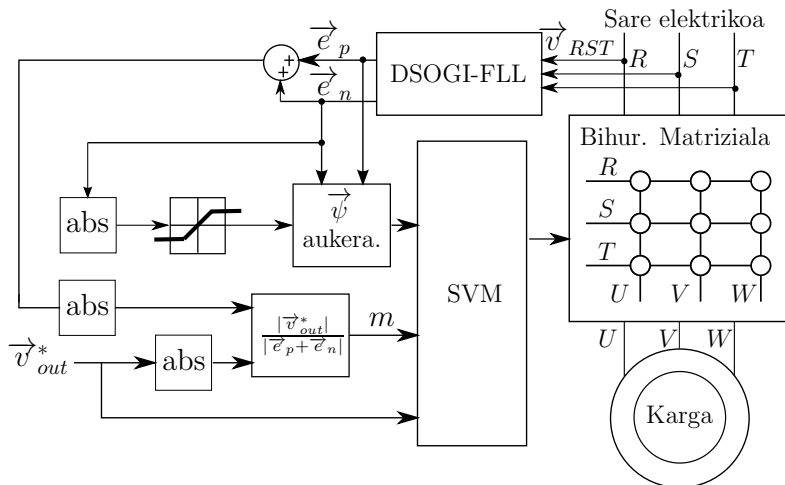
gutxitan irteten da 49.0 – 50.3 Hz barrutitik [145].

Beraz, DSOGI-FLLa sinkronizazio-egitura egokia da MCa sare elektrikoarekin sinkronizatzeko, sinplea eta mardula delako, eta maiztasunean moldatzeko gaitasuna duelako. Egitura horri esker, sarrerako korronteen osagai harmonikoak optimizatzen dituzten teknikak ezar daitezke MCan (4.4. atala). Aldi berean, posible da irteerako tentsioak konpentsatzea bihurgailuaren sarrerako tentsioa desorekatuta dagoenean.

Jarraian, MCa sare elektrikoarekin sinkronizatzeko eta sare desorekatuen eraginez sortzen diren perturbazioak konpentsatzeko baliagarria den egitura aurkeztuko da.

5.4. MCaren sinkronizazioa eta kontrola sare desorekatuekin

MCarentzako sinkronizazio- eta kontrol-egitura bat azaltzen du 5.8 irudiak. DSOGI-FLL sinkronizazio-egitura aukeratu da oinarritzko osagaiak lortzeko, aurrez aipatutako arrazoiak direla-bide. DSOGI-FLLaren bidez lortutako informazioari esker, sarea sinusoidala eta orekatua denean kontrola daiteke MCa. Horretaz gain, sarea desorekatua eta distortsionatua denean ere modu egokian kontrola daiteke bihurgailua. Horrela, posible da sare desorekatuen eraginez sa-



5.8 irudia. MCarentzako sinkronizazio- eta kontrol-egitura.

rrerako korranteetan eta irteerako korrante eta tentsioetan sortutako distortsioa konpentsatzea.

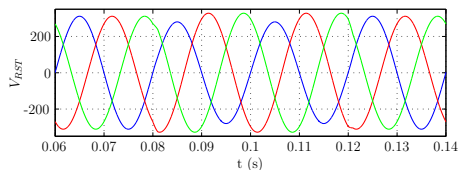
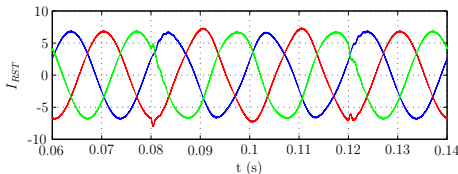
MCak irteeran sintetizatutako tentsioak eta korranteak, m modulazio-indizearen balioa dinamikoki kontrolatuz konpentsa daitezke:

$$m = \frac{|\vec{v}_{out}^*|}{|\vec{e}_p + \vec{e}_n|}, \quad (5.17)$$

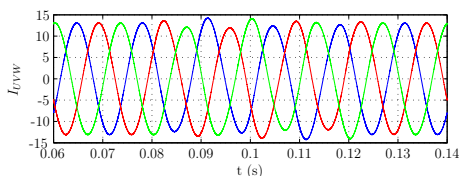
non $|\vec{v}_{out}^*|$ irteerako tentsioaren erreferentziako bektorearen modulua den, eta \vec{e}_p eta \vec{e}_n DSOGI-FLLak zehaztutako sarrerako tentsioaren oinarriko osagai positiboa eta negatiboa diren ($\alpha\beta$ planoan adierazita).

Bestalde, sarrerako korranteak modulatzeko aldiune bakoitzean erabili behar den estrategia aukeratzeko histeresiaren bidezko kontrolari esker (5.8 irudia). Era horretara, hurrengo egoerak gerta daitezke:

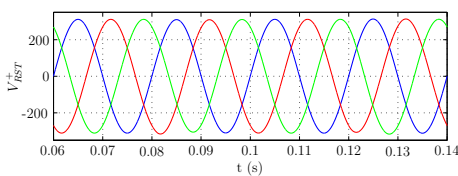
- Histeresiaren bidezko kontrolaren irteera zero bada, sarrerako korrante-bektoreak jarraitu behar duen erreferentziako fase-angelua $\vec{\psi} = \vec{v}_{in} = \vec{e}_p + \vec{e}_n$ bektorearen fase-angelua da. Era horretara, potentzia-faktore unitarioa lortzen da bihurgailuaren sarreran.
- Desoreka-maila nabarmena denean, sarrerako korranteen kalitate harmonikoa gutxitu egiten da, korrante horiek ez baitira sinusoidalak. Egoera

(a) Sare desorekatua $t = 0.08$ s eta $t = 0.12$ s artean.

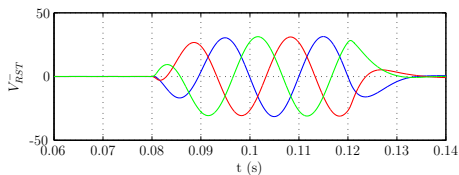
(b) Sarrerako korroneak sinkronizazio egokirik gabe.



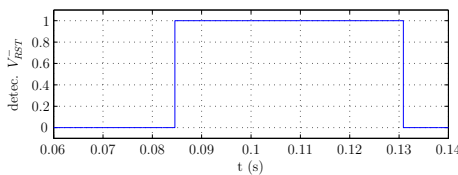
(c) Irteerako korroneak sinkronizazio egokirik gabe.



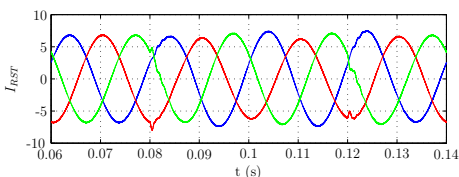
(d) DSOGI-FLLak kalkulaturako osagai positiboa.



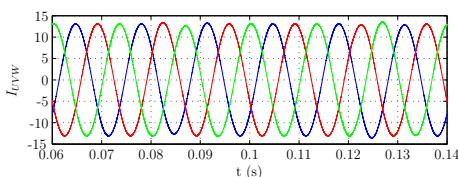
(e) DSOGI-FLLak kalkulaturako osagai negatiboa.



(f) Histeresiaren bidezko osagai negatiboaren detekzioa.



(g) MCak sintetizaturiko sarrerako korrone iragaziak, aurkeztutako kontrol-egitura erabiltzen denean.



(h) MCak sintetizaturiko irteerako korroneak, aurkeztutako kontrol-egitura erabiltzen denean.

5.9 irudia. MCaren portaera sare desorekatuekin, sinkronizazio egokiarekin eta sinkronizazio egokirik gabe.

horretan, gomendagarria da sarrerako korrontearen angelua $\psi = \vec{e}_p - \vec{e}_n$ bektorearen fase-angeluarekin modulatzeko [124]. Beraz, \vec{e}_n osagaiak aurrez zehaztutako balio bat gaituz gero, histeresiaren bidezko kontrolaren irteerako balioa zerotik batera aldatzen da; horrela, (a) estrategiatik (b) estrategiara aldatzen da sarrerako korronteen kontrola.

MCarentzat aurkeztutako sinkronizazio- eta kontrol-egiturari dagozkion simulazio-emaitzak erakusten ditu 5.9 irudiak.

Sistemak era egokian funtzionatzen du, harik eta $t = 0.08 s$ eta $t = 0.12 s$ artean $|\vec{e}_n| = 0.1|\vec{e}_p|$ anplitudea duen oinarritzko osagai negatiboa gehitzen zaion sarrerako tentsioari (5.9(a) irudia). Bihurgailua sarearekin ez bada era aproposan sinkronizatzen, ezin daiteke perturbazio horrek sarrerako korronteetan eta irteerako korronte eta tentsioetan duen eragina konpentsatu (5.9(b) eta 5.9(c) irudiak). Aldiz, aurkeztutako eskema erabiliz gero, DSOGI-FLLak oso azkar detektatzen du oinarritzko osagai negatiboa (5.9(e) irudia). Gainera, oinarritzko osagai positiboaren balioa ere kalkulatu du sinkronizazio egitura horrek (5.9(d) irudia). Zentzu horretan, histeresiaren bidezko kontrola aktibatuta egiten da \vec{e}_n bektorearen moduluak $0.05|\vec{e}_p|$ balioa gaituz gero (5.9(f) irudia), eta $\psi = \vec{e}_p - \vec{e}_n$ bektorearen fase-angelu berdinarekin modulatu da sarrerako korrontea (5.9(g) irudia). Bestalde, irteerako korrontek ez dira sarrerako tentsio desorekatuaren ondorioz distortsionatzen (5.9(h) irudia), modulazio-indizearen kontrol dinamikoari esker. Beraz, aurkeztutako egitura gai da sarean sortzen diren egoera desorekatu azkarrei erantzuteko.

5.5. Ondorioak

Kompentsazio-estrategia egokiak erabili behar dira, sare desorekatu eta distortsionatuaren ondorioz MCaren sarreran eta irteeran sortutako perturbazioak konpentsatzeko. Alde horretatik, bihurgailuaren irteeran sintetizatutako korronte eta tentsioak konpentsa daitezke baldin eta aurreelikadura estrategiak erabiltzen badira. Hala ere, kontuan izan behar da sarrerako tentsio-bektorearen anplitudea ezagutzea guztiz beharrezkoa dela, aurreelikaduran oinarritutako estrategiak ezarri nahi badira. Gainera, sarrerako tentsioaren oinarritzko osagai positiboa eta negatiboa ere ezagutu behar dira, sarrerako korronteen konpentsazio-estrategiak era egokian ezartzeko.

DSOGI-FLLa oso sinkronizazio-egitura aproposa dela frogatu da atal honetan, histeresiaren bidezko kontrolarekin batera erabiltzen bada. Alde batetik, oso azkar eta zehaztasun handiz detektatzen ditu kontrolak ezagutu behar dituen oinarritzko osagai positiboaren eta negatiboaren balioak. Bestalde, sinplea eta

mardula da egitura hori, eta maiztasunean moldatzeko gaitasuna du. Era horretara, konpentsazio-estrategia garrantzitsuenen beharrianak betetzen dira sinkronizazio-egitura horri esker.

III. atala

Bihurgailu matrizialaren simulazioa eta prototipatze azkarreko kontrola

6. kapitulua

Bihurgailu matrizialaren simulazioaren hobekuntza: SSMA simulazio-teknika aurreratua

6.1. Sarrera

Simulazioak betebeharrak garrantzitsua du potentzia-bihurgailuen diseinu-prozesuaren lehenengo ataletan [146, 147]. Simulazioa erabiliz, bihurgailuaren portaera azter daiteke prototipo fisikoa eraiki aurretik. Horrela, bihurgailuaren funtzionamenduarekin zerikusia duten hainbat fenomeno azter daitezke, hala nola, bihurgailuak sare elektrikoarekin duen elkarrekintza [148], bihurgailuak hutsegite-egoeretan duen portaera [149] eta gailu-erdieroaleetan gertatzen diren galerak [150, 151], besteak beste. Bestalde, simulazioa tresna bikaina da kontrol- eta modulazio-algoritmoen diseinuan [2, 152–154], hau da, kontrolatzaileen parametroak doitzeko, algoritmo berriak sortzeko, etab. erabil daiteke simulazioa.

MCaren simulazioa aztertzen duten hainbat lan aurki daitezke gaur egun literaturan [155–162]. Horretaz gain, MCari buruz aurki daitezkeen ia lan guztiek erabiltzen dute simulazioa momenturen batean. Horren adibide ona dira MCaren kontrola eta modulazioa aztertzen dituzten artikulak, simulazioa erabiltzen baitute gehienetan, algoritmo berriak prototipo fisikoan inplementatu aurretik.

Hala ere, MCaren simulazioa konplexua da, baliabide handiak (memoria-kopuru handia, prozesaketa-gaitasun handia, etab.) behar baitira MCa duten modeloak simulatzeko. Horren arrazoi nagusiak hiru dira: etengailu bidirekzionalen simulazioaren problematika, modulazio- eta kontrol-egituren konplexutasuna eta bihurgailuaren maiztasun altuko funtzionamendua (5 - 15 kHz). Hori dela-eta, denbora asko behar izaten da MC bat duten modeloak simulatzeko. Horretaz gain, arazoa kritikoa bihurtzen da MC bat baino gehiago dituzten sistemak simulatu nahi direnean. Ondorioz, sistema horien simulazioa nekagarria bihurtzen da, eta egin daitekeen simulazio-kopurua asko mugatzen da.

Alde horretatik, MCaren simulazioa hobetzen duen SSMA (*Switching State Matrix Averaging*) simulazio-teknika berria aurkeztuko da tesi honetan. Teknika hori erabiltzean, nabarmen azkartzen da MCaren eta bere modulatzailearen simulazioa, eta lortuko diren emaitzek oso zehatzak izaten jarraituko dute. Horri esker, bihurgailuaren diseinu-prozesua azkartu egingo da, kontrolatzaileen doitze- eta balioztatze-prozesuak egiteko behar den denbora minimizatu egingo baita. Ondorioz, bihurgailuaren garapen-prozesuaren kostuak murriztu egingo dira.

Lehenik eta behin, MCaren simulazioaren problematika aztertuko da kapitulu honetan, eta simulazioak luzeak izatearen ardura duten faktoreak aztertuko dira. Ondoren, MCa simulatzeko dauden aukerez arituko gara, MCaren simulazioan ebazleek duten eragina aztertuz, eta interpolazio-tekniken sailkapena eginenez. Horren ostean, tesi honetan proposatutako SSMA simulazio-teknika berria aurkeztuko da. Teknika horretan erabiltzen den interpolazio-algoritmo berria deskribatuko da matematikoki; bestalde, teknika horren bidez lortutako emaitzen zehaztasuna frogatuko da (bai simulazio-teknika arruntekin konparatuz, eta baita emaitza esperimentalekin konparatuz ere), eta lortzen diren denbora-aurrezpenak aurkeztuko dira. Bi plataforma simulatuko dira horretarako: MCarekin konektatuta dagoen haize-errota txiki baten modeloa eta MCarekin konektatuta dagoen makina bultzatzaile batena. Amaitzeko, MC asko dituzten modeloen problematika aztertuko da, eta SSMA teknikari esker lortutako denbora-aurrezpenak erakutsiko dira, SSMA teknikaren baliagarritasuna frogatuz.

6.2. MCaren simulazioaren problematika

Bereziki, hiru faktoregatik dira MCak dituzten modeloen simulazio-denborak hain luzeak:

1. Etengailu bidirekzionalen simulazioa

Zenbait aukera daude MCaren etengailu bidirekzionalak (2.3.1. atala) si-

mulatzeko. Adibidez, etengailu bidirekzionalak osatzen dituzten gailu erdieroaleen (diodoen eta IGBTen) portaera deskribatzen duten ekuazioak erabil daitezke modeloa egiteko [160, 163]¹. Horretaz gain, IGBTak kontrolatzeko erabiltzen diren *driverak* ere gehitu daitezke modelora [164]. Alde horretatik, SPICE (*Simulation Program with Integrated Circuit Emphasis*) simulazio-softwarea erabiltzen da sarritan modelo horiek simulatzeko [160, 163, 164].

Gailu erdieroaleen eta horien *driveren* modelo matematiko zehatzak erabiltzea oso baliagarria da, bihurgailuaren efizientzia eta galerak zehazki aztertuta nahi direnean, edota hardware-mailako azterketak (*driveren* diseinua, adibidez) egin behar direnean. Hala ere, simulatu beharreko modeloaren konplexutasuna nabarmen handitzen da. Gailu erdieroaleen portaera deskribatzen duten ekuazioez gain, kontuan izan behar dira etengailuen arteko konmutazioetan erabiltzen diren pauso anitzeko konmutazio-estrategiak, etengailu bidirekzionalak simulatzen direnean. Adibidez, pausoak 200 ns ingurukoak dira korrontearen noranzkoan oinarritzen den lau pausotako konmutazio-estrategia ezartzean [7]. Ondorioz, simulazioa egin ahal izateko hainbat kalkulu egin behar dira, eta modeloa simulatzeko behar den denbora luzeegia da. Adibidez, 18 minutu behar dira [160] erreferentzian aztertzen den MCaren portaeraren 40 ms simulatzeko, aipatutako metodologia jarraituz.

Aldiz, helburua bihurgailuaren kontrol- eta modulazio-algoritmoen azterketa bada, nahikoa da etengailu bidirekzionalak idealak direla kontsideratzea [151, 165–167] (ACSL - *Advanced Continuous Simulation Language*, SPICE, Saber eta Matlab/Simulink simulazio-softwareak erabiltzen dira lan horietan, besteak beste). Hau da, pizten direnean zirkuitulabur bat sortzen dutela eta itzaltzen direnean zirkuitu irekian gelditzen direla kontsideratzea, alde batetik, eta konmutazioak bat-batean gertatzen direla ($\Delta t_{comm} = 0$) kontsideratzea, bestetik². Era horretara, ez da beharrezkoa pauso anitzeko konmutazio-estrategiarik kontsideratzea eta ezta etengailuen modelo matematiko konplexurik kontuan hartzea ere. Fenomeno horiek kontsideratzeak ez du zentzu handirik kontrol-sistemen diseinu-prozesuan, egoera iragankor luzeak aztertuta behar izaten baitira, eta ez baita beharrezkoa maila horretan gertatzen diren fenomenoak aztertzea. Hala ere, oso konplexuak izaten jarraitzen dute modelo horiek, jarraian azalduko diren bi faktoreak direla bide.

¹Zehaztasun-maila ezberdinak izan ditzakete gailu horien modelo matematikoeak, egin nahi den azterketaren arabera.

²Artikulu askotan zuzenean aipatzen ez bada ere, horiek dira MCa simulatzeko gehien erabiltzen diren hurbilketak.

2. Maiztasun altuko funtzionamendua

MCak oso kommutazio- eta modulazio-maiztasun altuetan egin behar du lan, bihurgailu horrek duen potentziala ahalik eta gehien aprobetxatu nahi bada. Horren ondorioz, bihurgailuaren simulazio-prozesuan egin behar den eragiketa-kopurua nabarmen handitzen da, eta simulazioa burutzeko beharrezkoa den denbora asko luzatzen da. Jarraian, bihurgailuaren maiztasun altuko funtzionamendua justifikatzen duten arrazoiak azalduko dira:

- Modulazio-maiztasun (f_{sw}) altuak aukeratzean, posible da f_c ebaketa-maiztasun handiagoa duten iragazkiekin lan egitea. Horrela, iragazkiaren osagai erreaktiboan (C_F eta L_F , 2.2 irudia) tamaina murriztu egin daiteke.
- Bihurgailuaren erdieroaleen kommutazioek osagai harmonikoak sortzen dituzte modulazio-maiztasunaren inguruan. Maiztasun horiek eliminatzeko ahalik eta handiena izan behar du modulazio-maiztasunak. Aldi berean, f_c ebaketa-maiztasuna baino askoz ere handiagoa. Modulazio-maiztasun handietan funtzionatuz, sortutako harmonikoak ordena altukoak dira, eta horiek ez dira sare elektrikoarentzat hain kaltegarri. Ondorioz, MCak sintetizatutako tentsio eta korronteen kalitatea hobetzen da.
- Distortsio harmoniko baxuko seinaleak lor daitezke modulazio-teknika bektorialak (SVM) erabiltzen direnean [101, 106, 128, 168]; askatasun-gradu bat dagoenez, kommutazio-sekuentzia ezberdinak ezartzen dituzten aldaerak erabil daitezke (3.3.3. atala). DS SVM modulazio-teknika [68] nabarmentzen da aldaera horien artean.

Bi helburu lortzen dira DS SVM modulazio-teknika erabiliz. Alde batetik, kommutazioen banaketa uniformeak lortzen da bihurgailua osatzen duten gailu erdieroaleen artean; horrela, gainberotze arazoak ekiditen dira [58]. Bestetik, MCak sintetizatutako seinaleen kalitatea hobetu egiten da SVM teknika konbentzionalarekin alderatuz. Guzti hori T_{sw} modulazio-periodoetan zehar hamabi bektore aldaketa eginez lortzen da. Beraz, kommutazio-maiztasuna handitu egiten da DS SVM modulazio-teknika erabiltzen denean.

- MCak tenperatura altuko inguruneetan egin dezake lan, bihurgailu horrek ez baitu elementu erreaktibo nabarmenik. Beraz, bihurgailuak ez du, printzipioz, maiztasun altuetan operatzeko arazorik.

Zentzu horretan, 6.1(a) taulako parametroak dituen MCak sarreran sintetizatutako korrontek erakusten ditu 6.1 irudiak, bihurgailua RL karga

6.1 taula. Simulatutako plataformen parametroak.

(a) Bihurgailu matriziala.

Sarrerako iragazkia		MCaren parametroak	
C_F	4.7 μF	V_{in}	220 V_{rms}
L_F	1.6 mH	P_{out}	7.5 kW
R_d	33 Ω	f_{sw}	12.5 kHz
f_c	2 kHz		

(b) Iman iraunkorreko sorgailu sinkronoa.

PMSG			
R_s	2.3 Ω	B	0.118 N.m.s
L_{sd}, L_{sq}	46.3 mH	P	6
ψ_F	2.4 Wb	ω_N	200 r.p.m.
J	0.6 kg.m ²	P_N	6 kW

(c) Iman iraunkorreko makina sinkronoa.

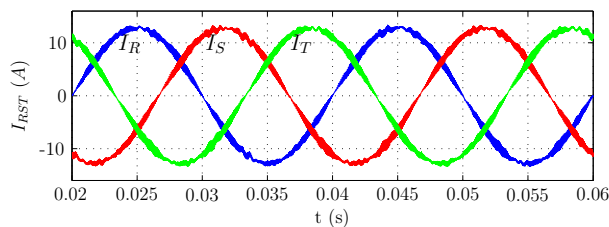
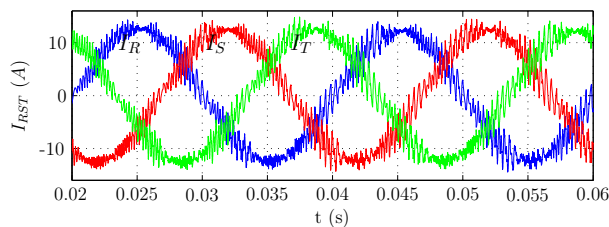
PMSM			
R_s	0.165 Ω	B	$3.4e^{-3}$ N.m.s
L_{sd}, L_{sq}	4.45 mH	P	4
ψ_F	0.3429 Wb	ω_N	2000 r.p.m.
J	$16.83e^{-3}$ kg.m ²	P_N	10.6 kW

batekin konektatzen denean ($R = 11.5 \Omega$ eta $L = 18.2$ mH), DS SVM modulazio-teknika erabiltzen denean eta f_{sw} modulazio-maiztasuna 5 kHz-etakoa eta 12.5 kHz-etakoa denean. Egoera horretan, sarrerako korranteen THDa hobetu egiten da modulazio-maiztasunaren balioa handitzean, % 18.44-tik % 4.13-ra, hain zuzen ere. Beraz, MCaren maiztasun altuko funtzionamendua justifikatuta dago.

3. Modulazioaren eta kontrolaren konplexutasuna

MCa duen sistema baten modeloa simulatzen denean, sarrerako iragazkiaren eta kargaren portaera deskribatzen dituzten ekuazioak ebatzi behar dira simulazio-pauso bakoitzean. Gainera, beharrezkoa da kontrolarekin eta modulazioarekin erlazionatuta dauden hainbat eragiketa egitea, modulazio-periodo bakoitzean. Adibide modura, MC batekin konektatuta dagoen iman iraunkorreko sortzaile sinkrono (PMSG, *Permanent Magnet Synchronous Generator*) (6.2 irudia) bat duen haize-errota txikiaren³ modeloa

³IEC61400-2-Ed2 estandarren arera, haize-errota txikiak 15 m baino diametro txikiagoa eta 65 kW baino gutxiagoko potentzia daukaten haize-errotak dira.

(a) $f_{sw} = 12.5$ kHz(b) $f_{sw} = 5$ kHz

6.1 irudia. Modulazio-maiztasun ezberdinak erabiltzean MCaren sarreraren sintetizatutako korronteen kalitatearen konparaketa.

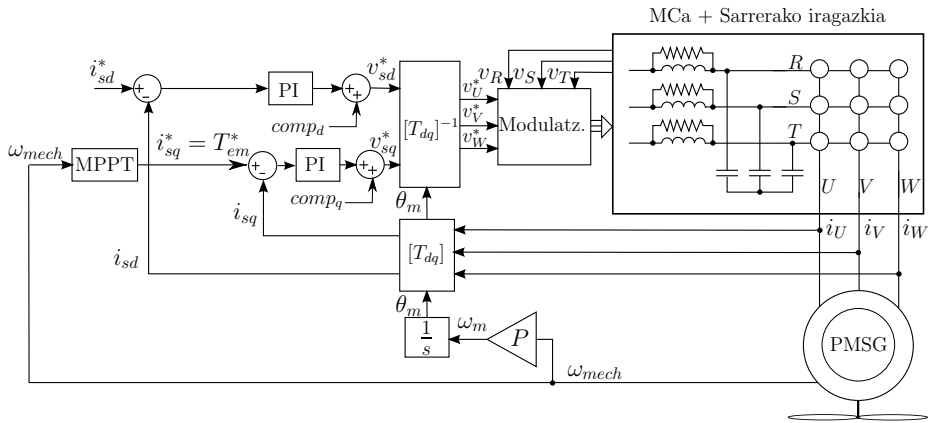
aztertuko da jarraian, simulazio-modeloaren konplexutasuna ilustratzeko.

Haize-erroten kasuan, desiragarria da haizetik lortzen den potentzia maximizatzea, eta horretarako begizta itxiko kontrol-teknika egokiak erabili behar dira [3]. Zentzu horretan, MPPTaz (*Maximum Power Point Tracking*), korrante-begizta eta 3.3. atalean deskribatutako SVM modulazio-teknika ezartzen duen moduladoreaz osatzen den kontrol-eskema erakusten du 6.2 irudiak. Era horretan, MCaren etengailuen aktibazio eta desaktibazioak potentzia maximoa jasotzeko kontrolatzen dira. Jarraian, kontrol-eskema horren printzipioak azalduko dira.

Sorgailuarekin batera biratzen duen dq erreferentzia-sisteman deskriba daitezke PMSGaren portaera azaltzen duten ekuazioak [112]. Sistema horretan, PMSGaren estatoreko korronteak honela emanak datoz:

$$v_{sd} = R_s i_{sd} + L_{sd} \frac{di_{sd}}{dt} - \omega_m L_{sq} i_{sq}, \quad (6.1)$$

$$v_{sq} = R_s i_{sq} + L_{sq} \frac{di_{sq}}{dt} + \omega_m (L_{sd} i_{sd} + \psi_F), \quad (6.2)$$



6.2 irudia. MPPT algoritmo baten bidez kontrolatutako haize-errota txikia.

non v_{sd} , v_{sq} , i_{sd} eta i_{sq} estatoreko tentsio eta korronteak diren; R_s , L_{sd} eta L_{sq} estatoreko erresistentzia eta induktantziak, ψ_F iman iraunkorrek sortutako fluxu magnetikoa eta ω_m sorgailuaren abiadura elektrikoa diren. Bestalde, PMSGak sortzen duen momentu elektromagnetikoa honela adieraz daiteke:

$$T_{em} = \frac{3}{2} P \{ \psi_F i_{sq} + (L_{sd} - L_{sq}) i_{sd} i_{sq} \}. \quad (6.3)$$

Amaitzeko, makinaren atal mekanikoa era honetan adieraz daiteke:

$$\frac{d}{dt} \omega_{mech} + B \omega_{mech} = \frac{(T_t - T_{em})}{J_{eq}}, \quad (6.4)$$

non J_{eq} turbinaren inertzia-momentua, T_{em} generadoreak sortutako momentu elektromagnetikoa, T_t haize-errotaren palek sortutako momentua, P polo-kopurua, ω_{mech} makinaren abiadura mekanikoa ($\omega_m = P \omega_{mech}$) eta B marruskadura-koefizientea diren.

Sorgailuaren abiadura mekanikoa neurtuz, MPPT blokeak haizetik ahalik eta potentzia handiena lortzeko beharrezkoa den momentu elektromagnetikoa kalkulatu du aldi oro [169]:

$$T_{em}^* = k_{opt} \omega_{mech}^2 - B \omega_{mech}, \quad (6.5)$$

non k_{opt} haize-erota bakoitzaren araberako parametroa den. Parametro horrek T_{em}^* erreferentziako momentu elektromagnetikoa eta abiadura mekanikoa erlazionatzen ditu. Era horretan, haize-erota potentzia maximoa lortzeko puntuan mantentzen da. Erreferentziako momentu elektromagnetikoak, aldiz, korrante-begiztako i_{sq}^* erreferentziako korrantea inposatzen du. Bestalde $i_{sd}^* = 0$ baliora finkatzen da, PMSGaren imanak demagnetizatu ez daitezen.

Sorgailuaren estatorean neurtutako \vec{i}_{UVW} korrante-bektorea erreferentziako balioekin konparatzeko, dq erreferentzia-sistemara transformatzen da Clarkeren eta Parken transformazioak konbinatuz (A.2. eranskina):

$$[T_{dq0}] = \frac{2}{3} \begin{pmatrix} \cos \theta & \cos(\theta - 2\pi/3) & \cos(\theta + 2\pi/3) \\ -\sin \theta & -\sin(\theta - 2\pi/3) & -\sin(\theta + 2\pi/3) \\ 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \end{pmatrix}. \quad (6.6)$$

Era horretan, estatoreko korranteen eta erreferentziako korranteen arteko erroreak zero bihurtzen dituzten erreferentziako tentsioak sortzen dituzte korrante-begiztako PIek. Ondoren, etengailuen sekuentzia egokiak ezarriz, MCaren irteeran tentsio horiek sintetizatzen ditu modulatzailak. Tentsio horiek desiraturiko korranteak sortzen dituzte sorgailuaren estatorean. Ondorioz, haizetik potentzia maximoa jasotzeko beharrezkoa den momentu elektromagnetikoa sortzen da. Bestalde, $comp_d$ eta $comp_q$ konpentsazio-terminoak gehitzen dira sistemaren erantzun dinamikoa hobetzeko (3.5. atala).

Sarrerari dagokionez, sareko tentsio-bektorearen fase-angelua neurtu behar da $\cos \varphi_{in}$ potentzia-faktorea kontrolatzeko; horretarako, PLL edo FLL egiturak erabil daitezke (5. kapitulua). Potentzia-faktorea kontrolatuz, sarera ematen den potentzia aktiboa eta errektiboa kontrolatzen dira. Bestalde, MCaren sarrerako korranteak iragazi egin behar dira, sarreratik korrante sinusoidalaren iturri bezala ikus dadin bihurgailua. Alde horretatik, bigarren ordenako LC iragazkiak maiztasunean duen erantzuna erakusten dute (2.1)-(2.4) transferentzia-funtzioek (2.3.2. atala).

Beraz, modelo bat lortzen da aurrez aztertutako kasuan. Sorgailu sinkronoa, sarrerako iragazkia, modulazioa, kontrola, etengailuak⁴ eta modulazio- eta kommutazio-maiztasun altuak kontsideratzen ditu modelo horrek. Modeloa deskribatzen duten ekuazio matematiko horiek guztiak ebatzi behar ditu simulazioaz arduratzen den plataformak.

⁴Etengailu bidirekzional idealak kontsideratzen dira tesi honetan, atal honen hasieran aipatutako arrazoiak direla-eta.

Simulatu beharreko sistema osatzen duten blokeek denbora-konstante ezberdinak dituzte. Alde batetik, atal mekanikoari dagokion dinamika motela da, segundoen ordenakoa da aztertutako aerosorgailuaren kasuan. Beraz, nahikoa da milisen- gundoen ordenako simulazio-pausoa erabiltzea modeloaren parte hori zehaztasu- nez simulatu ahal izateko. Bestalde, kontrola eta ezarri beharreko lan-denboren kalkulua errepresentatzen dituzten blokeek exekuzio-periodo laburra dute. Azter- tutako sistemaren kasuan, $80 \mu\text{s}$ -takoa da T_{sw} periodo hori. Azkenik, T_{sw} baino zenbait magnitude-ordena txikiagoa izan behar du modulatzailak kalkulaturako bektoreen ezarpena (3.6(a) eta 3.6(b) irudiak), sarrerako iragazkia eta makina- ren modelo elektrikoa modelatzen dituzten blokeen simulazio-pausoak. Adibidez, simulazio-pauso horren balioa $0.1 \mu\text{s}$ eta $1 \mu\text{s}$ bitartekoa izan behar du azter- tutako kasuan (6.3.2. atala), pauso finkoko ebazlea erabiltzen denean. Azken hori beharrezkoa da emaitza zehatzak lortu nahi baldin badira. Ondorioz, karga konputazional handia du simulatu beharreko modeloak, eta denbora asko behar da modelo hori simulatzeko, potentzia-sistemaren kontrol algoritmoen arazketa- eta doiketa-prozesuak luzatuz.

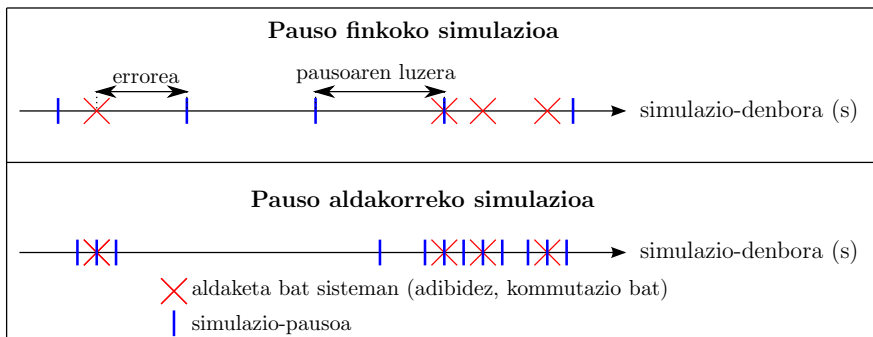
Aukeratzten den ebazlearen arabera, zenbait erataria simula daiteke aipatutako modeloa, jarraian azalduko den bezala.

6.3. MCa simulatzeko aukerak

6.3.1. Ebazle-motak

Simulazioak pausoka egiten dira. Simulazio-pauso bakoitzean sistemaren por- taera deskribatzen duten ekuazioak ebazten dira. Horretarako, integrazio- algoritmoetan (Euler, Runge-Kutta, etab.) oinarritzen diren ebazleak (*solver*, ingelesez) ezartzen dira. Bestalde, simulazio-pauso bakoitzari simulazio-denbora bat dagokio. Simulatutako sistema mundu errealean zein aldiunetan legokeen adierazten du denbora horrek. Simulazio-denbora hori zehazteko, ebazleak den- bora jakin bat (pausoaren luzera deritzona) gehitzen dio aurreko simulazio- pausoaren simulazio-denborari.

Funtsean, ebazleak bi multzo nagusitan bana daitezke: pauso finkoan exekutatzen direnak eta pauso aldakorrean exekutatzen direnak (6.3 irudia). Simulazio bat pauso finkoan exekutatzen dela esaten da, simulazioan zehar pausoaren luzera fin- ko mantentzen denean. Aldiz, pauso aldakorreko simulazioetan, pausoaren luzera aldatu egiten da sistemaren dinamikaren arabera. Zentzu horretan, simulazio- pausoa laburtu egiten da, baldin denbora tarte jakin batean sistema asko aldatzen bada; horrela, simulazioaren zehaztasuna hobetzen da. Aldiz, aldaketa gutxi ger-



6.3 irudia. Simulazio-pausoak pauso finkoko eta pauso aldakorreko simulazioetan.

tatzen diren aldiuneetan, pausoa luzatu egiten da. Pausoaren luzera zehazteko, pauso aldakorreko ebazleek algoritmo bereziak erabiltzen dituzte. Horri esker, egin beharreko pauso-kopurua era efizientean kontrolatzen da.

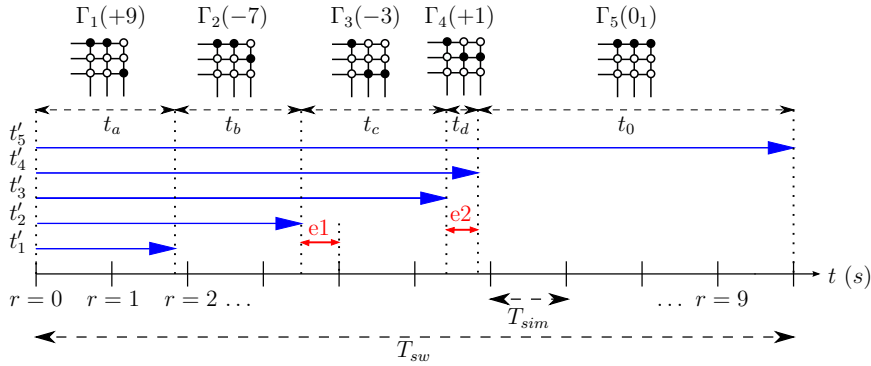
Jarraian, ebazle-mota bakoitzak MCaren simulazioan zein eragin duen aztertuko da.

6.3.2. Pauso finkoko simulazioa vs pauso aldakorrekoa

Modulazio bektoriala (SVM) erabiltzean, bektore jakin batzuk ezarri behar dira T_{sw} modulazio-periodo bakoitzean zehar (bost aurpegi bakarreko SVM modulazioaren kasuan eta hamahiru DS SVM modulazioaren kasuan, 3.3. atala). Alde horretatik, aurpegi bakarreko konmutazio-sekuentzia baten adibidea erakusten du 6.4 irudiak. Ezartzen den bektore bakoitzari Γ_i matrize bat dagokio sekuentzia horretan, non $i = 1, 2, \dots, 5$ den. Bektoreak ezartzean MCaren etengailuen zein egoera duten adierazten dute matrize horiek (3.3 irudia). Bestalde, Γ_i konmutazio-egoera noiz amaitzen den adierazten du t'_i denborak. Denbora horrek T_{sw} modulazio-periodoaren hasiera du oinarri bezala, 6.4 irudiak erakusten duen bezala.

Aurretik aipatu bezala, pausoaren luzera konstante mantentzen da simulazioan zehar pauso finkoko ebazleak erabiltzen direnean (T_{sim} , 6.4 irudia). Etengailuen konmutazioak ez daudenez T_{sim} simulazio-pausoekin sinkronizatuta, hurrengo simulazio-erroreak gertatzen dira:

1. Bi simulazio-pausoren artean gertatzen diren bektore aldaketek hurrengo simulazio-pausoan bakarrik izango dute eragina; era horretara, errore bat



6.4 irudia. Aurpegi bakarrekoko SVM modulazioa: bektore aktibo eta nuluen distribuzioa T_{sw} periodoan zehar, $R = 10$ denean.

gehitzen da (adibidez, "e1" tartean, 6.4 irudia).

2. Ezarri behar den bektorearen ezarpen-denbora oso laburra denean, eta bektore hori jarraian dauden bi simulazio-pausoren artean ezarri behar bada (adibidez t_d , 6.4 irudia), modulatuzaileak ez du esandako bektorea ezartzen. Ondorioz, simulazio-errote bat sortzen da "e2" denbora-tartean zehar (6.4 irudia), hau da, Γ_3 konmutazio-egoera aktibatzen da denbora tarte horretan (benetan, Γ_4 konmutazio-egoera ezarri beharko litzateke).

Maiztasun baxuko perturbazio irregularrak (*jitter*, ingelesez) sortzen dira aipatutako errore horien ondorioz [170]. Gauzak horrela, MCAk simulazioan zehar sintetizatutako korronteen eta tentsioen kalitate harmonikoa gutxitu egiten da. *Jittera* erabilitako simulazio-metodoaren ondorioz sortzen da, eta ez du sistemaren inongo portaera errealik adierazten [171]. *Jittera* minimizatzeko aukera bat da T_{sim} simulazio-pausoa murriztea. Ordainetan, modeloaren karga konputazionala handitzen da; MCAk dituzten modeloak oso konplexuak direnez, simulazioa nabarmen moteltzen da.

Bestalde, pauso aldakorrekoko simulazio-teknikak erabili daitezke. Konmutazioak gertatzen diren aldiunak zehaztasun handiz aurkitzen dituzte pauso aldakorrekoko ebazleek (6.3 irudia). Horrela, lortutako simulazio-emaitzak oso zehatzak dira, pauso finkoko simulazioarekin erlazionatuta dauden *jitter* arazoak konpondu egiten baitira. Hala ere, simulatu beharreko sistema konplexua denean (adibidez, MCAren kasuan), pauso aldakorrekoko simulazioak burutzeko behar den denbora gehiegizkoa da.

Pauso finkoko simulazioak sortzen dituen simulazio-erroreak kuantifikatzeko as-

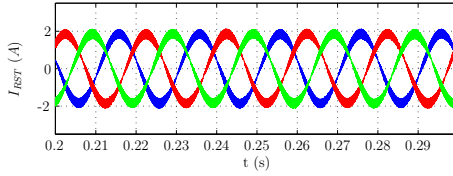
moz, pauso finkoko eta pauso aldakorreko ebazleak erabiliz simulatu da 6.2 irudiko plataforma. Horretarako, *Matlab/Simulink* simulazio-programa erabili da. Gainera, T_{sw} modulazio-periodoan zehar bektore-kopuru ezberdinak ezartzen dituzten modulazio-algoritmoak (aurpegi bakarreko SVM modulazioa eta DS SVM modulazioa) izan dira kontuan analisi horretan. Plataforma horren parametro esanguratsuenak erakusten dituzte 6.1(a) eta 6.1(b) taulek.

MCaren sarreran eta irteeran lortutako korronteen emaitzak erakusten dituzte 6.5(a) eta 6.5(b) irudiek, pauso aldakorreko ebazlea eta aurpegi bakarreko SVM modulazioa erabiltzen direnean. Egoera horretan, etengailuen konmutazioak aldiune egokietan ezartzen dira; ondorioz, simulazio-emaitza zuzenak lortzen dira. Aldiz, korrontek distortsionatuta azaltzen dira pauso finkoko ebazlea erabiltzen denean (6.5(c) eta 6.5(d) irudiak). Simulazio-metodoaren ondorioz sortzen da distortsio hori, eta ez du bihurgailuaren portaera erreala adierazten. Sare elektrikora bidalitako korrontek kargan sintetizatutakoek baino distortsio handiagoa dute (6.2 taula), kargaren ebaketa-maiztasuna oso baxua baita.

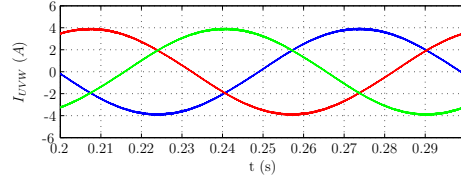
Simulazio-pausoa (T_{sim}) laburtu egin behar da pauso finkoko simulazioak sortzen dituen erroreak gutxitu nahi badira. Horrela, pauso aldakorreko ebazlea erabiltzean lortutako zehaztasun-mailara hurbildu daiteke pauso finkoko simulazioa. Alde horretatik, pausoaren luzera murriztu ahala pauso finkoko simulazioan lortutako THDaren balioa pauso aldakorrean lortutakoaren baliorantz nola hurbiltzen den (% 18tik % 8.10era) erakusten du 6.2 taulak.

Bestalde, pauso finkoko eta aldakorreko ebazleak erabiltzean, eta DS SVM modulazio-teknika bektoriala ezartzean lortutako korrontek erakusten ditu 6.6 irudiak. Aurpegi bikoitzeko sekuentzia dela-eta, sarrerako korronteen kalitatea hobetu egiten da, pauso aldakorreko simulazioak erakusten duen bezala. Hala ere, gora egiten du modulazio-periodo bakoitzean ezarri beharreko bektore-kopuruak. Ondorioz, behera egiten dute bektore horiei dagozkien ezarpen-denborek. Beraz, T_{sim} pausoarekiko sentikorragea da DS SVM modulazio-teknika pauso finkoko ebazleak erabiltzen direnean (6.6(c) eta 6.6(d) irudiak). Aurpegi bakarreko modulazio-sekuentziarekin konparatuz gero, gehiago murriztu behar da T_{sim} simulazio-pausoa, pauso aldakorreko ebazleak erabiltzean lortutako zehaztasun-mailara hurbildu nahi bada (6.2 taula). Pauso finkoko ebazlea erabiltzen denean sarrerako I_R korrontean lortzen diren maiztasun baxuko osagai harmonikoak (*jiterra*) azaltzen ditu 6.7 irudiak, pauso-luzera ezberdinetarako. Irudi horretan ikusten den bezala, osagai horien anplitudeak txikitu egiten dira T_{sim} -en balioa txikitzen den heinean.

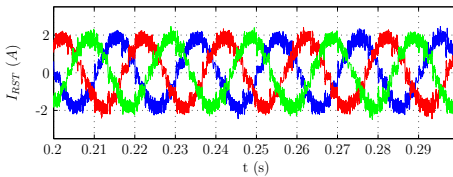
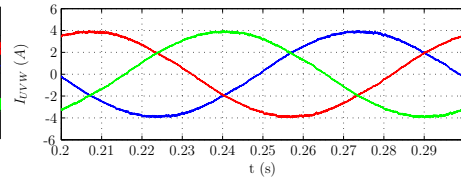
Errealak ez diren fenomenoak azaltzeaz gain, kontrol-begizta ezegonkortzeko gaitasuna dute simulazio-erroreek (bereziki, sistema egoera iragankorrean ari denean) [170]. Arrazoi horiek guztiak direla-eta, komenigarria da interpolazio-



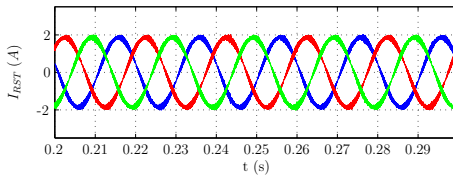
(a) Pauso aldakorreen simulatutako MCaren sarrerako korronteak.



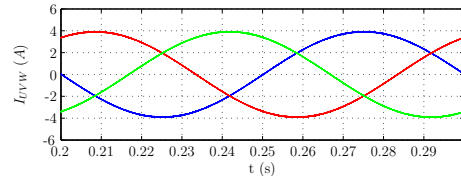
(b) Pauso aldakorreen simulatutako MCaren irteerako korronteak.

(c) Pauso finkoan simulatutako MCaren sarrerako korronteak, $T_{sim} = 10 \mu s$ denean.(d) Pauso finkoan simulatutako MCaren irteerako korronteak, $T_{sim} = 10 \mu s$ denean.

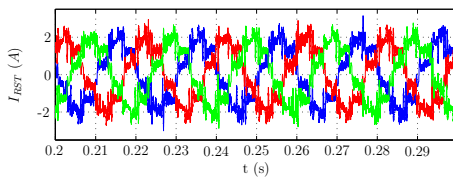
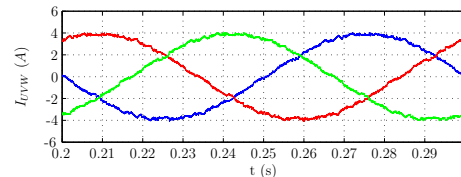
6.5 irudia. Pauso aldakorreen eta pauso finkoan MCak sintetizatutako sarrerako eta irteerako korronteak, aurpegi bakarrek SVM modulazio-teknika erabiltzen denean.



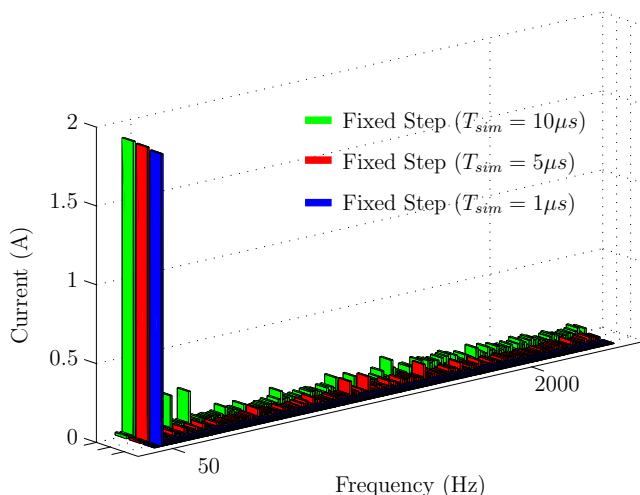
(a) Pauso aldakorreen simulatutako MCaren sarrerako korronteak.



(b) Pauso aldakorreen simulatutako MCaren irteerako korronteak.

(c) Pauso finkoan simulatutako MCaren sarrerako korronteak, $T_{sim} = 10 \mu s$ denean.(d) Pauso finkoan simulatutako MCaren irteerako korronteak, $T_{sim} = 10 \mu s$ denean.

6.6 irudia. Pauso aldakorreen eta pauso finkoan MCak sintetizatutako sarrerako eta irteerako korronteak, DS SVM modulazio-teknika erabiltzen denean.



6.7 irudia. Sarrerako I_R korrontearen espektro harmonikoa T_{sim} ezberdinetarako, pauso finkoko ebazlea eta DS SVM modulazioa erabiltzen direnean.

6.2 taula. Simulazio- eta modulazio-teknika ezberdinen bidez lortutako THDa.

T_{sim}	Sarrerako korrontearen THDa (%)							
	Pauso aldakorra	Pauso finkoa				SSMA metodoa		
	-	$0.1 \mu s$	$1 \mu s$	$5 \mu s$	$10 \mu s$	$5 \mu s$	$10 \mu s$	$40 \mu s$
SVM	8.12	8.10	8.29	12.30	18.00	7.94	6.52	1.17
DS SVM	4.08	3.98	4.78	16.17	29.51	3.82	2.92	0.31

teknikak erabiltzea, pausoaren luzera gehiegi murriztu gabe pauso finkoan zehaztasunez simulatu ahal izateko. Interpolazio-teknikei buruz hitz egingo da jarraian.

6.3.3. Interpolazio-teknikak

Simulazio-pausoa gehiegi murriztu gabe potentzia-sistemak simulatu ahal izateko baliaigarriak diren zenbait teknika aurki daitezke literaturan [172–174]. Alde batetik, simulazio konbentzionalak azeleratzeko erabil daitezke teknika horiek. Bestalde, HIL (*Hardware in the Loop*) aplikazioetan erabiltzeko oso baliaigarriak dira interpolazio-teknikak, sistema konplexuak denbora errealean simula baitaitezke teknika horiei esker (7. kapituluaren arituko gara MCaren denbora errealeko simulazioaz).

Interpolazio-algoritmoetan oinarritzen dira aipatutako teknika horiek, eta simulazio-pausoen gehiegizko luzerak eragindako erroreak konpentsatzea ahalbideratzen

dute. Adibidez, interpolazio bikoitzeko metodoa (DIM, *Double Interpolation Method*) da horietako bat [172, 173]. Teknika horren bidez lortutako emaitzak oso zehatzak dira. Hala ere, teknika horren karga konputazionala nahikoa altua da; ondorioz, ez da teknika oso azkarra⁵. Berriz, DIM metodoan egin behar den eragiketa-kopurua murriztea lortzen da interpolazio-estrapolazio metodoak (IEM, *Interpolation plus Extrapolation Method*) erabiliz gero. Hala ere, sistema-ren portaera fisikoarekin bat ez datozen harmonikoak sortzen dira teknika horiek ezartzean [174], eta hori printzipioz ez da komenigarria. Bestalde, etengailu bakoitzaren errorea hurrengo simulazio-pausoan zuzentzen du PCM metodoak (*Post Correction Method*); IEM teknikan bezala, itxurazko harmonikoak gehitzen ditu metodo horrek maiztasun baxuko espektroan [174].

Hala ere, posible da ordena baxuko itxurazko harmonikorik gabeko emaitzak lortzea gehiegizko karga konputazionalik gabe. Horretarako, oso baliagarriak dira batezbesteko interpolazio-metodoak (TAM, *Time Averaging Method*). Zentzu horretan, potentzia-bihurgailuen etengailuen batezbesteko operazioaren definizio posible bat, S etengailuaren maiztasun baxuko osagaiak lortzeko balio duena, honelaxe emana dator [171]:

$$\langle S(t) \rangle = \frac{1}{T} \int_{t-T}^t S(t) dt. \quad (6.7)$$

Potentzia-bihurgailuen kontrolatzaileak diseinatzeko oso erabilgarriak dira batezbesteko interpolazio-metodoak, arrazoi hauexek direla-bide [174]:

- (a) Kontrolatzaileek jasotzen dituzten seinaleak iragazita daude gehienetan.
- (b) Normalean, kontrolatzaileak behin baino ez dio erantzuten sistemari modulazio-periodo bakoitzean.

Jarraian, TAM metodoan oinarritzen den eta MCaren simulazioa azkartzeko oso baliagarria den SSMA simulazio-teknika berria aurkeztuko da.

6.4. SSMA simulazio-teknika berria

6.4.1. Sarrera

Simulatutako modeloaren deskribapen orokorra egingo da SSMA simulazio-teknika berria sakonean azaldu aurretik. Alde horretatik, modeloaren diagrama

⁵Bereziki, denbora errealeko simulaziorako da kritikoa faktore hori, denbora errealean exekutatu behar baitira kalkulu guztiak.

orokorra azaltzen du 6.8 irudiak. Modeloaren osagai nagusiak “C” programazio-lengoian idatzitako *S-Function*ak erabiliz deskribatu dira⁶. Horri esker, erabili beharreko bloke-kopurua murriztu egiten da eta arazketa-prozesua erraztu egiten da [114, 155].

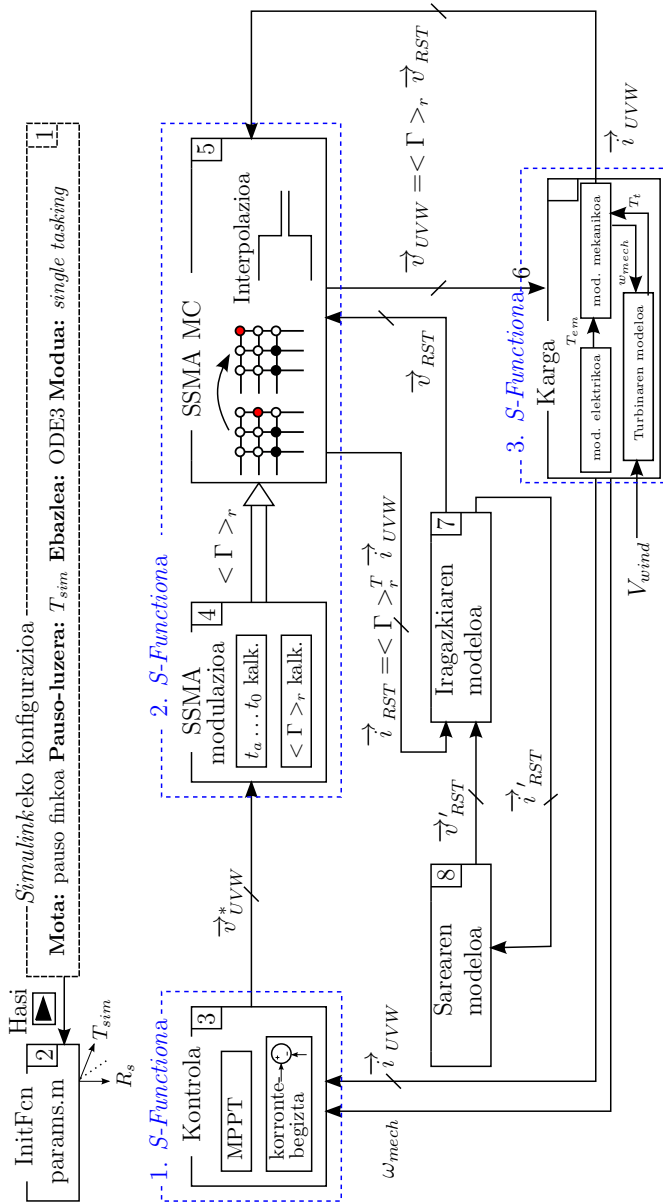
Modeloaren bloke nagusiak hauexek dira (6.8 irudia):

- Simulazio-parametroen definizioari dagokion blokea (6.8 irudia, 1. blokea). Pausoaren luzera (T_{sim}) finkoa duen ODE3 ebazlea aukeratu da, egoera jarraitu (*continuous*, ingelesez) eta diskretuekin lan egin baitezake ebazle horrek, karga konputazional moderatuarekin eta zehaztasun onarekin. Bestalde, *single tasking* modua aukeratu da, simulazio-periodo ezberdinak dituzten blokeak sekuentzia egokian exekutatzeko.
- Modeloaren parametroen abiarazte-blokea (6.8 irudia, 2. blokea). Modeloaren parametroak *params.m* deritzon fitxategian daude gordeta. Simulazioa abiarazten denean, fitxategi hori exekutatzen da.
- Aztertutako sistemaren begizta itxiko kontrolatzaileak (MPPT, korrontebegizta, etab.) deskribatzen dituen *S-Function*ak (6.8 irudia, 3. blokea).
- Proposatutako SSMA interpolazio-teknikaren inplementazioa (6.8 irudia, 4. eta 5. blokeak). *S-Function* bakarrean inplementatu dira bi bloke horiek. Alde batetik, konmutazio-egoeren matrizearen batezbestekoa ($\langle \Gamma \rangle_r$) kalkulatu du laugarren blokeak simulazio-pauso bakoitzean. Horrela batezbesteko espresio matematiko baliokide baten bidez errepresentatzen da MCaren portaera, non aipatutako matrizearen $\langle S_{ij} \rangle$ elementuek bederatzi etengailu bidirekzionalen batezbesteko balioak adierazten dituzten. Beraz, matrizearen $\langle S_{ij} \rangle$ elementu bakoitzaren balioa zero eta bat bitartean egongo da beti.

Bestalde, batezbesteko irteerako tentsioak eta sarrerako korronteak kalkulatu dira bosgarren blokean aurretik kalkulatuak $\langle \Gamma \rangle_r$ matrizea erabiliz. Azken bi bloke horiek sakonean deskribatuko dira 6.4.2. atalean.

- Modeloaren atal elektrikoa (6.1)-(6.3) eta haize-errotaren sorgailuaren atal mekanikoa (6.4) deskribatzen dituen blokea (6.8 irudia, 6. blokea).
- Iragazkiaren modelo (2.1)-(2.4) eta sare elektrikoaren modelo (6.8 irudia, 7. eta 8. blokeak) deskribatzen dituzten blokeak. *Simulink*eko bloke estandarrek erabiliz deskribatu dira modeloaren atal horiek .

⁶Era berean, *S-Function*ak erabili dira aurreko ataletan azaldutako pauso aldakorrekota eta pauso finko estandarrekota modeloak inplementatzeko garaian.



6.8 irudia. MCarekin konektatuta dagoen PMSGaren modeloaren diagrama Matlab-Simulinken.

6.4.2. MCentzako SSMA simulazio-teknika berria

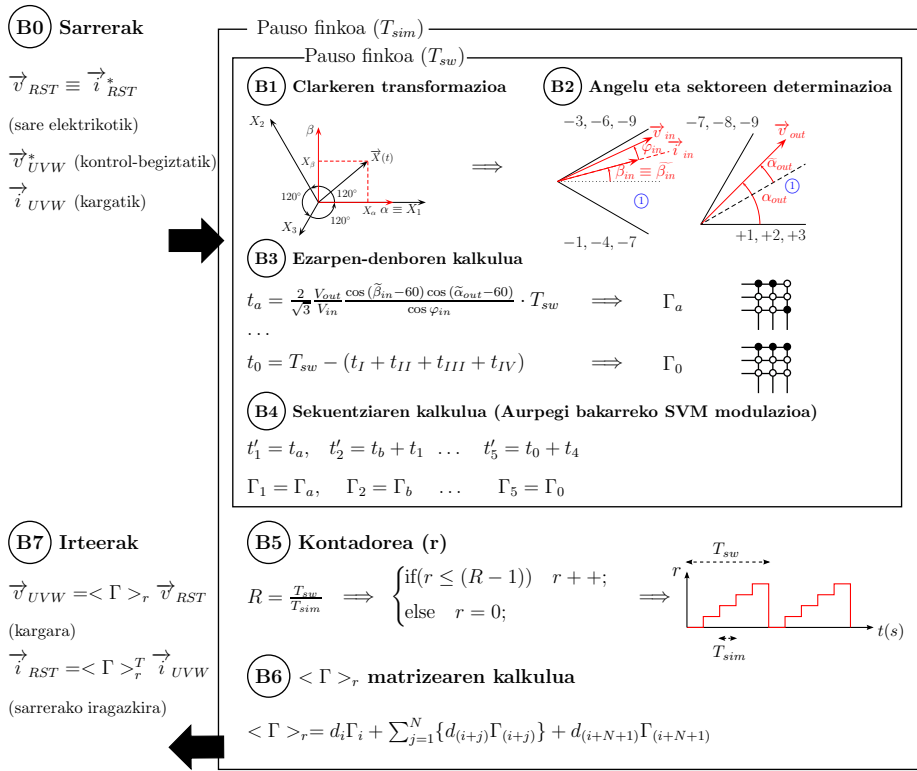
Tesi honetan proposatzen den SSMA (*Switching State Matrix Averaging*) simulazio-teknikak erabiltzen duen interpolazio-algoritmoa aurkeztuko da jarraian. Sintetizatutako seinaleen zehaztasuna hobetzen da teknika horri esker (pauso finkoan, T_{sim} pausoaren luzera gehiegi txikitu gabe). Gainera, modelo osoaren (6.2 irudia) simulazioa nabarmen azkartzen du SSMA teknikak.

MCa simulatzeko proposatzen den estrategia berriak 6.9 irudian azaltzen den egitura jarraitzen du, non hauexek diren SVM modulazioa osatzen duten blokeak:

- (B1) Clarkeren transformazioa (A.1. eranskina).
- (B2) Angeluen eta sektoreen determinazioa.
- (B3) Ezarpen-denboren kalkulua.
- (B4) Ezarri beharreko konmutazio-sekuentzien determinazioa.
- (B5) r kontadorea.
- (B6) Kommutazio-egoeren matrizearen batezbesteko balioaren kalkulua.

Alde batetik, T_{sw} modulazio-periodo bakoitzean exekutatzeko dira (B1) eta (B4) blokeak. Printzipioz, simulazio-pausoaren luzerak oso txikia izan behar du bektoreen ezarpenaz arduratzen den blokean (6.3.2. atala). Hala ere, simulazio-emaizetan zehaztasunik galdu gabe handitu daiteke T_{sim} simulazio-pausoaren luzera tesi honetan proposatutako SSMA simulazio-teknika ezartzen bada. Horretarako, simulazio-pauso bakoitzean ezarritako bektoreen batezbestekoak kalkulatu dituzte SSMA teknikak (6.9 irudia, (B5) eta (B6) blokeak). Era horretara, bihurtutako sarreran eta irteeran sintetizatutako korronteen eta tentsioen batezbesteko balioak lortzen dira (6.9 irudia, (B7) blokea). Ondoren, sarrerako iragazkia eta makinaren atal elektrikoa deskribatzen dituzten bloketan (6.8 irudia, 6. eta 7. blokeak) ezartzen dira simulazio-pauso bakoitzean kalkulatu-tako korrante eta tentsio horiek. Guzti hori kontuan izanda, modeloaren karga konputazionala nabarmen gutxitzen da. Modeloaren gainontzeko atalak ez dira proposatutako teknikaren bidez interpolatzen, bloke horien denbora-konstanteak askoz ere handiagoak baitira.

Modulazio-teknika bektorialak (aurpegi bakarrek SVM modulazioa, DS SVM, etab.) erabiltzean posible da T_{sw} periodoan zehar ezarri behar diren bektoreen sekuentziak eta horien iraupena alde aurretik ezagutzea [170]. Informazio horri esker, konmutazio-egoeren matrizearen ($\langle \Gamma \rangle_r$) batezbesteko balioa kalkulatu du proposatutako metodoak simulazio-pauso bakoitzean. Proposatutako teknika gauzatu ahal izateko, modulazio-periodo bakoitzaren hasiera sinkroniza-



6.9 irudia. Modulazio-algoritmoa ezartzen duen modeloaren diagrama, SSMA teknika eta aurpegi bakarreko SVM modulazioa erabiltzen direnean.

tuta egon behar da simulazio-pausoekin. Azken baldintza hori kontuan izanda, honelaxe defini daitezke simulazioaren erresoluzioa:

$$R_{sim} = \frac{T_{sw}}{T_{sim}}, \tag{6.8}$$

non modulazio-periodo bakoitzean dagoen simulazio-pausoen kopurua adierazten duen R_{sim} zenbaki osoak. Bestalde, modulazio-periodo jakin batetako zein simulazio-pausotan aurkitzen den simulazioa adierazten du r kontadoreak (6.9 irudia, B5. blokea). Beraz, $r = \{0, 1, \dots, (R_{sim} - 1)\}$ da.

Behin r parametroaren balioa ezaguna den, batezbesteko $\langle \Gamma \rangle_r$ matrizea kalkulatu da (6.9 irudia, B6. blokea). Oro har, Γ matrizearen batezbesteko balioa (simulazio-pauso jakin batentzako) honelaxe emana dator:

$$\langle \Gamma \rangle_r = \sum_{k=i}^{i+n} d_k \Gamma_k, \quad (6.9)$$

non r simulazio-pausoan zehar ezarri behar den lehengo bektorea adierazten duen i azpindizeak. Bestalde, r simulazio-pausoan zehar Γ_k konmutazio-egoera ezartzen den denbora-frakzioa adierazten du d_k aldagaiak, eta simulazio-pauso horretan zehar ezartzen den bektore-kopurua adierazten du $n + 1$ balioak. Beraz, T_{sim} periodoan zehar Γ_i bektore bakarria ezartzen bada, bektore horri dagokion d_i denbora-frakzioaren balioa bat da; ondorioz:

$$\langle \Gamma \rangle_r = \Gamma_i. \quad (6.10)$$

Bestalde, bektore bat baino gehiago ezar daiteke simulazio-pauso batean zehar. Bektore bat baino gehiago ezartzeko dagoen probabilitatea handitu egiten da pausoaren luzera handitzen bada, edota bektoreen ezarpen-denborak laburtzen badira. Alde horretatik, r simulazio-pauso berean hasi eta amaitzen diren bektoreen kopurua adierazten du N zenbakiak. Hurrengo egoerak bereiz daitezke N parametroaren balioaren arabera:

- (a) $N = 0$ denean, bektore-aldaketa bakarria gertatzen da simulazio-pausoan zehar (6.10(a) irudia). Zentzu horretan, posible da simulazio-pausoan zehar ezarritako bektoreei dagozkien d_i denbora-frakzioak kalkulatzeko t'_i denborak eta r kontadorea erabiliz. Era horretara, konmutazio-egoeren matrizearen batezbesteko balioa lortzen da:

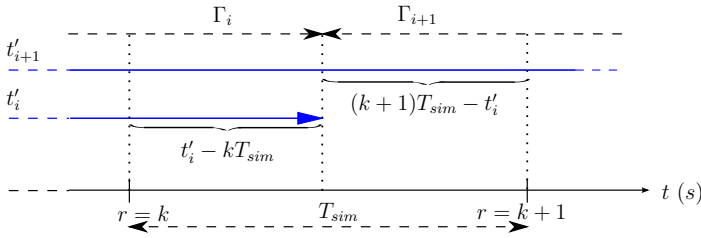
$$\langle \Gamma \rangle_r = d_i \Gamma_i + (1 - d_i) \Gamma_{(i+1)}, \quad (6.11)$$

non

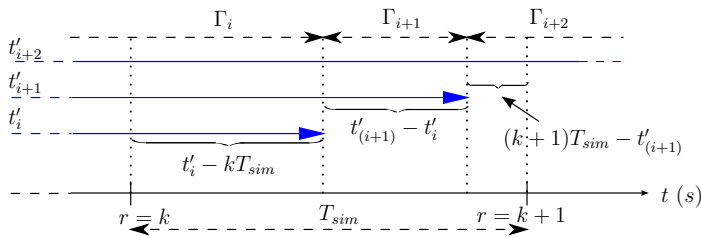
$$d_i = \frac{t'_i - r T_{sim}}{T_{sim}}. \quad (6.12)$$

Modulazio-periodoaren hasieratik Γ_i konmutazio-egoera desaktibatu arte pasatzen den denbora-tartea adierazten du t'_i denborak (6.4 irudia). Beraz, beharrezkoa da denbora horiek kalkulatzeko modulazio-periodo bakoitzaren hasieran.

- (b) $N \neq 0$ denean (6.10(b) irudia), honelaxe kalkulatu da konmutazio-egoeren matrizearen batezbestekoa:



(a) $N = 0$.



(b) $N = 1$.

6.10 irudia. SSMA teknikaren ezarpenaren adibideak.

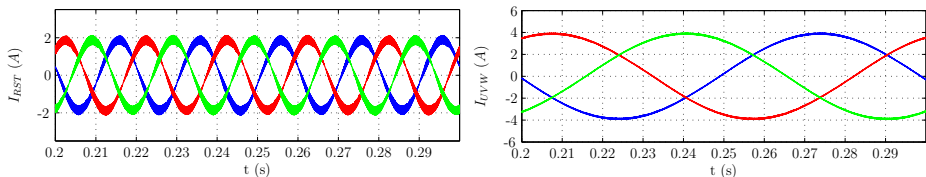
$$\langle \Gamma \rangle_r = d_i \Gamma_i + \sum_{j=1}^N \{d_{(i+j)} \Gamma_{(i+j)}\} + d_{(i+N+1)} \Gamma_{(i+N+1)}. \quad (6.13)$$

Berriz ere, (6.12) espresioarekin bat dator d_i denbora-frakzioa. Bestalde, simulazio-pauso berean hasi eta amaitzen diren bektoreei dagozkien denbora-frakzioak hauexek dira:

$$d_{(i+j)} = \frac{t'_{(i+j)} - t'_{(i+j-1)}}{T_{sim}}. \quad (6.14)$$

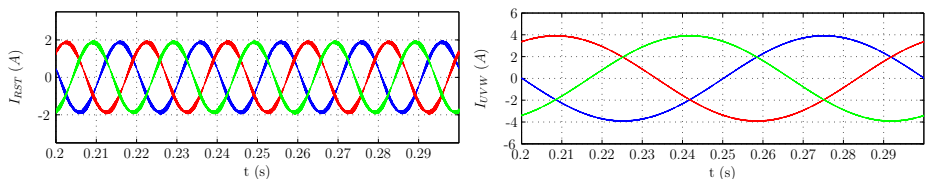
Amaitzeko, simulazio-pauso bakoitzean ezartzen diren bektoreen denbora-frakzioen baturaren emaitza bat izan behar denez, honelaxe kalkulatzen da simulazio-pausoa osatzen duen bektorearen denbora-frakzioaren balioa:

$$d_{(i+N+1)} = 1 - d_i - \sum_{j=1}^N d_{(i+j)}. \quad (6.15)$$



(a) MCaren sarrerako korronteak, $T_{sim} = 10 \mu s$ denean. (b) MCaren irteerako korronteak, $T_{sim} = 10 \mu s$ denean.

6.11 irudia. SSMA simulazio-teknika eta aurpegi bakarreko SVM modulazioa erabiltzean lortutako MCaren sarrerako eta irteerako korronteak.



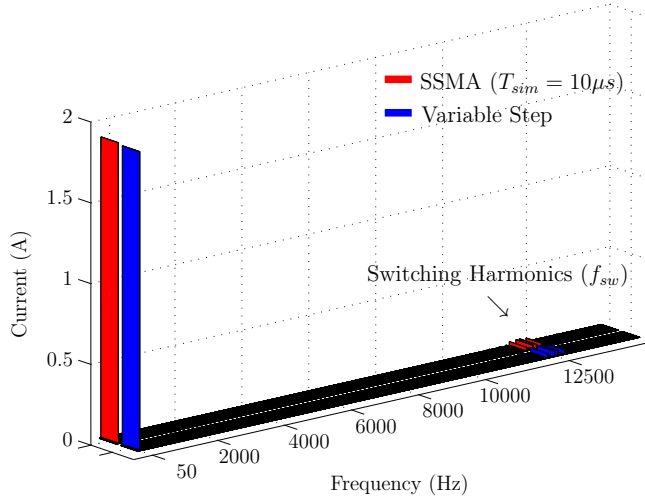
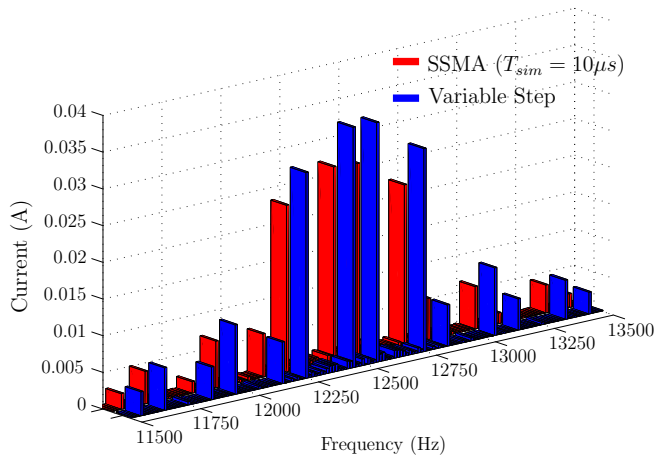
(a) MCaren sarrerako korronteak, $T_{sim} = 10 \mu s$ denean. (b) MCaren irteerako korronteak, $T_{sim} = 10 \mu s$ denean.

6.12 irudia. SSMA simulazio-teknika eta DS SVM modulazioa erabiltzean lortutako MCaren sarrerako eta irteerako korronteak.

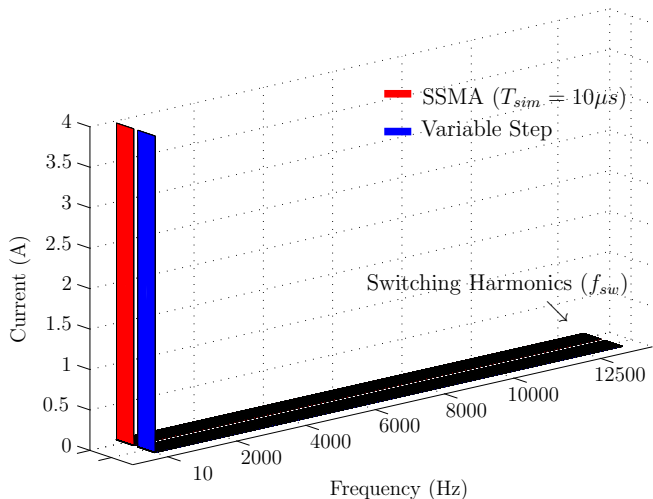
Simulazio-pauso jakin bati dagokion $\langle \Gamma \rangle_r$ matrizea kalkulatu ondoren, irteerako batezbesteko tentsioak eta sarrerako batezbesteko korronteak kalkulatu behar dira. Horretarako, matrize horrekin biderkatzen dira MCaren sarrerako tentsioak eta irteerako korronteak (3.2)-(3.3) (6.9 irudia, B7 blokea).

Proposatutako simulazio metodoaren eraginkortasuna frogatzeko, 6.2 irudiak erakusten duen modeloa simulatu da SSMA simulazio-teknika erabiliz. Modeloaren parametro esanguratsuenak erakusten dituzte 6.1(a) eta 6.1(b) taulek. Bestalde, aurpegi bakarreko SVM eta DS SVM modulazio-teknikak ezarri dira, eta T_{sim} simulazio-pausoaren luzera $10 \mu s$ -tan finkatu da (6.4.3. atalean justifikatuko da aukeraketa hori). Zentzu horretan, SSMA simulazio-teknika erabiltzean sintetizatutako korronteak erakusten dituzte 6.11(a) - 6.12(b) irudiek. Emaitza horiek bat datoz pauso aldakorreko ebazleak erabiltzean lortutakoekin (6.5 eta 6.6 irudiak).

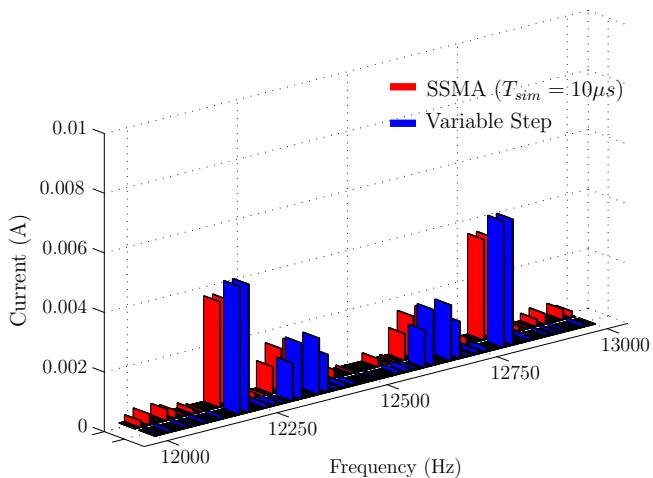
DS SVM modulazio-teknika erabiltzean (kasu murriztaileena) sintetizatutako sarrerako eta irteerako korronteen espektro harmonikoak erakusten dituzte 6.13(a) - 6.14(b) irudiek, pauso aldakorreko simulazioa eta SSMA teknika erabiltzen direnean. Maiztasun baxuko osagaien portaera oso antzekoa da bi kasuetan. Al-

(a) I_R korrontearen espektroa.(b) I_R korrontearen espektroa modulazio-maiztasunaren inguruan (6.13(a) irudiaren xehetasuna).

6.13 irudia. DS SVM modulazio-teknika erabiltzean sarreran sintetizatutako I_R korrontearen espektro harmonikoa.



(a) I_U korrontearen espektroa.



(b) I_U korrontearen espektroa modulazio-maiztasunaren inguruan (6.14(a) irudiaren xehetasuna).

6.14 irudia. DS SVM modulazio-teknika erabiltzean irteeran sintetizatutako I_U korrontearen espektro harmonikoa.

de horretatik, sarrerako korrontearen oinarritzko osagai harmonikoaren errorea % 0.56koa da SSMA simulazio-teknika erabiltzen denean. Aldi berean, irteerako korronteko oinarritzko osagai harmonikoaren errorea arbuiagarria da. Bestalde, f_{sw} modulazio-maiztasunaren inguruan sarrerako eta irteerako korronteeak duten espektro harmonikoa erakusten dute 6.13(b) eta 6.14(b) irudiek. SSMA simulazio-teknikak f_{sw} maiztasunaren inguruan T_{sim} ezberdinetarako duen portaera azaltzen du 6.15(a) irudiak.

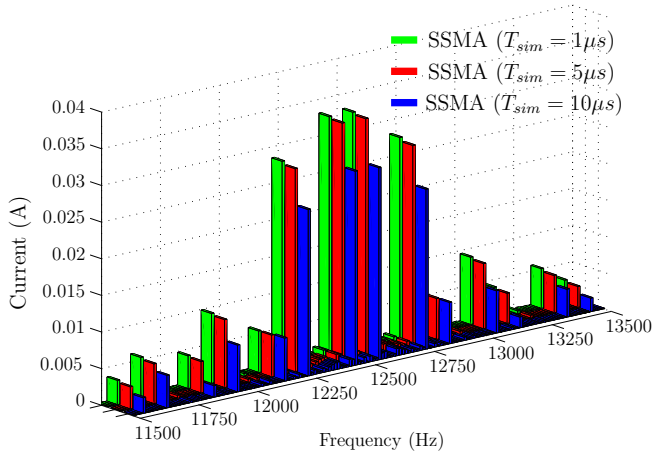
Proposatutako teknikak maiztasun baxuko osagaietan duen portaera zehaztasun handiagoz aztertu ahal izateko, sare elektrikoa desorekatuta dagoela (4.2. atala) kontsideratu da:

$$\vec{v}_{in} = \vec{e}_p + \vec{e}_n = E_p e^{j\omega_{int}t} + E_n e^{-j(\omega_{int}t + \phi)}, \quad (6.16)$$

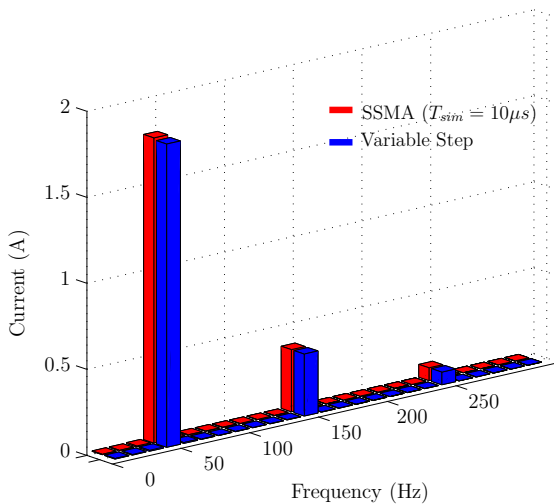
non, oinarritzko osagai negatiboaren anplitudea $E_n = 0.2E_p$ den; bestalde, $\pi/3$ da osagai horien arteko ϕ desfasearen balioa. Sarrerako erreferentziatzko potentzia-faktorea unitarioa da aztertutako egoeran (sarrerako korrontea eta sarrerako tentsioa fasean mantentzen ditu kontrolak). Gauzak horrela, ordena baxuko osagai harmonikoak agertzen dira sarrerako korrontean (6.15(b) irudia). Haizearen abiadura ezberdinak ezartzean SSMAren bidez lortutako ordena baxuko osagaien erroreak erakusten ditu 6.3(a) taulak. Harmoniko horietan lortutako errore txikiak (6.3(a) taula) proposatutako teknikaren baliagarritasuna frogatzen dute. Horretaz gain, SSMA eta pauso aldakorreko simulazioak erabiltzean eta sarean perturbazioak direnean (6.16) sintetizatutako I_R korronteeak erakusten ditu 6.16 irudiak, haizearen abiadura 6 m/s-takoa denean. Irudi horretan ikus daitekeen bezala, bi simulazio-teknikak erabiltzean lortutako korronteeak bat datoz.

Proposatutako SSMA simulazio-teknikak egoera iragankorrean duen portaera aztertzeke, haize-profil aldakor bat ezarri zaio haize-errotari. Gaur egun erreferentziatzkoa den Van der Hovenen modeloa [175] erabili da haize-profil hori sortzeko. Modelo horren arabera, bi energia-osagai nagusi ditu haizearen abiadura horizontalaren espektroak. Lehenengo osagaiaren periodoa lau egunetakoa da, eta bigarren osagaiarena minutu batetakoa. Bestalde, *Kaimal* iragazkiak erabiliz modelatu da aldi laburreko haizearen portaera (turbulentziak) [176]. Modelo horren bidez lortutako haize-profil baten adibidea erakusten du 6.17 irudiak. Alde horretatik, 6.17 irudiko haize-profila ezartzean pauso aldakorreko ebazlearekin eta SSMA simulazio-teknikarekin lortutako sarrerako eta irteerako korronteeak, momentu elektromagnetikoa eta sarrerako potentzia aktiboa (erreferentziatzko potentzia-faktore unitarioarekin) konparatzen ditu 6.18 irudiak. Emaitza horietan ikus daitekeen bezala, SSMA simulazio-teknika erabiliz lortutako emaitzak bat datoz pauso aldakorreko simulazioan lortutakoekin.

Bigarren simulazio-modelo baten bidez ere baieztatu da SSMA teknikaren ba-

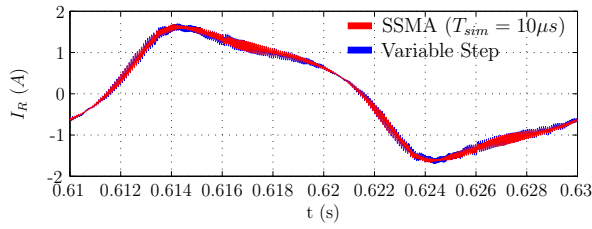


(a) T_{sim} ezberdinetarako I_R korronteak duen espektroaren xehe-tasuna f_{sw} modulazio-maiztasunaren inguruan.

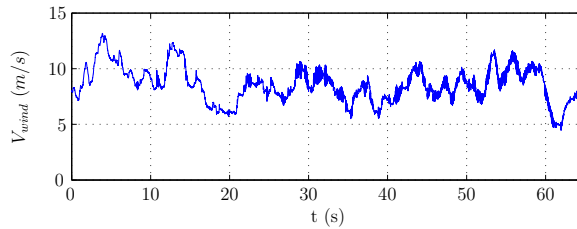


(b) Sarea desorekatua dagoenean lortzen den maiztasun baxuko I_R korrontearen espektro harmonikoaren xehe-tasuna.

6.15 irudia. Sarrerako I_R korrontearen espektro harmonikoa egoera ezberdinetan.



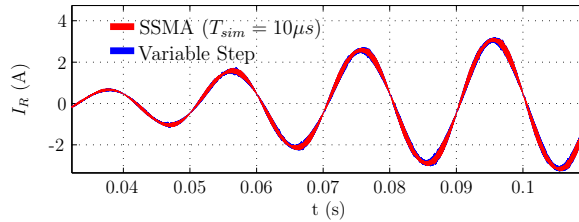
6.16 irudia. PMSGarekin konektatuta dagoen MCaren sarrerako I_R korronea, sarea desorekatua denean.



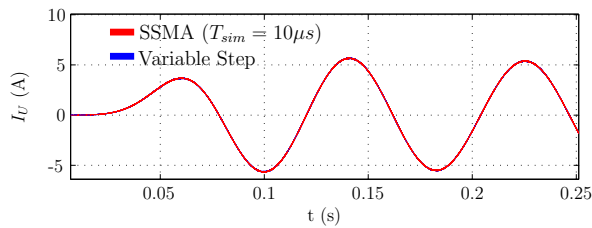
6.17 irudia. Haizearen modeloaren bidez lortutako haize-profil baten adibidea.

liozkotasuna. Modelo horretan, MC batekin konektatuta dagoen PMSM makina bultzatzaile integratu baten abiadura-kontrola azaltzen da (3.5. atalean azaldu dira kontrol horren funtzionamendu-printzipioak). Modeloaren egitura 6.19 irudian erakusten da. Korrone- eta abiadura-begiztak, SVM modulazioa, MCa eta makina elektrikoa deskribatzen ditu modelo horrek. Plataformaren parametro garrantzitsuenak biltzen dituzte 6.1(a) eta 8.5 taulek. PMSG-MC sistemarako egin den bezala, hurrengo testak egin dira:

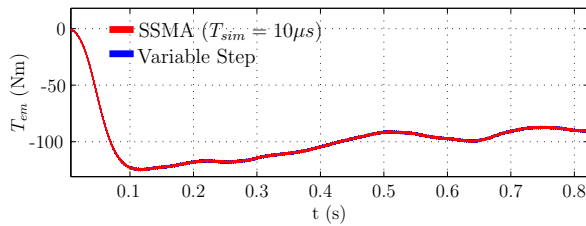
- Ordena baxuko harmonikoen azterketa sarea desorekatua denean (6.16): abiadura mekaniko ezberdinetarako lortutako maiztasun baxuko erroreak azaltzen ditu 6.3(b) taulak. Haize-errotan bezala, pauso aldakorreko eta SSMA simulazioen arteko ezberdintasunak arbuigarriak dira maiztasun baxuko osagaietan. Sarea desorekatuta dagoenean sarrerako I_R korronearen itxura zein den erakusten du 6.20(a) irudiak, pauso aldakorreko ebazlea eta SSMA simulazio-teknika erabiltzen denean. Ez da ezberdintasunik nabaritzen SSMA eta pauso aldakorreko simulazio-emaitzen artean.
- Egoera iragankorren simulazioa: PMSMaren momentu elektromagnetikoa (T_{em}) lortu da erreferentziazko abiadura mekanikoan maila-aldaketak gertatzen direnean. Haize-errotaren kasuan bezala, bat datoz SSMA teknika eta pauso aldakorreko ebazlea erabiliz lortutako egoera iragankorrak.



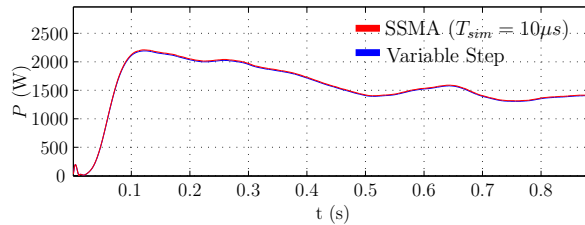
(a) Sarrerako korronea.



(b) Irteerako korronea.

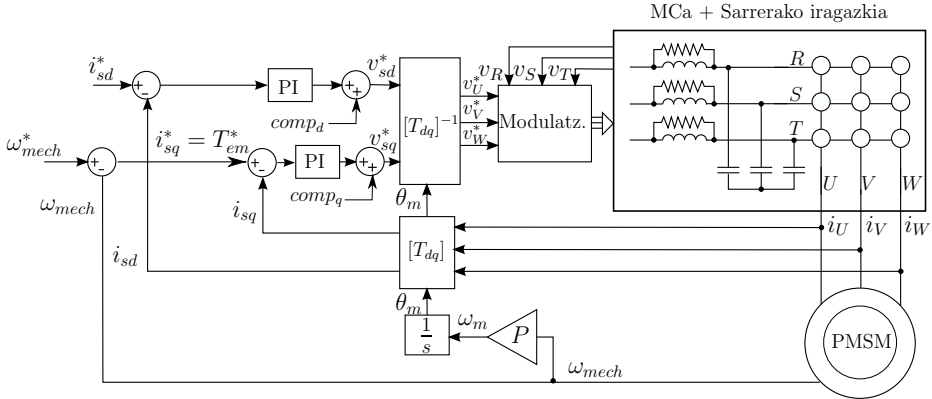


(c) Momentu elektromagnetikoa.

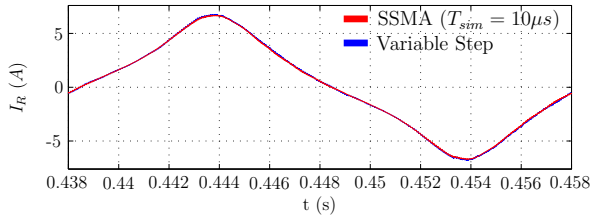


(d) Sarera bidalitako potentzia aktiboa.

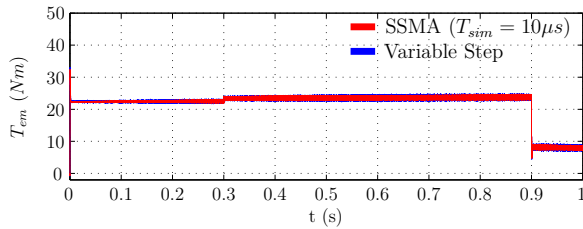
6.18 irudia. Haize-profil aldakorra erabiltzean pauso aldakorreko ebazlearen bidez eta SSMA teknikaren bidez lortutako simulazio-emaitzen arteko konparaketa.



6.19 irudia. MC batekin konzentatua dagoen PMSMaren DFOC kontrola.



(a) Makina bultzatzaile integratuaren sarrerako korrerontea $\omega_{mech} = 1000 \text{ r.p.m.}$ denean.



(b) Makinaren T_{em} momentu elektromagnetikoa, erreferentziako abiaduran aldaketak daudenean.

6.20 irudia. Aztertutako makina bultzatzaile integratuan lortutako emaitzak, sarea desorekatua denean eta egoera iragankorrean.

6.3 taula. Proposatutako SSMA simulazio-teknikak plataforma eta egoera ezberdinetan duen maiztasun baxuko portaera.

(a) MCa duen haize-errota txikiaren kasuan lortutako maiztasun baxuko osagai harmonikoen erroreak.

Haizearen abiadura (m/s)	Osagai harmonikoen errorea (%)		
	50 Hz	150 Hz	250 Hz
8	0.67	0.48	0.81
6	0.65	0.11	0.95
4	0.29	0.62	1.30

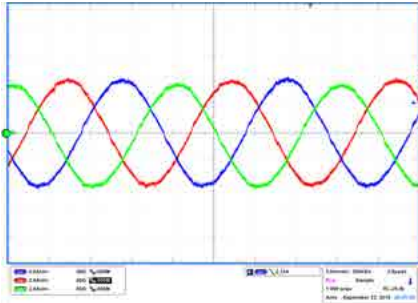
(b) MCarekin konektatuta dagoen PMSMaren kasuan lortutako maiztasun baxuko osagai harmonikoen erroreak.

ω_{mech} (r.p.m.)	Osagai harmonikoen errorea (%)		
	50 Hz	150 Hz	250 Hz
1500	0.87	0.41	0.88
1000	0.71	0.05	4.16
500	0.78	0.06	3.44
100	0.01	0.37	2.46

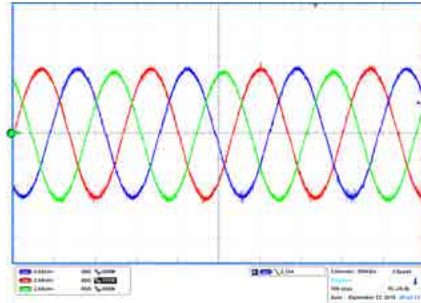
Proposatutako teknikaren bidez zehaztasun ona duten maiztasun baxuko emaitzak lortzen direla frogatu da. Ondorioz, teknika hori oso egokia da MCaren kontrol-estrategiak simulatzeko. Gainera, simulazio-pausoa gehiegi handitzen ez bada, sistemaren maiztasun altuko portaera oso ondo deskribatzen da, tesi honetan proposatutako teknikaren bidez.

Azkenik, emaitza espermentalekin konparatu dira SSMA teknika erabiliz lortutako simulazio-emaitzak. Horretarako, RL karga batekin konektatu da ikerketalaborategian eraikitako 7.5 kW-etako MCaren prototipoa (7.19 irudia), eta DS SVM modulazio-algoritmoa ezarri da (7.4. atalean deskribatuko dira prototipoa eta bere kontrola). Alde batetik, prototipoaren sarreran eta irteeran sintetizatutako korranteak erakusten dituzte 6.21(a) eta 6.21(b) irudiek. Bestalde, funtzionamendu-egoera berdinean simulatu da plataforma hori, SSMA simulazio-teknika erabiliz (6.21(c) eta 6.21(d) irudiak).

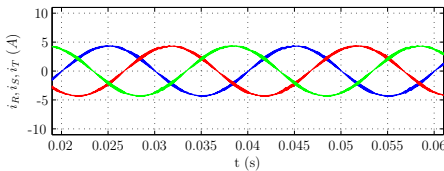
Etengailu bidirekzionalak idealak direla kontsideratu da kapitulu honetan aztertutako simulazio-modelo guztien kasuan (pauso aldakorreko modeloa, pauso finkoko modelo estandarra eta pauso finkoko SSMA modeloa). Horrek esan nahi du ez direla kontuan hartu lau pausoko kommutazio-sekuentzia (2.5. atala), kommutazioak eragindako ez-idealitateak, etab. Hala ere, simulazio-emaitzak espermentalki lortutakoekin bat datoz, 6.21(c) eta 6.21(d) irudietan ikus daitekeen bezala. Beraz, eragindako hurbilketa egokia dela baieztatzen da.



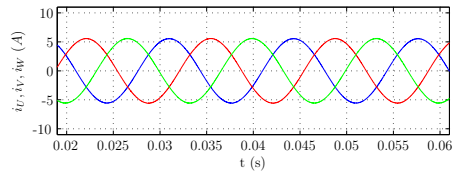
(a) Prototipoak sarreran sintetizatutako korroneak.



(b) Prototipoak irteeran sintetizatutako korroneak.



(c) Simulazioaren bidez lortutako sarrerako korroneak.



(d) Simulazioaren bidez lortutako irteerako korroneak.

6.21 irudia. Emaitza esperimentalen eta SSMA teknikaren bidez lortutako simulazio-emaitzen arteko konparaketa.

6.4.3. Exekuzio-denboren arteko konparaketa

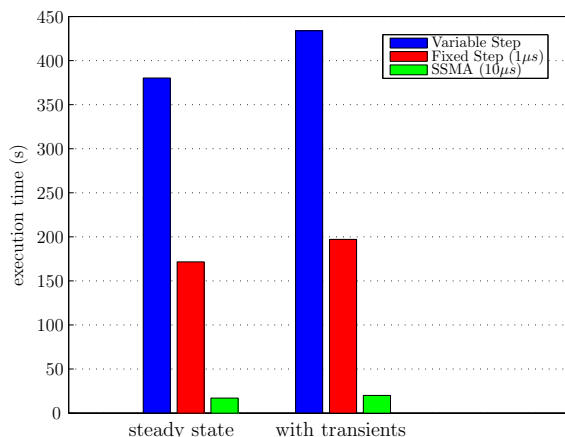
Atal honetan, pauso aldakorreko simulazioen eta pauso finkoko simulazio estandarren exekuzio-denborekin konparatuko dira proposatutako SSMA simulazio-teknika ezartzean lortutako exekuzio-denborak. Horretarako, 6.2 irudian azaltzen den haize-errota txikiaren portaeraren bi segundo simulatu dira. Erabilitako ordenagailuaren ezaugarriak hauexek dira: *Windows XP* sistema eragilea, 3.20 GHZ-etako *Pentium IV* mikroprozesadorea eta 2 GB-etako RAM memoria.

Lehenik eta behin, aipatutako sistemaren portaera simulatu da egoera iraunkorrean; ondoren, egoera aldakorrean simulatu da sistema⁷. Modeloaren exekuzio-denbora % 14ean gehitzen da egoera aldakorrean (pauso aldakorreko ebazlea erabiltzen denean), 6.22 irudian ikus daitekeen bezala. Bestalde, modeloa simulatzeko behar den denbora nabarmen gutxitzen da proposatutako SSMA simulazio-teknikari esker (6.4 taula). Adibidez, % 95.4ko denbora-aurrezpena lortu da sis-

⁷Haize-profil bat ezarri da zuzenean, hau da, ez da haizearen modeloaren karga konputazionala kontuan izan analisi horretan.

6.4 taula. Egoera iraunkor eta iragankorrean lortutako simulazio-denborak, sistemen portaeraren bi segundo simulatzen direnean.

	Egoera iraunkorra		Egoera iragankorra	
Pauso aldakorra	380.2 s	Murrizketa	433.8 s	Murrizketa
Pauso finkoa ($T_{sim} = 1 \mu s$)	171.6 s	% 54.9	197.2 s	% 54.5
SSMA ($T_{sim} = 10 \mu s$)	17.0 s	% 95.5	20.1 s	% 95.4



6.22 irudia. Pauso aldakorreko simulazioa, pauso finkoko simulazioa ($T_{sim} = 1 \mu s$) eta SSMA ($T_{sim} = 10 \mu s$) simulazio-teknikak erabiltzen direnean egoera iraunkor eta iragankorrean lortutako simulazio-denboren konparaketa.

temaren portaeraren bi segundo simulatu direnean egoera iragankorrean. Kasu horretan, $10 \mu s$ -takoa da simulatutako modeloaren pauso-luzera. Aukeraketa hori ez da arbitrarioa izan; emaitzen zehaztasunaren (6.2 taula) eta azkartasunaren arteko konpromiso oso ona lortzen da pauso-luzera hori aukeratuz.

Simulazioa partzialki azelera daiteke pauso finkoko simulazio estandarra $1 \mu s$ -tako pauso-luzerarekin egiten bada; ordainetan, zehaztasuna galtzen da. Zentzu horretan, $0.1 \mu s$ -tako pauso finkoko simulazioa ez da egingarria aztertutako ordenagailurako. Alde batetik, simulazioa oso geldoa bihurtzen da; bestetik, ataletan banatu behar da simulazioa, ordenagailuak ez baitu simulazio osoa jarraian egiteko memoria nahikoa.

Beraz, proposatutako simulazio-estrategiari esker neurri oso handian azkar daiteke simulazioa (% 95ean gutxi gora behera). Aldi berean, lortutako emaitzak oso hurbil daude pauso aldakorreko simulazioan lortutako emaitzetatik (funtsez-

ko maiztasunean % 0.56ko errorea). Horrela, bihurgailuaren balioztatze denbora, kontrolatzaileen parametroak doitzeko behar den denbora, etab. nabarmen murrizten da SSMA teknikari esker. Bestalde, teknika horri esker posible da MC bat baino gehiago duten sistema oso konplexuak simulatzea. Sistema konplexu horien simulazioari buruz arituko gara jarraian.

6.5. SSMA teknika MC asko dituzten sistemetan

Aurreko atalean ikusi den bezala, MCaren simulazioa oso konplexua da teknika konbentzionalak erabiltzen badira. MC bakarra duten modeloak zehaztasunez simulatzeko beharrezkoa den denbora oso luzea da. Ondorioz, diseinu-prozesuan egin daitekeen simulazio-kopurua nabarmen mugatuta dago. Arazo hori kritikoa bihurtzen da MC bat baino gehiago dituzten sistemak simulatu nahi direnean. Sistema horien adibide dira MCak paraleloan konektatzen dituztenak [177, 178] eta MCak dituzten haize-erroten parkeak, besteak beste. Azken horien simulazioaz arituko gara atal honetan, SSMA simulazio-teknikak sistema konplexuak simulatzeko duen gaitasuna frogatzeko.

MCak dituzten haize-errota txikiz osatzen den parke eolikoaren modeloaren exekuzio-denboren azterketa egingo da jarraian, eta simulazio-faktorea deritzon faktore berri bat definituko da horretarako. Modeloaren exekuzio-abiadura kuantifikatzeko oso baliagarria da faktore hori. Horrela, sistemaren portaeraren zenbat denbora simulatzen den (t_{simul}) ez da kontuan izan behar. Honelaxe definitzen da F_{sim} simulazio-faktorea:

$$F_{sim} = \frac{t_{exec}}{t_{simul}}, \quad (6.17)$$

non t_{exec} modeloaren exekuzio-denbora den, hau da, simulazioa egiteko behar den denbora. Beraz, simulazioa motelagoa da F_{sim} parametroaren balioa handitzen den heinean, eta alderantziz. Zentzu horretan, pauso aldakorreko eta 10 μ s-tako pauso finkoko SSMA simulazio-tekniken bidez lortutako simulazio-faktoreak erakusten dituzte 6.5 taulak eta 6.23 irudiak, haize-erroten kopuru ezberdinetarako⁸. Berriz ere, aurreko atalean deskribatutako konputagailua erabili da exekuzio-denboren analisirako.

Adibidez, haize-errota bakarra simulatzen denean (6.4.2. atalean aurkeztutako haizearen modeloa ezarri) % 99ko denbora-aurrezpena lortzen da pauso aldakorreko teknikaren ordez SSMA teknika erabiltzen bada. Hau da, simulazioa

⁸Haizearen modeloa erabili da analisi horretan. Pauso aldakorrean simulatuz haizearen modeloak simulazioari gehitzen dion karga konputazionala nabaria da.

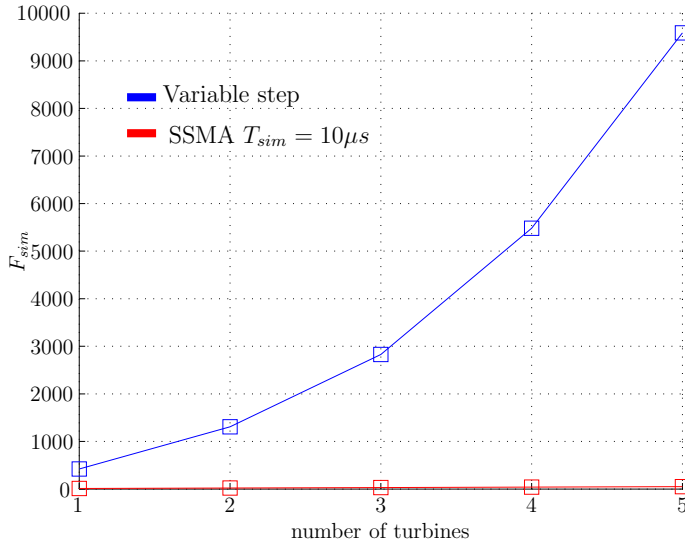
6.5 taula. Haize-erroten kopuru eta simulazio-teknika ezberdinen bidez lortutako simulazio-faktoreak.

Turbina-kopurua	Simulazio-faktorea (F_{sim})		
	Pauso aldakorra haizearen modeloa	SSMA ($T_{sim} = 10 \mu s$)	
		haize-profil konstantea	haizearen modeloa
1	421.5	8.9	11.4
2	1306.7	15.0	21.3
3	2826.6	20.8	30.7
4	5483.1	26.59	39.33
5	9590.0	32.17	48.42
6	-	37.95	58.89
7	-	42.14	68.59
8	-	48.55	76.40

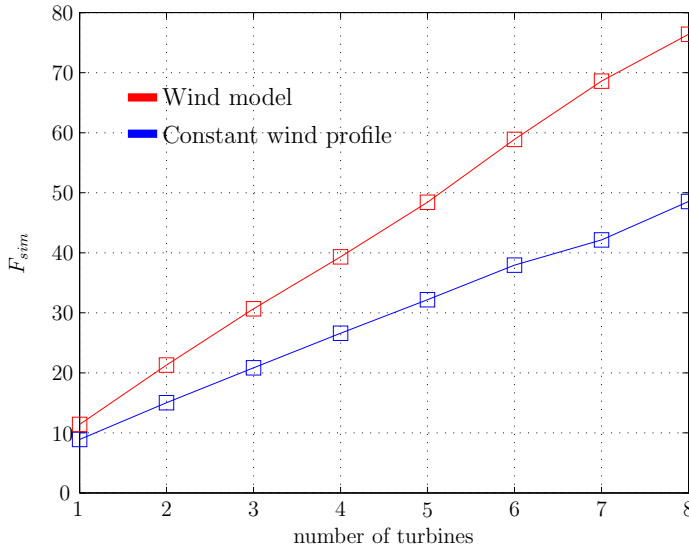
gauzatzeko 421.5 s behar izatetik 11.4 s behar izatera pasatzen da, sistema-ren portaeraren segundo bat simulatzen denean (6.5 taula). Aurreko ataletan ikusi den bezala, modelo horren pauso finkoko simulazioa ez da egingarria, oso simulazio-pauso txikia behar baita emaitza zehatzak lortzeko. Nahiz eta pausoluzera handiagoa erabiltzea posible den, zehaztasun galera nabaria dago pauso aldakorreko ebazleen bidez eta SSMA teknikaren bidez lortutako emaitzekin konparatuz gero.

Pauso aldakorreko simulazioak burutzeko beharrezkoak diren exekuzio-denborak gehiegizkoak dira simulatu beharreko potentzia-bihurgailuen kopuruak gora egiten duenean (6.5 taula). Arrazoi horregatik, pauso aldakorreko simulazioa ez da egingarria horrelako sistema konplexuetan, egin daitekeen test-kopurua oso mugatuta baitago. Gainera, simulazio-teknika konbentzionalak erabiliz simula daitekeen haize-erroten kopurua ere mugatuta dago. Adibidez, modeloa bost turbina daudenean, 160 minutu behar dira sistemaren portaeraren segundo bat simulatzeko pauso aldakorreko ebazlea erabiltzen denean. Aldiz, 50 segundo nahikoak dira SSMA teknika erabiltzen bada. Era horretan, % 99.99ko denbora-aurrezpena lortzen da SSMA teknika erabiliz.

Haize-profil konstantea eta aipatutako haizearen modeloa erabiltzen direnean SSMA teknikaren bidez lortutako simulazio-faktoreak erakusten ditu 6.24 irudiak. Praktikan, simulazio-faktorearen hazkundea lineala da turbina-kopuruarekiko SSMA teknika erabiltzen denean. Beraz, oso handiak diren parke eolikoak simula daitezke SSMA teknikari esker arrazoizko denbora tarte batean. Bestalde, simulazioa amaitzeko behar den denbora handitu egiten da haize-profilaren modeloa erabiltzen denean.



6.23 irudia. Pauso aldakorrekoko simulazioetan eta SSMA bidezko simulazioetan lortutako simulazio-faktoreen arteko konparaketa.



6.24 irudia. Haize-erroten kopuruaren arabera SSMA teknika erabiltzean lortutako simulazio-faktoreak.

6.6. Ondorioak

MCaren kontrolaren eta modulazioaren konplexutasunaren ondorioz, eta MCak modulazio-maiztasun altuetan lan egiten duenez, MCa simulatzeko beharrezkoak diren baliabideak eta exekuzio-denborak gehiegizkoak dira konputagailu arruntak erabiltzen direnean. Erabiltzen den ebazle-motaren arabera, bi taldetan bana daitezke simulazioak: pauso aldakorreko ebazleak erabiltzen dituztenak eta pauso finkoko ebazleak erabiltzen dituztenak. Bigarren talde horretan, MCaren eten-gailuen konmutazioak ez dira simulazio-pausoekin era sinkronizatuan gertatzen. Fenomeno horrek *jitter* efektuak sortzen ditu. Ondorioz, bihurtuaren portaera fiskoarekin zerikusirik ez duten maiztasun baxuko osagai harmoniko artifizialak azaltzen dira simulazio-emaitzetan. Emaitza zehatzak lortzeko beharrezkoa da simulazio-pausoa laburtzea; ordainetan, modeloaren exekuzio-denborak nabarmen handitzen dira.

Pauso aldakorreko teknikei esker, posible da konmutazioak gertatzen direnaldiuneak detektatzea. Hori dela-eta, pauso aldakorreko simulazioak ez ditu pauso finkoko simulazioak dituen *jitter* arazoak. Hala ere, simulazioaren exekuzio-denborak gehiegizkoak izaten jarraitzen dute metodo horrekin. Testuinguru horretan, pauso finkoko SSMA simulazio-teknika berria proposatu da tesi honetan. Konmutazio-egoeren matrizearen batezbestekoa kalkulatu du simulazio-pauso bakoitzean teknika horrek, eta pauso aldakorrean lortzen diren emaitzekin bat datozen emaitzak lortzen dira. Alde horretatik, PMSG bat duen haize-errota txiki baten modeloa, makina bultzatzaile integratu baten modeloa eta haize-errota txikiz osatutako parke eoliko baten modeloa aztertu dira SSMA teknikaren baliagarritasuna frogatzeko. Ikusi denez, maiztasun baxuko osagaien errorea oso txikia da sarrerako korronteen kasuan, eta arbuiagarria irteerako korronteeetan. Horretaz gain, emaitza esperimentalekin konparatu dira SSMA simulazio-teknika erabiliz lortutako emaitzak. Kasu horretan ere, emaitzak bat datoz.

Beraz, SSMA teknika oso aproposa da MCaren kontrol-algoritmoak simulatzeko. Gainera, maiztasun altuko osagaien deskribapen oso ona lortzen da simulazio-pausoa asko handitzen ez bada. Zentzu horretan, simulazioaren zehaztasunaren eta azkartasunaren artean oso konpromiso ona lortu da 10 μ s-tako pauso-luzera erabiliz, modulazio-maiztasuna 12.5 kHz denean. SSMA teknika erabiliz % 95eko denbora-aurrezpena lortzen dela ikusi da pauso aldakorreko simulazioarekin alderatuta: 20 segundo 434 segundorekin konparatuta haize-errota bakarraren kasuan. Aurrezpen horri esker, MC bat baino gehiago dituzten sistema konplexuak konputagailu arrunt batean simulatzea posible dela frogatu da, arrazoizko denbora-tarte batean. Zentzu horretan, % 99.99ko denbora-aurrezpena lortu da bost haize-errota txiki dituen parke eoliko simulatzean.

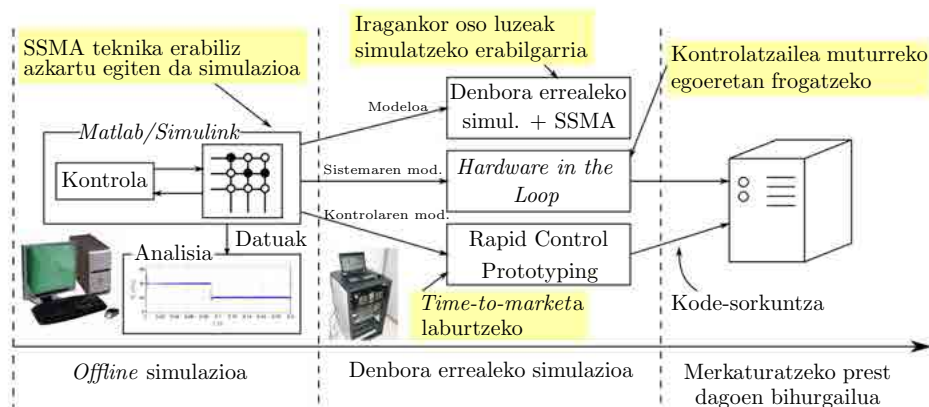
7. kapitulua

Bihurgailu matrizialaren denbora errealeko simulazioa eta prototipatze azkarreko kontrola

7.1. Sarrera

Aurreko atalean azaldu den bezala, potentzia-bihurgailuen eta horien kontrolatzaileen diseinuaren lehenengo faseetan oso betebeharrak garrantzitsuak du ordenagailu bidezko simulazio estandarrek. Bestalde, bada beste simulazio mota bat, denbora errealeko simulazioa deritzona, diseinu-prozesuko azken faseetarako oso erabilgarria dena.

Modelo jakin bat mundu errealean erritmo berean exekutatzen denean, modelo hori denbora errealean simulatzen ari dela esaten da. Hau da, simulazio-pauso bat exekutatzen denean, pauso horri dagokion simulazio-denbora bat dator simulazioa abiarazi denetik mundu errealean pasatu den denborarekin [179]. Denbora errealean simulatu ahal izateko, beharrezkoa da simulazio-pauso bakoitzean ebatzi behar diren ekuazioak hurrengo simulazio-pausoa exekutatzen hasi baino lehen ebatzea. MCA eta bere kontrola simulatzeko egin behar diren kalkuluak oso konplexuak direnez, kalkulu-gaitasun handia duten gailu bereziak erabili behar dira, horiek denbora errealean simulatu ahal izateko. DSPetan oinarritzen di-



7.1 irudia. MCaren diseinu-prozesuan erabilgarriak diren simulazio-modalitateak.

ren teknologiak (dSPACE [156, 180], RTDS [181] eta ISEADSP [153], adibidez) erabiltzen dira sarritan potentzia-sistemak eta horien kontrolatzaileak denbora errealean simulatzeko. Beste aukera bat da mikroprozesadoreetan oinarritzen diren teknologiak erabiltzea. Horien adibide dira Hydro Quebec-en Hypersim superkonputagailua [182] eta Opal-RT-ren RT-Lab eMEGAsim denbora errealeko simulatzaile digitala [183–185].

Funtsean, mikroprozesadoreetan oinarritutako simulatzaile digital horiek PC-taldeak (*clusterak*, ingelesez) dira. Sistema horiek konputazio paraleloa erabiltzen dute; horri esker, kalkulu-gaitasun oso handia lortzen da. Horrela, simulazioak azkartzeko erabil daitezke mikroprozesadoreetan oinarritutako gailu digitalak (7.1 irudia).

Sistema horietan, derrigorrezkoa da pauso finkoko ebazleak erabiltzea [186], pauso aldakorreko ebazleak ez baitira deterministak (ezin daiteke jakin zenbat denbora behar den pauso bakoitza ebazteko). Bestalde, pausoaren luzera minimo bat dago. Bi faktorek mugatzen dute luzera minimo hori. Alde batetik, kalkulu guztiak egin ahal izateko adina luze izan behar du pausoak. Bestalde, mikroprozesadoreen arteko komunikazioen ondorioz sortutako atzerapena baino handiagoa izan behar du pausoak. Pausoa nahikoa luzea izan ohi da PC-taldeetan oinarritutako gailu digitaletan denbora errealeko simulazioa egiten denean. Ondorioz, interpolazio-teknikak oso erabilgarriak dira (adibidez, SSMA interpolazio-algoritmoa MCaren kasuan) potentzia-bihurgailuak denbora errealean simulatu eta emaitza zehatzak lortu nahi badira.

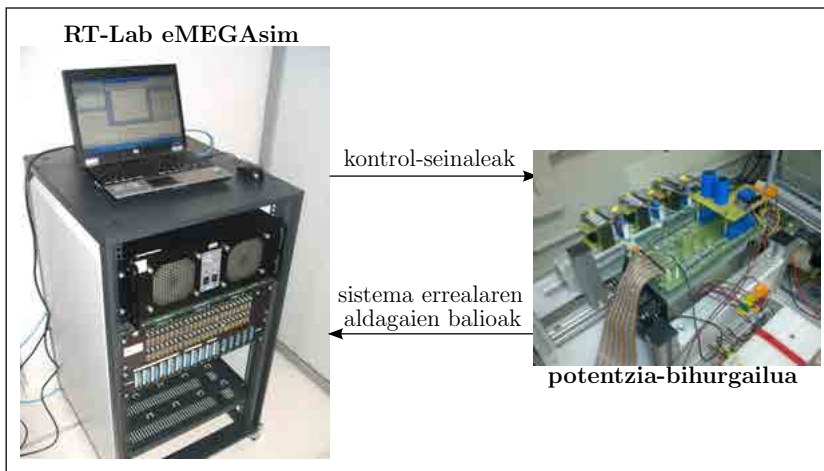
Bestalde, sarrera eta irteera analogikoak eta digitalak dituzte denbora erreale-



7.2 irudia. Denbora errealeko HIL simulazioaren eskema orokorra.

ko simulatzaile horiek. Horrela, denbora errealean simulatutako modeloa mundu errealearekin komunika daiteke. Zentzu horretan, simulatzaileak sarrera digitale-tatik jaso ditzakeen konmutazio-sinaleen eta simulazio-pausoen arteko sinkronizazio faltak eragindako erroreak kalkulatzeko gai izan behar du, informazio hori beharrezkoa baita interpolazio-algoritmoak modu egokian exekutatzeko. Aldi berean, garrantzitsua da simulatzaileak etengailuen aktibazio- eta desaktibazio-sinaleak zehaztasun handiz bidaltzeko gaitasuna izatea irteera digitalen bidez. Adibidez, funtzio horiek FPGA (*Field Programmable Gate Array*) [82, 83] gailu digital azkarrak erabiliz egin daitezke. Ezaugarri horiei esker, bi simulazio-modalitate egin daitezke (7.1 irudia): denbora errealeko *Hardware in the Loop* (HIL) simulazioa eta prototipatze azkarreko kontrola (RCP, *Rapid Control Prototyping*, ingelesez) [179]. Jarraian, bi modalitate horien printzipioak azalduko dira.

- **Denbora errealeko HIL simulazioa** asko erabili izan da automobilgintzan eta industria aeronautikoan. Hala ere, praktika nahiko berria da potentzia-elektronikaren arloan [187, 188]. Modalitate horretan, bihurgailua, sare elektrikoa, karga, etab. simulatzen dira; aldiz, kontrolatzailea erreal da. Horrela, denbora errealean exekututzen da kontrolatu nahi den sistemaren modelo fidela simulatzaile digitalean. Bestalde, sistema birtual hori kontrolatzaile erreal bat erabiliz kontrolatzen da (7.2 irudia). Denbora errealeko HIL simulazioa oso baliagarria da bihurgailuen diseinu-prozesuan, kontrolagailu fisikoak sistemaren funtzionamendu normalean eta muturreko



7.3 irudia. Prototipatze azkarreko kontrolaren eskema orokorra.

egoeretan nola funtzionatzen duen azter baitaiteke inongo prototipo gares-tirik arriskuan jarri gabe. Gainera, prototipoa eraiki aurretik froga daiteke kontrolatzailea HIL simulazioari esker. Adibidez, posible da MCaren denbora errealeko HIL simulazioa egitea RT-Lab eMEGAsim gailu digitala erabiliz, gailu digital horrek duen FPGA-n simulatuz bihurgailuaren modeloa [189].

- **Prototipatze azkarreko kontrola** oso metodologia ezaguna da, eta hainbat urtetan zehar erabili izan da bihurgailuen kontrol-algoritmoen diseinuan [73, 153, 180]. Merkatutzeko prest dauden sistema errealetan, gailu elektronikoko jakin batean inplementatzen da kontrola. Aldiz, sistemaren kontrola denbora errealean simulatzen da prototipatze azkarreko kontrolan, eta kontrolatu nahi den sistema (bihurgailua kasu honetan) erreala da. Zentzu horretan, simulatzaile digitala begizta itxian konektatzen da prototipo fisikora, 7.3 irudiak erakusten duen bezala. Horrela, simulatzaileak kontrolatu beharreko aldagaien balioak jasotzen ditu prototipo errealetik eta, aldi berean, etengailuen aktibazio- eta desaktibazio-seinaleak bidaltzen dizkio bihurgailuari. Teknika horri esker, simulazioaren eta mundu errealearen artean dagoen zubia salta daiteke, bihurgailuaren diseinu-prozesua laburtuz eta merkatutzeko-denbora (*time-to-market*, ingelesez) murriztuz [190].

Kapitulu honetan, denbora errealeko RT-Lab eMEGAsim gailu digitalaren kon-

putazio paralelorako gaitasuna erabiliko da aurreko kapituluaren proposatutako SSMA simulazio-teknikarekin batera, MCa denbora errealean simulatzeko. Horri esker, neurri handian murriztuko dira MCa duten modeloen simulazio-denborak, eta arrazoizko denbora-tarte batean simulatu ahal izango dira egoera iragankor oso luzeak (orduak irauten dituztenak). Aldi berean, lortutako emaitzek zehatzak izaten jarraituko dute, proposatutako SSMA simulazio-teknikari esker. Alde horretatik, denbora errealeko RT-Lab eMEGAsim simulatzaile digitala deskribatuko da, lehenik eta behin, kapitulu honetan. Ondoren, denbora errealean simulatuko den modeloaren inplementazioa aztertuko da, eta modelo hori balioztatu egingo da azalduko diren irizpideak jarraituz.

Bestalde, RT-Lab eMEGAsim gailu digitala erabiliko da ikerketa-laborategian eraikitako 7.5 kW-etako MC prototipoaren kontrolerako. Alde horretatik, prototipatze azkarreko kontrolerako plataformari buruz hitz egingo da kapitulu honetan, plataforma horren hardwarearen ezaugarriak azalduko dira, eta plataforma horretan MCaren kontrola eta modulazioa nola inplementatu diren aztertuko da. Amaitzeko, aipatutako plataforman lortutako emaitza esperimentalak aurkeztuko dira.

7.2. Denbora errealeko RT-Lab eMEGAsim simulatzaile digitala

MCaren simulazioa azkartzeko eta prototipatze azkarreko kontrola gauzatzeko erabili den denbora errealeko RT-Lab eMEGAsim simulatzaile digitala (7.3 irudia) deskribatuko da jarraian. Sistema hori guztiz eskalagarria da, eta izan ditzakeen osagaiak aldatu egin daitezke dispositibotik dispositibora, erabiltzaileen beharrezan araberak. Hurrengo osagaiak ditu tesi honetan erabilitako eMEGAsim dispositiboak (7.1 taula eta 7.4 irudia):

- (a) **Lau konputazio-nodo dituen *Intel Quad Core* mikroprozesadore baten bidez eraikitako PC-talde bat.**

Mikroprozesadoreak lau nukleo dituenaz, lau konputazio-nodo ditu sistemak. Hau da, lau ataza exekuta ditzake paraleloan sistemak PC-talde horri esker. PC-taldearen kopurua (eta, ondorioz, konputazio-nodoen kopurua) gehitzeko posibilitatea dago sistema horretan. Beraz, konputazio paralelorako gaitasuna handitu egin daiteke. Hala ere, bi konputazio-nodo erabiltzeko lizentzia du tesian erabilitako dispositiboak. Hurrengo ataletan erakutsiko den bezala, bi konputazio-nodo horiek nahikoa dira tesi honetan proposatutako MCaren denbora errealeko simulazioa eta prototipatze

7.1 taula. RT-Lab eMEGAsim gailu digitalaren osagai garrantzitsuenak.

Osagaia	Kopurua	Deskribapena
Mikroprozesadorea	1	<i>Intel Quad Core (4 nukleo)</i>
FPGA birkonfiguragarria	1	<i>Virtex 2Pxc2vp7-5ff672</i>
Sarrera analogikoak	16	OP5340 txartela
Irteera analogikoak	16	OP5330 txartela
Sarrera digitalak	32	Bi OP5311 txartel
Irteera digitalak	32	Bi OP5312 txartel
Konexio-panelak	2	BNC eta DB 25 konektoreentzako

azkarreko kontrola gauzatzeko.

Denbora errealeko sistema eragile bat (RTOS, *Real Time Operative System*) erabili behar da denbora errealean simulatu nahi badira modelook PC-taldean. Alde horretatik, denbora errealeko *QNX 6* Linuxa erabiltzen da sistema horretan.

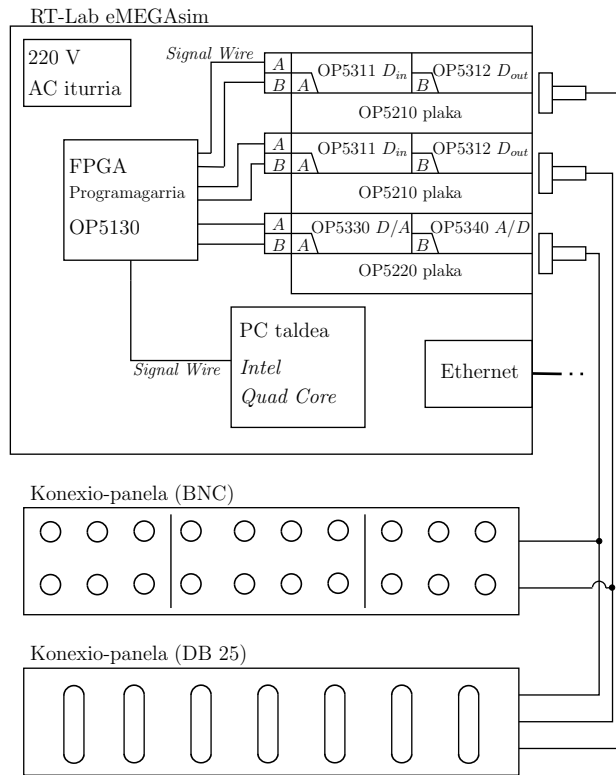
- (b) **Virtex 2Pxc2vp7-5ff672 FPGA birkonfiguragarria (OP5130 txartela).**

Sistemak dituen sarrera analogikoetatik eta digitaletatik datuak jasotzeko edota irteera analogikoetatik eta digitaletatik datuak bidaltzeko erabiltzen da FPGA txartela. Gainera, txartel hori programagarria da, eta oso azkarra (100 MHz-etako erloju-maiztasun maximoa du FPGA horrek). Beraz, ataza oso azkarrak exekutatzeko erabil daiteke OP5130 txartela (MCaren lau pausoko konmutazio-sekuentzia eta babes-estrategiak ezartzeko soberan azkarra da dispositibo hori).

- (c) **Hamasei sarrera analogiko, eta beste horrenbeste irteera analogiko.**

OP5340 eta OP5330 txartelek kontrolatzen dituzte sarrera eta irteera analogiko horiek, hurrenez hurren. OP5220 plakarekin konektatuta daude txartel horiek, 7.4 irudiak erakusten duen bezala. Alde batetik, OP5340 txartelak analogikotik digitalera (A/D) bihurtzen ditu OP5220 plakatik jasotako seinaleak; horretarako hamasei biteko A/D bihurgailuak erabiltzen ditu. Digitalizatu ondoren, FPGA birkonfiguragarria bidaltzen dira datu horiek. Bestalde, OP5330 txartelak digitaletik analogikora (D/A) bihurtzen ditu FPGAtik jasotako hamasei biteko datuak, eta OP5220 plaka erabiliz ateratzen dira dispositibotik seinale analogiko modura.

- (d) **Hogeita hamabi sarrera digital, eta beste horrenbeste irteera digital.**



7.4 irudia. RT-Lab eMEGAsim simulatzaile digitalaren osagaien eta konexioen eskema.

OP5311 eta OP5312 txartelek kontrolatzen dituzte sarrera eta irteera digitalak, hurrenez hurren. Alde horretatik, OP5210 plakarekin konektatuta daude txartel horiek, 7.4 irudiak erakusten duen bezala. Bit bakarreko datu digitalak jasotzeko edota bit bakarreko datu digitalak ateratzeko erabiltzen dira dispositibo horiek.

- (e) **Bi konexio-panel**, bata BNC konektoreentzako, eta bestea DB 25 konektoreentzako.

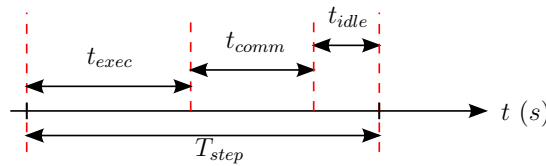
RT-Lab eMEGAsim-en arkitektura eta komunikazioak azaltzen ditu 7.4 irudiko eskemak. Memoria partekatua erabiliz komunikatzen dira *Quad Core*ko konputazio-nodoak simulazio banatua (*distributed simulation*, ingelesez) egiten denean [183]. Komunikazio-lotura horren abiadura 2.67 Gbps-takoa da. Bestal-

de, OPAL-RTk garatutako abiadura azkarreko *Signal Wire* kablearen bidez (1.2 Gbps) komunikatzen dira PC-taldea eta FPGA, eta baita sarrera- eta irteera-txartelak eta FPGA ere. Halaber, ordenagailu konbentzional bat (*host* PC deritzona) erabiltzen da erabiltzaile-interfaze modura (7.3 irudia). Alde horretatik, 1 Gbps-tako abiadura duen Ethernet-konexioa erabiltzen da *host* PCa eta simulatzaile digitala elkarrekin komunikatzeko [191]. Erabiltzaile-interfaze horrek asko errazten du kontrol-algoritmoen araztea, oso erraz monitoriza baitaitezke modulazioan eta kontrolean parte hartzen duten aldagaiak.

Bestalde, pauso finkoan (6.3. atala) exekutatzen diren hiru simulazio-modalitate erabiltzeko aukera eskaintzen du eMEGAsim-ek [192]: *Simulation mode*, *Software synchronized* eta *Hardware synchronized*. Hauexek dira simulazio-modalitate horien ezaugarri nagusiak:

- ***Simulation mode***: printzipioz, modeloa ahalik eta azkarren simulatzen da PC-taldean simulazio-modalitate hori aukeratuz gero (sistema ez da denbora errealean exekutatzen). Beraz, potentzia-sistemen simulazioak azkartzeko erabil daiteke eMEGAsim simulatzailearen konputazio paralelorako gaitasuna. Denbora erreala baino azkarragoak edo mantsoagoak izan daitezke simulazioak, erabiltzen den pausoaren luzeraren eta modeloaren konplexutasunaren arabera. Emaitzen zehaztasuna hobetu nahi bada, pausoaren luzera behar den beste txikitu daiteke simulazio-modua erabiltzen denean. Hori dela-eta, modalitate hori oso erabilgarria izan daiteke konmutazio-maiztasun altuak darabiltzaten potentzia-bihurgailuak simulatzeko [184], eta ez da, printzipioz, interpolazio-teknikarik erabili behar.
- ***Software synchronized***: PC-taldean denbora errealeko simulazioa egin nahi denean aukeratzen da modu hori. Gailuen arteko sinkronizazioa ezinbestekoa da denbora errealeko simulazioak gauzatu nahi direnean. Printzipioz, denbora errealeko sistema eragilearen barneko tenporizadorea (*timer*, ingelesez) erabil daiteke modeloa sinkronizatzeko (500 μ s-tako erresoluzioa du tenporizadore horrek). Hala ere, tenporizadore horrek ez du potentzia-bihurgailuak denbora errealean simulatzeko erresoluzio nahikoa eskaintzen. Hori konpontzeko, XHP (eXtreme High Performance) modua aktiba daiteke¹. Modu hori aktibatzean, mikroprozesadorearen kontadore erabiltzen da denbora-erreferentzia bezala [191]; horri esker, kontadorearen erresoluzioa 1 μ s azpitik egongo da. Tenporizadore hori erabiliz, konputazio-nodo bakarra (*SM_Master* bezala ezagutzen dena) sinkronizatzen da simulazioa

¹Denbora errealeko QNX sistema eragilea erabiltzen denean eta XHP modua aktibatzen denean, konputazio-nodo guztiak jartzen dira modu horretan lanean; ondorioz, funtzionalitate batzuk galdu egiten dira. Hala ere, funtzionalitate horiek ez dira garrantzizkoak tesi honetan inplementatutako modeloetarako.



7.5 irudia. Denbora errealean simulazio-pauso bakoitza exekutatzeko gertatzen diren atazei dagozkien denborak.

banatua denean. Beste konputazio-nodoak (*SS_Slave* bezala ezagutzen direnak) komunikazio-loturen bidez, hau da, memoria partekatuen bidez, sinkronizatzen ditu *SM_Master* konputazio-nodoak.

Denbora errealeko simulazioa gauzatu ahal izateko, $10 \mu\text{s}$ -tako pausoluzerak edo handiagoak erabili behar dira bi konputazio-nodo exekutatzen badira paraleloan [184]. Pauso-luzera minimo hori dela-eta, maiztasun altuetan funtzionatzen duten potentzia-bihurgailuak simulatzean interpolazio-algoritmoak erabili behar dira emaitza zehatzak lortu nahi badira.

- **Hardware synchronized:** denbora errealeko simulazioa egiteko PC-taldeaz gain beste dispositibo batzuk erabiltzen direnean (FPGA birkonfiguragarria eta sarrera- eta irteera-txartelak) aukeratu behar da simulazio-modalitate hori. FPGA txartelean dagoen hardware tenporizadore bat erabiliz bermatzen du eMEGAsim-ek gailuen arteko sinkronizazioa [191]. Berriz ere, konputazio-nodo bakarra (*SM_Master*) sinkronizatzen da tenporizadore horrekin simulazio banatua egiten denean, eta beste konputazio-nodoak (*SS_Slave*) komunikazio-loturen bidez sinkronizatzen dira. Modalitate hori oso baliagarria da HIL aplikazioetarako, eta baita potentzia-bihurgailuen prototipatze azkarreko kontrolerako ere.

Azken modalitate honetan ere, PC-taldean exekutatzen den modeloaren pauso-luzera minimoa mugatuta dago. Bestalde, FPGA-n exekutatzen den modeloaren pauso-luzera oso txikia izan daiteke (10 ns artekoa).

Inplementatutako modeloa denbora errealean simulatzen denean, zenbait ataza exekutatu behar dituzte simulazio-pauso bakoitzean PC-taldeko konputazio-nodoek. Alde batetik, simulatutako sistemaren portaera deskribatzen duten ekuazio matematikoak ebazteko egin behar diren kalkuluak exekutatzen dira; horretarako, t_{exec} denbora jakin bat behar dute konputazio-nodoek (7.5 irudia). Ondoren, konputazio-nodoen arteko komunikazioa egin behar da, hau da, nodo horietan exekutatutako modelo-zatien emaitzetako batzuk bidaltzen

zaizkie beste konputazio-nodoei (modeloan egindako banaketaren arabera), eta beste konputazio-nodoetan kalkulaturako emaitza batzuk jasotzen dituzte, bai *SM_master* nodoaren kasuan, eta baita *SS_Slave* nodoen kasuan ere. Horretaz gain, sinkronizazio-seinaleak bidaltzearen ardura du *SM_master* konputazio-nodoak. Alde horretatik, konputazio-nodoek t_{comm} denbora jakin batean zehar exekututzen dituzte ataza horiek guztiak (7.5 irudia). Azkenik, simulazio-pausoaren amaiera arte egon behar dira zain konputazio-nodoak t_{idle} denbora jakin batean zehar, modeloaren denbora errealeko exekuzioa bermatzeko. Beraz, honelaxe emana dator PC-taldeko konputazio-nodo jakin batean simulazio-pauso bakoitza exekutatzeko behar den T_{step} exekuzio-denbora:

$$T_{step} = t_{exec} + t_{comm} + t_{idle}. \quad (7.1)$$

Simulazio-pauso bakoitza exekutatzeko behar den T_{step} exekuzio-denbora eta simulaturako modeloaren pausoaren luzera (T_{sim}) bat datoz denbora errealeko simulazioa ideala denean. Hala ere, T_{step} pausoaren balioa ez da konstantea izango kasu errealetan, eta finkaturako T_{sim} pauso-luzeraren inguruan oszilatuko du balio horrek. Denbora errealeko sistema eragileak eragindako etendurak (*interruption*, ingelesez) eta komunikazio-loturetan sortutako atzerapenak dira fenomeno horren arduradun nagusiak [191]. Lehenengo arazoa XHP modua aukeratuz konpontzen da, etendurak desaktibatu egiten baitira funtzionamendu-modu horretan. Hala ere, bigarren arazoa ezin daiteke guztiz konpondu, sistemaren ezaugarri intrintsekoa baita hori. Ondorioz, *jitter* txiki bat sortzen du sistemak, pausoaren luzera ez baita konstante mantentzen. Hala ere, *jitter* hori txikia da, hurrengo ataletan ikusiko den bezala.

Bestalde, pausoaren luzera ezin da nahi den adina laburtu modelo denbora errealean simulatu nahi bada. Modeloa ebazteko eta konputazio-nodoen arteko komunikazioa gauzatzeko besteko luzea izan behar du simulazio-pausoak, hau da, hurrengo baldintza bete behar da:

$$t_{exec} + t_{comm} \leq T_{sim}. \quad (7.2)$$

Simulazio-pauso batean tarte-gainditze (*overrun*, ingelesez) bat gertatzen da (7.2) baldintza betetzen ez denean. Hori ez da komenigarria, modelo gaizki ebazten baita tarte-gainditzeak gertatzen diren simulazio-pausoetan. Beraz, garrantzitsua da konputazio-nodo bakoitzean exekututzen den modeloaren karga konputazionala oso handia ez izatea, denbora errealeko simulazio zehatza bermatzeko. Modeloaren karga konputazionala asko murrizten bada ere, softwarearen konputazioaren eta komunikazioetan sortutako atzerapenen eraginez pauso minimo bat dago. Adibidez, pausoaren luzera minimoa 5 μ s-takoa da eMEGAsim-en

PC-taldeko konputazio-nodo bakarra erabiltzen denean. Aldiz, 10 μ s-tara dago mugatuta pausoaren luzera minimo hori PC-taldeko bi konputazio-nodo erabiltzen direnean. Ondorioz, pausoaren luzera nahiko handia da. MCaren kasuan interpolazio-teknikak erabili behar dira emaitza zehatzak lortzeko. Alde horretatik, SSMA simulazio-teknika (6. kapitulua) erabiltzen duen MCaren modeloaren denbora errealeko simulazioaz arituko gara jarraian. Modelo horren implementazioa azalduko da, lehenik eta behin. Ondoren, modelo hori balioztatu egingo da, eta lortutako emaitzak aurkeztuko dira.

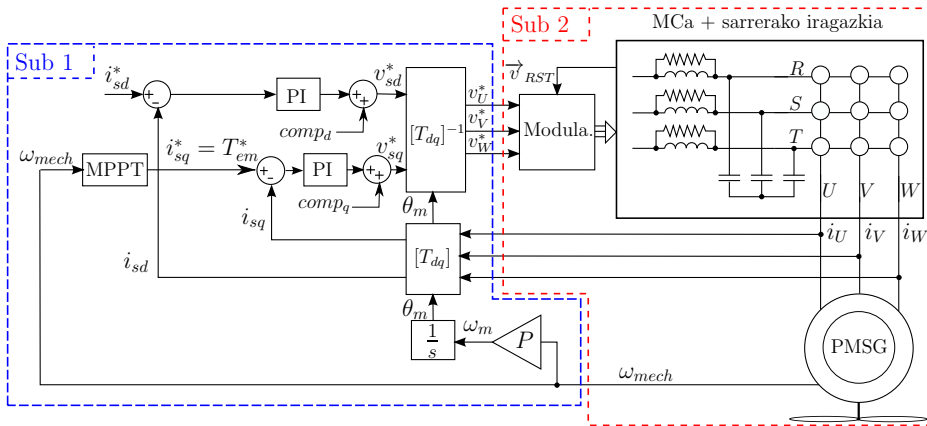
7.3. MCaren denbora errealeko simulazioa SSMA teknikaren bidez

7.3.1. Modeloaren implementazioa RT-Lab eMEGAsim-en

Zenbait pauso jarraitu behar dira modelo jakin bat eMEGAsim gailu digitalean simulatu ahal izateko. Lehenik eta behin, modeloa sortu beharra dago; horretarako, *Matlab/Simulink* simulazio-programa erabiltzen da. Alde batetik, *Simulink*-eko bloke arruntak edota *S-Function*ak erabiliz deskribatzen da PC-taldean exekutatu den modeloa. Bestalde, XSG (*Xilinx System Generator*) eta *Real-time XSG toolbozak* erabiliz deskribatzen da FPGA-n exekutatu dena [188]. Beraz, ez da beharrezkoa VHDL bezalako hardware deskribapenerako lengoaiarik erabiltzea FPGA-n exekutatu den modeloa deskribatzeko.

Atal honetan, PMSG batekin konektatuta dagoen MCaren modeloa simulatuko da denbora errealean SSMA simulazio teknikari esker. Alde horretatik, simulatutako modeloaren diagrama erakusten du 7.6 irudiak. PC-taldean simulatuko da modelo hori. Beraz, ez da FPGA birkonfiguragarria erabiliko. Simulatu beharreko modeloa bi azpizistematan banatu da eMEGAsim gailu digitalaren konputazio paralelorako gaitasuna aprobetxatzeko: *Sub1* azpizistema (*SM_Master* modura) eta *Sub2* azpizistema (*SS_Slave* modura) (7.6 irudia). Bestalde, *SC_Console* deritzon hirugarren azpizistema batean deskribatu da *host* PC-n modeloa monitorizatzeko erabiliko den interfazea.

Era egokian aukeratu behar dira *Sub1* eta *Sub2* azpizistemen arteko banaketa-puntuak. Sistemaren portaera errealearekin bat datozen atzerapenak dituzten puntuak erabiltzea da aukerarik onena. Adibidez, modeloa kontrolatzailearen eta potentzia bihurgailuaren artean banatzea da egokiena aztertutako kasuan, horien artean ohikoa baita atzerapenak egotea. Zentzu horretan, kontrol-algoritmoa (MPPTa eta korrante begizta) modelatu da *Sub1* azpizisteman. Bestalde, SSMA teknika erabiliz interpolatutako MCa eta haize-errota txikia modelatu dira *Sub2*



7.6 irudia. Denbora errealean simulatutako modeloaren diagrama eta modeloak eMEGAsim-en azpisistema ezberdinetan duen banaketa.

azpisisteman (6. kapituluaz azaldutako prozedura jarraituz). Bi azpisistemetan aukeratutako pausoaren luzera $10 \mu\text{s}$ -takoa da, hurrengo arrazoiak direla-bide:

1. Pauso-luzera hori aukeratuz gero, simulazioaren azkartasunaren eta lortutako emaitzen zehaztasunaren arteko konpromiso ona lortzen da, SSMA simulazio-teknika erabiltzen denean (6. kapituluaz).
2. Kontrolatzailearen modeloa T_{sw} periodo bakoitzeko exekutatu bada ere, $10 \mu\text{s}$ -tako pauso-luzera aukeratu da azpisistema hori simulatzeko. Horrela, bi azpisistemen arteko sinkronizazioa sinplifikatu egiten da.
3. Bi konputazio-nodo paraleloan exekutatu direnean hori da erabil daitekeen pauso-luzera minimoa (7.2. atala).

RT-Lab eMEGAsim-en inplementatutako MC-PMSG simulazio-plataformaren parametro esanguratsuenak erakusten ditu 7.2 taulak.

Hurrengo pausoa modeloa konpilatzea da. Alde horretatik, *Matlab* simulazio-ingurunekeo *Real Time Workshop toolbox*a erabiltzen da eMEGAsim-eko konputazio-nodoetan exekutatu den “C” kodea sortzeko. Amaitzeko, modeloa kargatu egiten da eMEGAsim-en, eta dagozkien konputazio-nodoetan banatzen dira aurrez sortutako azpisistemak. Horri esker, bi azpisistema horiek (*Sub1* eta *Sub2*, 7.6 irudia) paraleloan exekutatu dira.

7.2 taula. Denbora errealean simulatutako MC-PMSG plataformaren parametro esanguratsuenak.

Sarrerako iragazkia		MCaren parametroak	
C_F	4.7 μF	V_{in}	220 V_{RMS}
L_F	1.6 mH	P_{out}	7.5 kW
R_d	33 Ω	f_{sw}	12.5 kHz
f_c	2 kHz		
Iman iraunkorreko sortzaile sinkronoa			
R_s	2.3 Ω	B	0.118 Nms
L_{sd}, L_{sq}	46.3 mH	P	6
Ψ_F	2.4 Wb	ω_N	200 r.p.m.
J	0.6 kgm^2		
RT-Lab eMEGAsim			
Nukleo-kopurua		2	
T_{sim}		10 μs	

7.3 taula. Ordenagailu konbentzionala eta RT-Lab eMEGAsim gailu digitala erabiltzean lortutako exekuzio-denborak, simulatu beharreko denbora bi segundutakoa denean.

	Ordenagailu konben.		RT-Lab (<i>simul. mode</i>)		RT-Lab (<i>software sync.</i>)	
	t_{exec} (s)	F_{sim}	t_{exec} (s)	F_{sim}	t_{exec} (s)	F_{sim}
Pauso aldakorra	382.2	191.1	-	-	-	-
Pauso finkoa ($T_{sim} = 1\mu\text{s}$)	171.6	85.8	-	-	-	-
SSMA ($T_{sim} = 10\mu\text{s}$)	17.0	8.5	3.6	1.8	2	1

7.3.2. Denbora errealeko modeloaren balioztatzea eta lortutako simulazio-emaitzak

Lehenik eta behin, simulazio-modua (*simulation mode*) aukeratu da MCaren simulazioa azkartzeko. Modalitate horretan, SSMAren bidez sortutako modelo interpolatua ahalik eta azkarren simulatzen saiatu da denbora errealeko simulatzailea. Ondorioz, 3.6 segundo behar izan dira aztertutako sistemaren portaeraren bi segundo simulatu ahal izateko (7.3 taula). Beste era batera esanda, kasu horretan lortutako F_{sim} simulazio-faktorearen (6.5. atala) balioa 1.8 da. Beraz, denbora-aurrezpen handia lortu da konputagailu konbentzionaletan pauso aldakorreko ($F_{sim} = 191.1$) eta SSMA bidezko ($F_{sim} = 8.5$) simulazioekin konparatuta (7.3 taula).

Ondoren, *software synchronized* modalitatea aukeratu da, aztertutako sistemaren simulazioa gehiago azkartzeko. Proposatutako modelo denbora errealean ongi exekutatzen den balioztatze hiru puntu izan behar dira kontuan [193]:

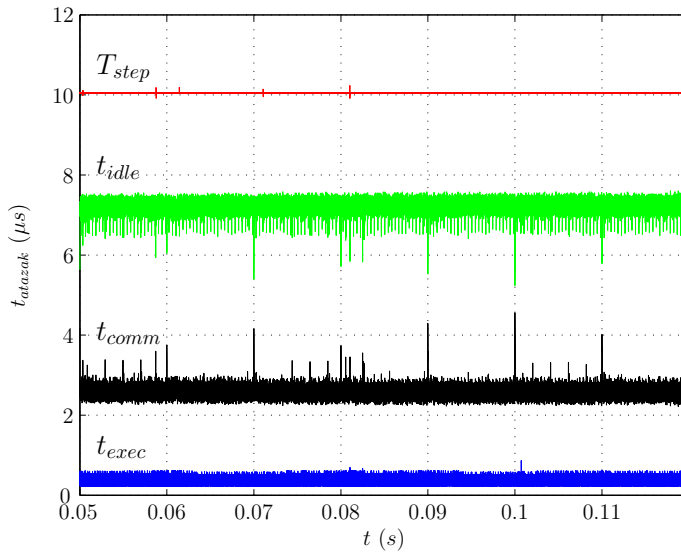
1. **Modeloa denbora errealean simulatzeko gaitasuna** izan behar du simulatzaile digitalak. Hau da, modeloa deskribatzen duten ekuazio guztiak hurrengo simulazio-pausoa exekutatu aurretik ebatzi behar dira.

Lehenengo saiakera batean ez da XHP modua erabili, eta tarte-gainditzeak gertatu dira. Beraz, ez da posible izan modeloa 10 μ s-tako pausoluzerarekin denbora errealean simulatzea. Gainera, funtzionamendu-modu horretan tenporizadoreak duen erresoluzioa ez da egokia. Hala ere, arazo horiek gainditu egin daitezke XHP modua erabiliz gero. Modu horri esker, konputazio-nodoak 100 % dedikatzen dira konputaziora, eta ez da inongo etendurarik gertatzen [191]. Era horretara, kalkulu guztiak denbora errealean egiteko gai da simulatzailea ($F_{sim} = 1$), hau da, (7.2) baldintza aldioro betetzen da bi azpisisistemak simulatzen dituzten konputazio-nodoetan (7.7 eta 7.8 irudiak).

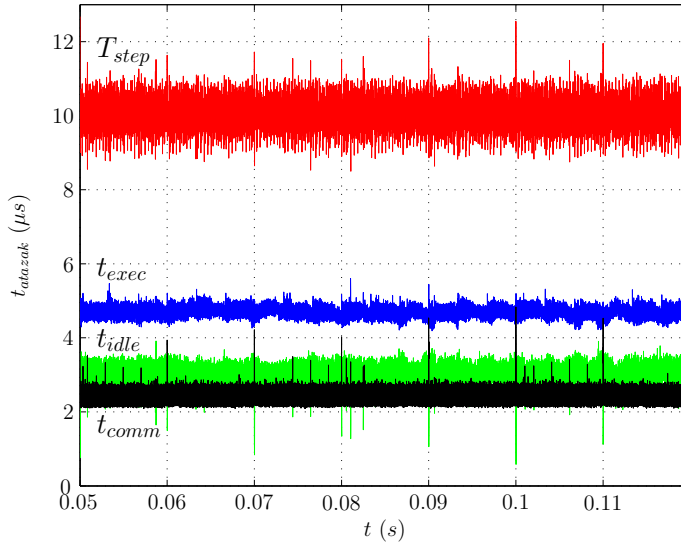
Interpolazio-algoritmoak dituzten modeloek modelo arruntek baino karga konputazional handiagoa izaten dute, eragiketa gehigarriak egin behar baitira simulazio-pausoan zehar emaitzak interpolatzeko. Hori dela-eta, simulazio-pauso bakoitzean zehar denbora errealean interpola daitekeen gertaera-kopurua (gertaera horiek konmutazioak dira potentzia-sistemetan) mugatuta egon daiteke interpolazio-algoritmoaren karga konputazionalaren arabera. Hala ere, hori ez da horrela proposatutako modeloa, SSMA interpolazio-teknika oso eraginkorra baita; hau da, gertaera posible guztiak interpola ditzake denbora errealean (7.8 irudia). Beraz, oso interpolazio-algoritmo zehatza da denbora errealean exekutatzeko. Gainera, karga konputazional gehiago gehi dakioko modeloari, 7.7 eta 7.8 irudietan ikus daitekeen bezala. Horrela, haizearen modelo zehatzak eta kontrolatzaile konplexuagoak simula daitezke denbora errealean.

Bestalde, komunikazio-atzerapenek sortutako *jitter* txiki bat nabaritzen da *Sub2* azpisisistema exekutatzen den konputazio-nodoan (7.8 irudia). Hala ere, *jitter* hori ez da oso garrantzitsua kasu honetan, helburua simulazioa ahalik eta gehien azkartzea baita (sistema ez da beste hardware-gailu batzuekin komunikatuko).

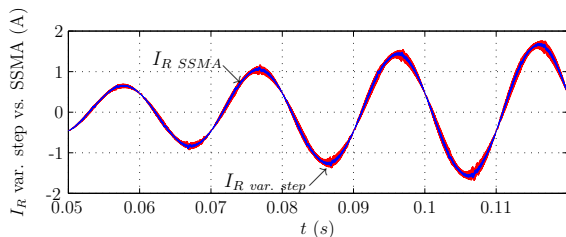
2. **Lortutako emaitzen zehaztasuna balioztatu behar da.** Horretarako, ordenagailu konbentzional batean pauso aldakorreko ebazlea erabiliz lortutako emaitzekin konparatu dira denbora errealeko simulazioan lortutako emaitzak. Alde horretatik, egoera iragankorrean lortutako emaitzak erakusten dituzte 7.9(a) eta 7.9(b) irudiek. Irudi horietan ikus daitekeen bezala, denbora errealeko simulazioaren bidez lortutako emaitzak bat datoz pauso aldakorreko ebazlearen bidez lortutako emaitza konbentzionaletan, SSMA interpolazio-teknikari esker.



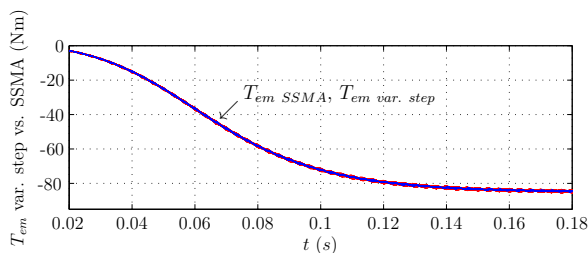
7.7 irudia. *Sub1* azpistema *SM_Master* modura exekutatzen duen konputazio-nodoan gertatzen diren atazen iraupena.



7.8 irudia. *Sub2* azpistema *SS_Slave* modura exekutatzen duen konputazio-nodoan gertatzen diren atazen iraupena.



(a) Sarrerako korronea.



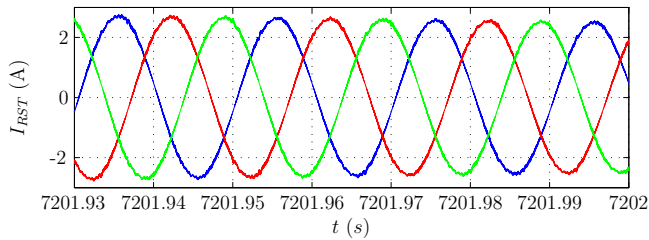
(b) Momentu elektromagnetikoa.

7.9 irudia. Denbora errealean (SSMA teknika erabiliz) eta ordenagailu konbentzionalan (pauso aldakorreko ebazlearekin) lortutako emaitzen arteko konparaketa, egoera iragankorrean.

- 3. Simulazioaren egonkortasuna bermatu behar da.** Modeloa simulatzean hainbat lagin sortzen dira simulazio-segundo bakoitzeko (ehun mila lagin segundoko, $T_{sim} = 10 \mu s$ denean). Konputagailuek bit-kopuru finitua duten aldagaien bidez adierazten dituzte zenbakiak. Horren ondorioz, biribiltze-erroreak (*round off errors*, ingelesez) sortzen dira simulazioan, eta horiek pilatu egin daitezke simulazio luzeetan zehar². Simulazioaren egonkortasuna frogatzeko asmoz, bi ordutan zehar simulatu da modeloa, eta lortu diren emaitzek zehatzak izaten jarraitu dute (7.10 irudia). Beraz, simulazio luzeak egiteko baliagarria da modelo hori.

Lortutako emaitzek erakusten duten bezala, proposatutako modeloa baliagarria da MCa denbora errealean simulatzeko. Horri esker, neurri handi batean laburtzen dira modelo hori simulatzeko beharrezkoak diren simulazio-denborak. Ondorioz, egoera iragankor oso luzeak simula daitezke arrazoizko denbora-tarte batean.

²Fenomeno hori ez da hain nabaria gaur egungo hogeita hamabi eta hirurogeita lau bitetako sistema modernoetan, baina bai ordea 16 bitetako (edo bit-kopuru txikiagoko) arkitektura zaharretan.



7.10 irudia. Modeloa denbora errealean bi ordutan simulatu ondoren lortutako sarrerako korroneak (egoera iragankorrean).

Adibidez, proposatutako plataforma oso erabilgarria da MCA duten haize-errot txikien diseinu-prozesurako, hau da, haize-erroten eraginkortasuna aztertzeko, MPPT algoritmoak diseinatzeko, etab. Zentzu horretan, *Weibull* distribuzioa [194] erabiliz aztertu da tradizionalki haize-erroten eraginkortasuna (haize-errot txikien fabrikatzaileek erabiltzen dute teknika hori). Hala ere, haize-errot denbora guztian MPP puntuan dagoela suposatzen da teknika hori erabiltzen denean. Ondorioz, haize-errot txikiak benetan sortuko duen potentzia baino handiagoa estimatzen du metodo horrek. Horretaz gain, teknika horretan beharrezkoa da haizearen abiaduraren eta haize-errotak sortutako potentziaren arteko erlazioa zehazki ezagutzea, eta hori printzipioz oso zaila da (oso errore-iturri handia izan daiteke azken puntu hori). Beraz, ez dira emaitza zehatzak lortzen teknika horren bidez [195]. Beste aukera bat da haize-errot txikia jarriko den tokiko haizearen portaera karakterizatzea anemometro baten bidez lortutako aldiuneko haize-abiadurak erabiliz. Hala ere, haize-errot txikia instalatzen den ingurune gehienetan turbulenzia-maila oso aldakorra eta handia izaten denez, oso zaila da karakterizazio hori egitea. Beraz, aukera hobea da simulazio luze baten bidez ahalik eta funtzionamendu-egoera gehienak simulatzea, haizearen modelo fidel bat erabiliz (6.4.2. atala) edo haize-errot ezarriko den tokian neurtutako aldiuneko haize-abiadurak modeloan ezarri. Horrela, MPPT kontrolaren eta haize-errotaren eraginkortasuna azter daiteke era egokian. Aipatu bezala, proposatutako simulazio-plataformak diseinu-prozesu hori neurri handian laburtuko luke.

7.4. MCaren prototipatze azkarreko kontrola

MCaren prototipatze azkarreko kontrolaz arituko gara atal honetan. Alde horretatik, tesi honetan erabilitako 7.5 kW-etako MCaren prototipoak (7.11 irudia) dituen osagaiak deskribatuko dira jarraian. Ondoren, MCaren kontrola eta mo-



7.11 irudia. Tesian erabilitako 7.5 kW-etako MCaren prototipoa.

dulazioa RT-Lab eMEGAsim-en nola inplementatu diren azalduko da. Azkenik, proposatutako prototipatze azkarreko kontrolerako plataforman lortutako emaitzak aurkeztuko dira.

7.4.1. Prototipoaren deskribapena

(a) Etengailu bidirekzionalen potentzia-modulua

Etengailu bidirekzionalak dira MCaren muina. Alde horretatik, merkatuan aurki daitezkeen etengailu bidirekzionalen zerrenda aurkezten du 7.4 taulak. Zenbait kontsiderazio izan behar dira kontuan horietako bat aukeratu aurretik:

1. Igorle komuneko konfigurazioa duten gailuak aukeratzeko badira, bederatzi iturri isolatu behar dira MCaren hemezortzi IGBTak elikatzeke. Bestalde, kolektore komuneko konfigurazioa aukeratzeko bada, sei iturri isolatu nahikoa dira.
2. Beste konfigurazioekin konparatuta, kondukzio-galera handiak ditu diodo-zubi egiturak. Bestalde, etengailuan zehar zirkulatzen duen korrontearen

7.4 taula. MCarentzako potentzia-erdieroale komertzial nabarmenenak.

MCaren etengailu bidirekzionalen moduluak			
Fabrikatzailea	Erreferentzia	Ezaugarriak	Konfigurazioa
Dynex	DIM400PBM17	1700 V, 400 A	Igorle komunekoa
Dynex	DIM200MBS12-A	1200 V, 200 A	Igorle komunekoa
Semikron	SK60GM123	1200 V, 60 A	Igorle komunekoa
Ixys	FIO50-12BD	1200 V, 50 A	Diodo-zubi motakoa
Ixys	IXRH50N120	1200 V, 60 A	RB IGBT
Ixys	IXRH50N100	1000 V, 60 A	RB IGBT
MCaren irteerako faseak modulu bakarrean integratuta			
Fabrikatzailea	Erreferentzia	Ezaugarriak	Konfigurazioa
Semelab	SML300MAT06	600 V, 300 A	Igorle komunekoa
Semelab	SML150MAT12	1200 V, 150 A	Igorle komunekoa
MCaren etengailuak modulu bakarrean integratuta			
Fabrikatzailea	Erreferentzia	Ezaugarriak	Konfigurazioa
Fuji	18MBI100W-120A	1200 V, 100 A	RB IGBT
Fuji	18MBI50W-120A	1200 V, 50 A	RB IGBT
Fuji	18MBI200W-060A	600 V, 200 A	RB IGBT
Fuji	18MBI100W-060A	600 V, 100 A	RB IGBT
Eupec & Siemens	FM35R12KE3 (EconoMac)	1200 V, 35 A	Kolektore komunekoa

7.5 taula. FM35R12KE3 Economac potentzia-moduluaren parametro esanguratsuenak

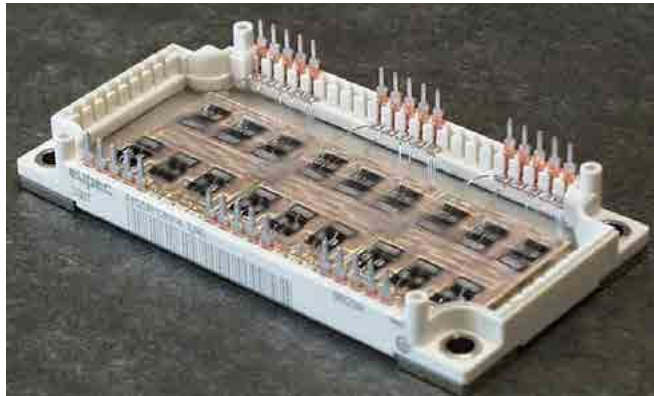
Parametroa	Balioa	Deskribapena
P_{max}	7.5 kW	Potentzia maximoa
V_{ce}	1200 V	Kolektore eta emisore arteko tentsio maximoa
$I_{C_{nom}}$	35 A	Kolektoreko korrante nominala
$I_{C_{max}}$	70 A	Kolektoreko korrante errepikakor maximoa
C_{ies}	2.5 nF	Sarrerako kapazitatea

noranzkoa ezin daiteke kontrolatu, konfigurazio hori erabiltzen denean.

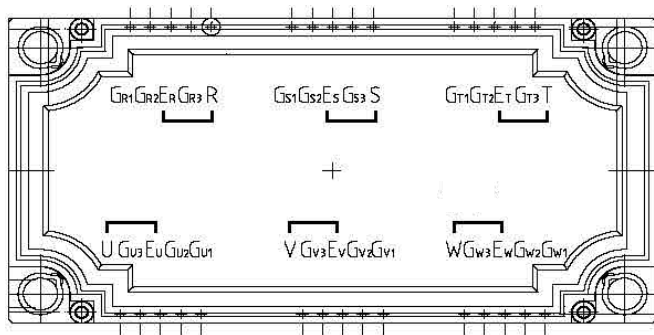
3. Kolektore eta igorle komuneko konfigurazioek baino konduzio-galera txikiagoak dituzte RB IGBTek. Gainera, simpleagoak dira, ez baita antiparaleloan diodorik konektatu behar. Hala ere, gailu horien konmutazio-galerak altuak dira. Gainera, RB IGBTen alderantzizko berreskuratzea hobetu beharra dago.
4. Osagaien arteko inдукtantiak minimizatu egiten dira soluzio modularrak erabiltzen direnean, diseinua optimizatuta baitago.

Arrazoi horiek guztiak kontuan hartuta, Eupec EconoMac *FM35R12KE3* potentzia-modulua (7.12 irudia) aukeratu da prototipoaren bederatzi etengailu bidirekzionalak inplementatzeko. Economac moduluaren parametro esanguratsuenak erakusten ditu 7.5 taulak.

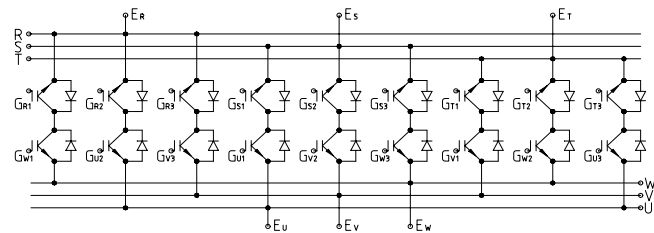
(b) IGBTen argi-akoplagailudun *driver*ak



(a) Modularen barnealdea.



(b) Modularen eskema eta pinak.



(c) Modularen zirkuitu baliokidea (kolektore komunekoko konfigurazioa).

7.12 irudia. Eupec fabrikatzailearen EconoMac modulua.

7.6 taula. Kommutazioarekin zerikusia daukaten osagaiak.

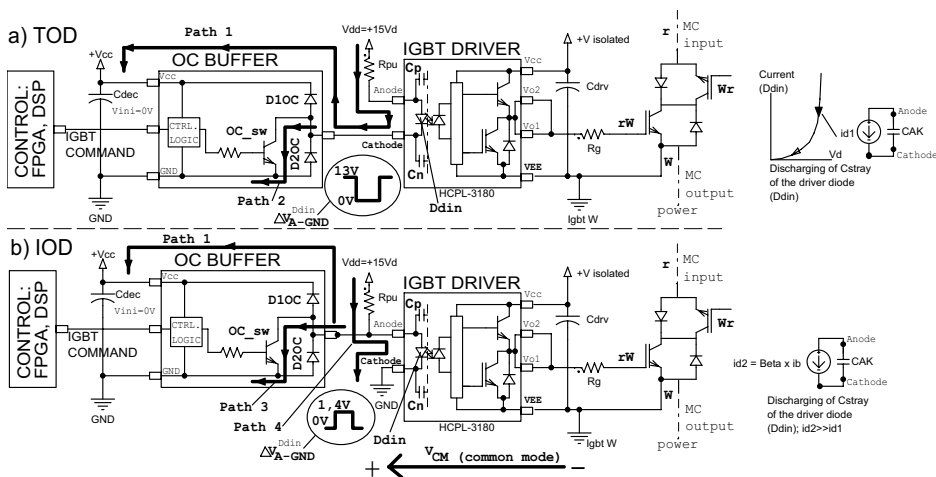
Osagaia	Kopurua	Deskribapena
Argi-akoplagailuak	18	HCPL-3180 (Agilent), 2 A, 250 kHz
Pizte-denbora	-	134 ns
Itzaltze-denbora	-	134 ns
OC <i>buffer</i> ak	3	74LV 07A
Tentsio-erreguladorea	1	LM7805 (National Semiconductor) 15 V - 5 V
DC/DC Iturri isolatuak	6	TMA1515S (TraciPower) 15 V - 15 V

MCak modulazio- eta kommutazio-maiztasun altuetan egin behar du lan bihur-gailuak duen potentziala ahalik eta gehien aprobetxatu nahi denean (6.2. atala). Horren ondorioz, kontrol-algoritmoa exekutatzear arduratzen diren zirkuituak oso azkarrak izan behar dute, eta baita IGBTak kontrolatzeko erabiltzen diren *driver*ak ere. Alde horretatik, MCaren prototipoan kommutazioarekin zerikusia duten osagaiak azaltzen ditu 7.6 taulak. Argi-akoplagailudun *driver*ak (*optocoupler driver*, ingelesez) erabiltzen dira prototipoan. Argi-akoplagailu horiek beharrezkoak dira potentzia-zirkuitua eta kontrolatzailea galbanikoki isolatzeko.

Bestalde, iturri isolatuak behar dituzte *driver*ek (7.13 irudia), IGBTen ateen behar duten energia eman ahal izateko. Iturri horiek isolatuta egon behar dira, potentzia- eta kontrol-zirkuituak galbanikoki isolatuta egoteko. Erabiltzen den etengailu-topologiaren arabera, iturri isolatuen kopuru ezberdina behar da. Bederatzi iturri isolatu behar dira etengailu bidirekzionalak igorle komuneko konfigurazioan eraikita daudenean. Aldiz, sei iturri nahikoa dira etengailuak kolektore komunean konektatuta daudenean (kolektore komunean daude konfiguratuta etengailu bidirekzionalak prototipoan).

Kontrolaz arduratzen diren gailuek (DSPak edo FPGAk) *driver*en sarrerak kitzikatu behar dituzte era kontrolatuan. Askotan, gailu horien irteerak ez daude kolektore irekiko (*open collector*, ingelesez) konfigurazioan eraikita. Ondorioz, irteera horiek ez dira kommutazioak egiteko beharrezkoak diren korrante-mailak beraien kabuz sortzeko gai. Hori dela-eta, OC *buffer* izeneko erdibideko etapa jarri behar da kontrolatzaile digitalaren eta *driver*aren artean (7.13 irudia) korrante-maila egokiak lortzeko.

*Driver*a konfiguratzeko aukera ezberdinak daude. Zentzu horretan, ohiko TOD (*Typical Optocoupled Driver*) konfigurazioa erakusten du 7.13(a) irudiak. OC *buffer*aren irteera eta fotoigorlea (*photoemitter*, ingelesez) seriean konektatzen dira konfigurazio horretan. Bestalde, anodoko tentsioaren ibilaldi-tentsioa ia hamar aldiz murrizten da IOD (*Improved Optocoupled Driver*, 7.13(b) irudia) konfigurazioa erabiltzen denean. Horrela, *driver*aren erantzun dinamikoa % 11n hobetzen da pizte-prozesuetan eta % 51n itzaltze-prozesuetan (7.14 irudia) [7]. Beraz, MCak beharrezkoa duen kommutazio-abiadura azkarra lortzen da aipatutako so-



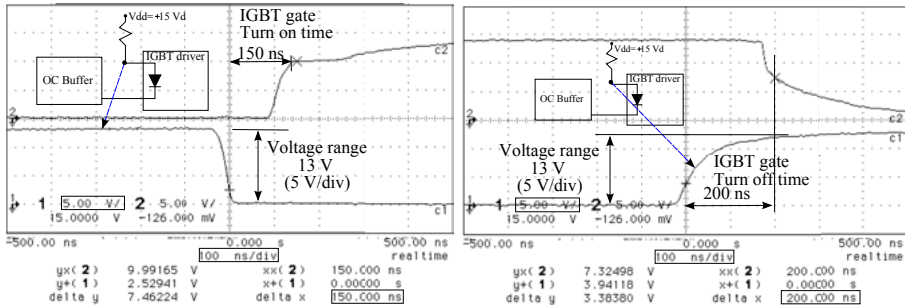
7.13 irudia. MCaren driveren egitura: a) ohioa (TOD) eta b) hobetua (IOD).

luzioa erabiltzen denean.

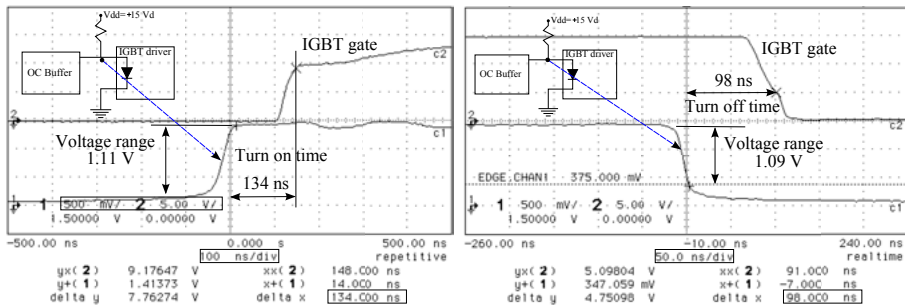
(c) Sarrerako iragazkia

Sarrerako iragazkia beharrezkoa da bihurgailuak sare elektrikoan duen eraginarmin minimizatzeke, hau da, sarreran sintetizatutako korronteen osagai harmonikoak gutxitzeko erabiltzen da iragazki hori. Era horretara, sarrerako tentsioaren distorsioa eta EMI (*Electromagnetic Interference*) emisioak minimizatu egiten dira. Bigarren ordenako LC iragazkia [59, 196] da MCaren gehien erabiltzen den topologia, iragazki hori eraikitzeke beharrezkoa den osagai-kopurua txikia delako eta maiztasunean duen erantzuna ona delako. Alde horretatik, tesi honetan erabilitako MCaren prototipoaren sarreran konektatuta dagoen bigarren ordenako LC iragazkia azaltzen du 7.15 irudiak. Hiru inductantzia (L_F) eta hiru kondensadore (C_F) behar dira iragazki hori eraikitzeke. Gainera, R_d moteltze-erresistentzia bana konektatu da iragazkiaren fase bakoitzean (7.15 irudia), ebaketa-maiztasunaren inguruan iragazkiak duen erresonantzia-tontorra murrizteke (2.3.2. atala).

MCa abiarazten denean, gaintentsioak eta gainkorroneak sortzen dira iragazkiko kondensadoreetan, sarrerako iragazkiaren portaera naturala dela-eta. MCaren etengailuetaraino eta kargaraino heda daitezke aipatutako gaintentsioak eta gainkorroneak. Ondorioz, potentzia-bihurgailuaren osagaiak apurtu egin daitezke. Aipatutako arazo horiek minimizatu egiten dira zirkuitulaburtu daitezkeen R_{pu} abiarazte-erresistentzia bat (7.15 irudia) konektatzen bada sarrerako iragazkia-



(a) TOD *drivera*: IGBT baten pizte-prozesua. (b) TOD *drivera*: IGBT baten itzaltze-prozesua.



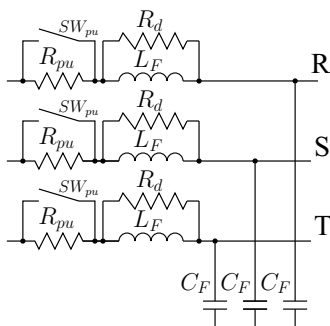
(c) IOD *drivera*: IGBT baten pizte-prozesua. (d) IOD *drivera*: IGBT baten itzaltze-prozesua.

7.14 irudia. TOD eta IOD *Driver*-topologiak erabiliz lortutako konmutazio-abiadurak eta ibilaldi-mailak.

ren fase bakoitzean [7, 197]. Abiaraztearekin erlazionatuta dagoen iragankorra amaitu ondoren SW_{pu} etengailuen bidez zirkuitulaburtzen da erresistentzia hori.

Hurrengo faktoreak izan behar dira kontuan sarrerako iragazkia diseinatzen denean:

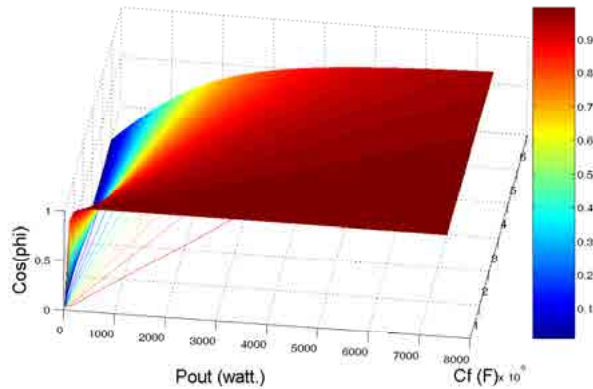
1. Ebaketa-maiztasuna (2.5) aukeratzekoan, kontuan izan behar da $f_c \ll f_{sw}$ izan behar dela, non f_{sw} bihurtuaren modulazio-maiztasuna den. Era horretan, sareari emandako korronteen kalitate ona bermatzen da. Modulazio-maiztasuna handitzean, konmutazio-maiztasuna ere handitzen da; ondorioz, hobetu egiten da sintetizaturiko seinaleen kalitatea. Gainera, ebaketa-maiztasun handiagoa aukera daiteke f_{sw} handitzen denean. Beraz, C_F eta L_F osagaiak txikitu egin daitezke. Hala ere, gailu erdieroaleen konmutazio-maiztasuna mugatuta dago, konmutazio-galerak direla-



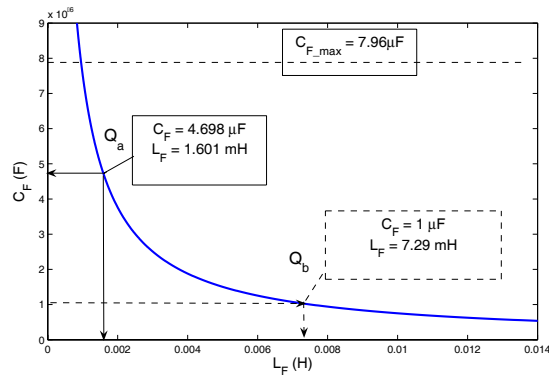
7.15 irudia. MCaren sarreran dagoen bigarren ordenako LC iragazkia, R_{pu} abiarazte-erresistentzia duena.

eta (maiztasun horren balioa ezin da nahi adina gehitu). Normalean, MCen modulazio-maiztasuna 5 kHz eta 15 kHz bitartekoa izan ohi da [27, 177, 198].

2. Abiarazte-erresistentzia beharrezkoa da iragazkiaren erresonantzia-tontorra murrizteko. Alde horretatik, erresonantzia-tontorraren atenuazioa handitu egiten da aukeratutako R_d erresistentziaren balioa txikitzen denean. Ordainetan, gutxitu egiten da maiztasun altuko osagaien atenuazioa. Beraz, bi faktore horien arteko konpromiso bat bilatu beharra dago.
3. Iragazkiaren f_c ebaketa-maiztasun jakin bat aukeratzean, C_F eta L_F elementuek infinitu soluzio posible har ditzakete (2.5). Iragazkia diseinatzean, desiragarria da C_F elementuaren balioa ahalik eta txikiena izatea, kondentsadoreak ahalik eta bolumen txikiena betetzeko. Bestalde, iragazkiaren induktantzia handitu egiten da C_F handitzean eta, ondorioz, $\cos \varphi_{in}$ potentzia-faktorea txikitu egiten da (7.16 irudia). Horrela, sarrerako korronea eta tentsioa defasatu egiten dira, eta hori printzipioz ez da desiragarria. Gainera, bihurtu potentzia baxuetan lanean ari denean, efektu hori oso nabaria da (7.16 irudia). Hala ere, C_F kondentsadoreen balioa ezin daiteke nahi den neurrian txikitu, ebaketa-maiztasun berbera mantentzeko L_F handitu behar denez, iragazkian gertatzen den tentsio-erorketa handitu egiten baita. Beraz, konpromiso bat bilatu beharra dago kondentsadoreen tamainaren eta aipatutako faktoreen artean.
4. Kontuan izan behar da L_F induktantzian zehar zirkulatutako duen korronea maximoaren balioa, eta baita C_F kondentsadoreak jasango duen tentsio maximoaren balioa ere, bai egoera iragankorrean eta baita egoera geldikorrean ere.



7.16 irudia. Potentzia-faktorearen kondentsadoreekiko dependentzia.

7.17 irudia. C_F eta L_F osagai erreaktiboen balioak, ebaketa-mahiztasuna 2 kHz-ekoa denean.

Iragazkiaren diseinuan, oso garrantzitsua da bihurgailuaren sarrerako korronea eta tentsioa fasean mantentzea ahalik eta potentzia-tarte handienera. Prototipoaren iragazkiaren diseinuan jarraitu den irizpidea ondokoa da: $\cos \varphi_{in} > 0.9$ izatea irteerako potentzia, bihurgailuaren potentzia nominalaren % 10a baino handiagoa denean. Bestalde, garrantzitsua da iragazkian gertatzen den tentsio-erorketa ahalik eta txikiena izatea, bihurgailuaren transferentzia-ratioa ahalik eta handiena izan dadin, eta MCa era egokian kontrolatu ahal izateko [123]. Behin irizpide hori hartuta, eta iragazkiaren tentsio-erorketaren problematika kontuan izanik, C_F eta L_F bikote bat aukeratzen da (7.17 irudia). Zentzu horretan, prototipoan erabiltzen den bigarren ordenako LC iragazkiaren parametro esan-

7.7 taula. Prototipoaren sarrerako iragazkiko parametro esanguratsuenak.

Param.	Kop.	Balioa	Deskribapena
C_F	3	4.7 μ F, 305 V	Iragazkiko kondentsadorea
L_F	3	16 mH, 16 A	Iragazkiko induktantzia
R_d	3	33 Ω , 11 watt	moteltze-erresistentzia
R_{pu}	3	47 Ω , 11 watt, 220 V	Abiarazte-erresistentzia
SW_{pu}	1	LY 4 (Omron): 12 V, 45 A, 4 kontaktu	Errele elektromekanikoa
f_c	-	2 kHz	Ebaketa-maiztasuna

7.8 taula. Finkatze-zirkuitua osotzen duten blokeen deskribapena.

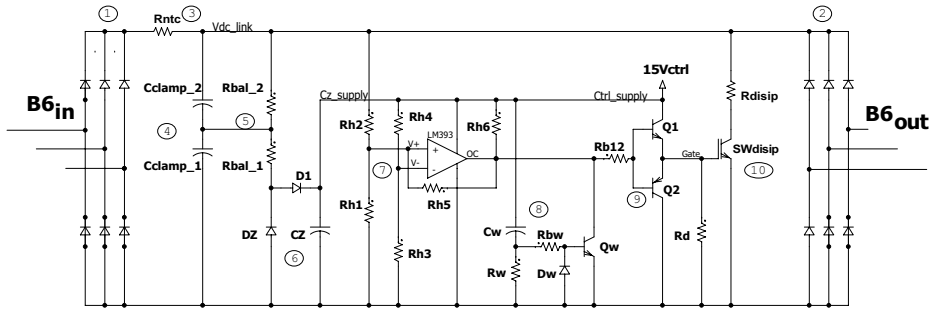
Blokea	Funtzionalitatea	Osagaiak
①	Sarea eta finkatze-zirkuitua konektatzea	6 diodo ($B6_{in}$)
②	Karga eta finkatze-zirkuitua konektatzea	6 diodo ($B6_{out}$)
③	Bat-bateko korronteak arintzea	R_{ntc}
④	MCA babestea	C_{clamp1} , C_{clamp2}
⑤	C_{clamp} kondentsadoreko tentsioak orekatzea	R_{bal1} , R_{bal2}
⑥	Kontrolaren elikadura segurtatzea	D_z , C_z , D_1
⑦	Histeresi bidezko kontrola	LM393, $R_{h1} \dots R_{h6}$
⑧	SW_{dissip} etengailua era seguruan aktibatzea	C_w , R_w , R_{bw} , D_w , Q_w
⑨	SW_{dissip} -rekin interfazea	R_{b12} , Q_1 , Q_2 , R_d
⑩	<i>Crowbara</i>	R_{dissip} , SW_{dissip}

guratsuenak aurkezten ditu 7.7 taulak.

(d) Finkatze-zirkuitua

MCak ez du energia metatzeko elementu nabarmenik, eta ezta korronteek libre zirkulatzekeo biderik ere. Ondorioz, MCA ez da potentzia-bihurgailu oso mardula. Hori dela-eta, nahikoa konplexua da MCA gainkorrante eta gaintentsioetatik babestea. Alde horretatik, finkatze-zirkuitua da MCA babesteko gehien erabiltzen den aukera [60]. MCaren prototipoak duen finkatze-zirkuituaren eskema erakusten du 7.18 irudiak. Bestalde, eskema horretan azaltzen diren osagaiak deskribatzen ditu 7.8 taulak, eta finkatze-zirkuituaren osagaien balioak eta parametro esanguratsuenak aurkezten dituzte 7.9 eta 7.10 taulek, hurrenez hurren.

Funtsean, bi B6 diodo-zubi (7.18 irudia, 1. blokea) eta C_{clamp} kondentsadorea (edo kondentsadoreak, 7.18 irudia, 4. blokea) nahikoa dira finkatze-zirkuitua eraikitzekeo. Hala ere, *crowbara* (7.18 irudia, 10. blokea) erabiliz neurri handia murriztu daiteke C_{clamp} kondentsadorearen tamaina [60]. Horrela, MCak konpaktua eta tamaina txikikoa izaten jarraitzen du (hori da MCaren abantaila nagusienetako bat). Histeresiaren bidezko kontrola (7.18 irudia, 7. blokea) erabiliz kontrolatzen da *corbareko* SW_{dissip} etengailuaren aktibazioa eta desaktibazioa. Etengailu hori aktibatu egiten da finkatze-zirkuituko kondentsadoreen $V_{C_{clamp}}$ tentsioak aurrez ezarritako balio bat gainditzen duenean. Horri esker,



7.18 irudia. Prototipoko finkatze-zirkuituaren diagrama.

7.9 taula. Finkatze-zirkuituko osagaiak eta horien balioak.

Osagaia	Kopurua	Deskribapena
C_{clamp}	2	270 μF , 450 V (Nichicon)
R_{bal}	2	47 k Ω , 10 W (Welwyn)
R_{disip}	1	50 Ω , $P_{nom} = 60$ W, $P_{max} = 2.7$ kW (Cresall ESH)
SW_{disip}	1	$V_{CES} = 1200$ V, $I_{nom} = 57$ A (IR IRG4PH50S)
B6	2	$I_d = 80$ A, $I_{fsm} = 550$ A (Semikron SK80DF)
R_{ntc}	3	20 Ω , $V_{max} = 680$ V, E = 500 J (Ametherm MS35 20010)

7.10 taula. Finkatze-zirkuituko parametro garrantzitsuenak.

Parametroa	Balioa
Finkatze-zirkuituko hasierako tentsioa ($V_{clamp_{ini}}$)	600 V
Finkatze-zirkuituko amaierako tentsioa ($V_{clamp_{fin}}$)	798 V
Finkatze-zirkuituko tentsio maximoa	900 V
SW_{disip} aktibatzekeko tentsio-maila ($V_{SW_{disip}}^{on}$)	798 V
SW_{disip} desaktibatzekeko tentsio-maila ($V_{SW_{disip}}^{off}$)	622 V

kondentsadoreak deskargatu egiten dira. Berriz, SW_{disip} etengailua desaktibatu egiten da tentsioa aurrez ezarritako balio bat baino txikiagoa denean. Limite horiek era egokian aukeratu behar dira [199]. Prototipoaren kasuan, kondentsadoreen arteko tentsioa 798 V baino handiagoa denean aktibatzen da etengailu hori, eta 622 V baino txikiagoa denean desaktibatzen da (7.10 taula).

Bestalde, R_{ntc} erresistentzia bat du prototipoko finkatze-zirkuituak sarrerako B6 diodo-zubiaren eta kondentsadoreen artean (7.18 irudia, 3. blokea). Finkatze-zirkuituan gerta daitezkeen bat-bateko gainkorronteak arintzea da erresistentzia horren helburua.

MCaren etengailu bidirekzionaletako bat zirkuitu irekian denean finkatze-zirkuituak duen funtzinamendua azalduko da 8.4. atalean.

7.11 taula. Aukerutzen den kontrol-estrategiaren arabera erabili behar den sentsore-kopurua.

Teknika	Sentsore-kopurua	
	Tentsioa	Korrontea
SVM modulazio-teknika	3	0
GSPWM modulazio-teknika	3	0
Korronte-begizta	0	3
DTC kontrol-teknika	3	3
Korrontearen noranzkoan oinarritutako	0	3
Lau pausoko konmutazio-estrategia	0	3

7.12 taula. Prototipoan erabilitako korronte- eta tentsio-sentsoreak.

Osagaia	Kopurua	Ezaugarriak
Tentsio-sentsorea (Lem CV3-1000)	3	± 1000 V $T_{resp} = 0.3 \mu s$ 500 kHz
Korronte-sentsorea (Lem LA 25-NP) Hall efektukoa	3	± 36 A $T_{resp} = 1 \mu s$ 150 kHz

(e) Korronte- eta tentsio-sentsoreak

Sarrerako tentsioak eta irteerako korronteak neurtu behar dira MCaren kontrola, modulazioa eta pauso anitzeko konmutazio-estrategiak gauzatu ahal izateko. Alde horretatik, bihurgailuaren sarreran eta irteeran beharrezkoak diren sentsore-kopurua adierazten du 7.11 taulak, erabiltzen den kontrol-estrategiaren arabera. Printzipioz, sarrerako tentsioa sinusoidala eta orekatua denean nahikoa da bi tentsio-sentsore erabiltzea SVM eta GSPWM modulazio-teknikak (3. kapitulua) erabiltzen direnean, neurtutako bi tentsioetatik ondoriozta baitaiteke hirugarren tentsioa. Hala ere, hori ez da horrela sarea desorekatua eta distortsionatua denean (4. kapitulua). Ondorioz, hiru tentsio-sentsoreak erabiltzen dira prototipoan. Prototipoan erabiltzen diren sentsoreak eta horien ezaugarriak erakusten ditu 7.12 taulak

7.4.2. Prototipatze azkarreko kontrolaren implementazioa

Jarraian, MCaren prototipatze azkarreko kontrola nola implementatu den azalduko da. Alde horretatik, laborategian eraikitako plataforma esperimentalak erakusten du 7.19 irudiak. RT-Lab eMEGAsim gailu digitalak kontrolatzen ditu aurreko atalean deskribatutako prototipoaren IGBTen aktibazio- eta desaktibazio-seinaleak (*driver*etara bidaltzen ditu seinale horiek gailu digitalak). Bestalde, prototipoan dauden sentsoreetatik jasotzen ditu kontrolatu behar diren aldagaien neurketak. Horretaz gain, *California Instruments* 4500LX AC iturri programa-

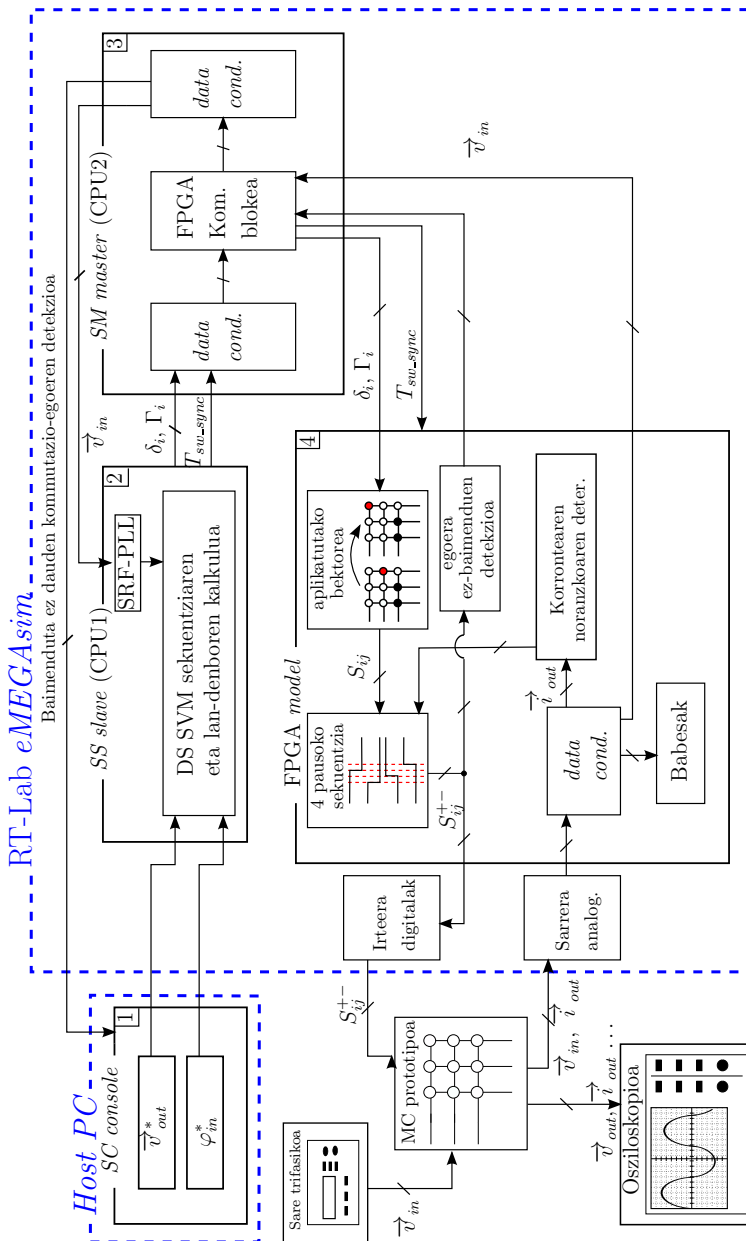


7.19 irudia. Plataforma esperimental: 7.5 kW-etako MCaren prototipoa, RL karga trifasikoarekin konektatuta eta RT-Lab eMEGAsim denbora errealeko gailu digitalaren bidez kontrolatuta.

garriarekin konektatu da MCaren sarrera, eta izar itxuran konektatuta dagoen RL karga trifasiko batekin MCaren irteera. *Zarel* fabrikatzailearen 10 mH-tako hiru induktantzia eta *California Instruments*en 3091LD karga trifasiko programagarria erabili dira RL karga sortzeko.

Lau azpisistema sortu dira *Matlab/Simulink*en MCaren prototipatze azkarreko kontrola gauzatzeko (7.20 irudia): *SC_Console*, *SM_Master*, *SS_Slave*, eta *FPGA Model*. FPGA birkonfiguragarria erabiltzen da RCP plataforman. Beraz, *Hardware Synchronized* simulazio-modalitatea (7.2. atala) aukeratu da. Modeloa osatzen duten azpisistemak deskribatuko dira jarraian:

- ***SC_Console* azpisistema** (7.20 irudia, 1. blokea): modeloa konpilatu eta kargatu ondoren, *host PC*an (7.2. atala) exekutatzen da azpisistema hori. Era horretara, RT-Lab eMEGAsim-ekin komunikatzeko baliagarria den erabiltzaile-interfazea sortzen da. Erabiltzaile-interfaze horri esker bihurgailuaren pizte/itzaltzea, sarrerako erreferentziazko potentzia-faktorea, irteerako tentsioaren erreferentziazko magnitudea eta fasea, etab. zehaz daitezke. Gainera, modulazio- eta kontrol-algoritmoak arazteko eta horien diseinua hobetzeko erabilgarriak diren seinaleak bistaratu daitezke *host PC*an.



7.20 irudia. MCaren prototipatze azkarreko kontrolaren eskema orokorra.

- ***SS_Slave* azpisistema** (7.20 irudia, 2. blokea): RT-Lab eMEGAsim-en konputazio-nodo batean exekutazen da azpisistema hori. Alde batetik, azpisistema horrek *SC_Consoletik* jasotzen ditu erreferentziazko-balioak. Bestalde, *SM_Master* azpisistematik jasotzen ditu prototipoaren sarrerean neurtutako tentsioak. SRF-PLLa edo 5.4. atalean proposatutako sinkronizazio-egitura erabiliz egiten da sare elektrikoarekin sinkronizazioa. Behin sarrerako tentsioaren eta erreferentziazko irteerako tentsioaren balioa ezagututa, modulazio-periodo bakoitzean ezarri behar diren bektoreak eta horiei dagozkien δ_i lan-denborak kalkulatu dira, SVM modulazio-algoritmoa (3.3. atala) erabiliz. Modulazio-periodo bakoitzean egiten dira kalkulu horiek. Modulazio-maiztasuna 12.5 kHz-etakoa denez, 80 μ s-tako T_{sim} simulazio-pausoa aukeratu da konputazio-nodo horrentzat.

“C” programazio-lengoaian deskribatutako S-Function bat erabili da SVM modulazioari dagozkion kalkuluak egiteko. Horri esker, modulazioa inplementatzeko beharrezkoa den *Simulink*eko bloke-kopurua minimizatu egiten da; horrela, modulazio-algoritmoaren arazketa errazagoa da.

- ***SM_Master* azpisistema** (7.20 irudia, 3. blokea): RT-Lab eMEGAsim-en bigarren konputazio-nodo batean exekutatu da azpisistema hori. Konputazio-nodoen arteko sinkronizazioaz arduratzeaz gain, PC-taldearen eta FPGAn arteko komunikazioaz arduratzen da *SM_Master* azpisistema. Alde horretatik, azpisistema horrek FPGARA bidaltzen ditu modulazio-taileak kalkulatuak bektoreen sekuentziak eta lan-denborak, modulazio-periodo bakoitzean. Bestalde, kontrolatu beharreko aldagaien balioak jasotzen ditu FPGATik. Gainera, FPGARA sinkronizazio-seinale bat bidaltzen du *SM_Master* azpisistemak, FPGAK modulazio-periodo bakoitza noiz hasten den jakin dezan. OPAL-RTk garatutako *Simulink*eko OP5130 blokea erabili da PC-taldearen eta FPGA txartelaren arteko komunikazioa gauzatzeko.

PC-taldean eta FPGAn exekutatu diren modeloen datuen formatua ezberdina da, hau da, koma higikorreko datuak erabiltzen dira PC-taldeko konputazio-nodoetan, eta koma finkokoak FPGAn. Beraz, FPGATik datuak jasotzeko edota FPGARA datuak bidaltzeko beharrezkoa da datu horiek egokitzea (*data conditioning*, ingelesez).

- ***FPGA Model* azpisistema** (7.20 irudia, 4. blokea): abiadura oso azkarra behar duten kontrol-funtzionalitateak inplementatu dira modelo horretan. Horretarako, XSG eta RT-XSG *toolbox*ak erabili dira. Jarraian aipatzen dira funtzionalitate horiek:

- (a) Aldiune bakoitzean ezarri behar den bektorearen determinazioa.

- (b) Korrontearen noranzkoaren detekzioa.
- (c) Korrontearen noranzkoan oinarritzen den lau pausoko sekuentziaren (2.5. atala) aplikazioa. Aldiune horretan ezarri behar den bektorea eta aurreko aldiunean ezarri dena ezberdinak direnean aktibatzen da sekuentzia hori.
- (d) Baimenduta ez dauden egoeren detekzioa. IGBTen konmutazio-sekuentzia era egokian ezartzen den jakiteko erabiltzen da bloke hori. Baimenduta ez dagoen egoera bat detektatzen bada, hemezortzi IGBTak desaktibatu egiten dira egiten dira MCa babesteko. Beraz, funtzionalitate hori oso baliagarria da bai modulazio-algoritmoa arazteko eta baita bihurgailua babesteko ere.
- (e) Prototipoan sarrerako tentsioen eta irteerako korronteen neurketen egokitzea. RT-Lab eMEGAsim-en sarrera analogikoen A/D bihurgailuetatik jasotzen dira neurketak $2 \mu\text{s}$ -ro. Ondoren, datu horiek egokitu egiten dira FPGA-n, modulazio-algoritmoan erabili ahal izateko.

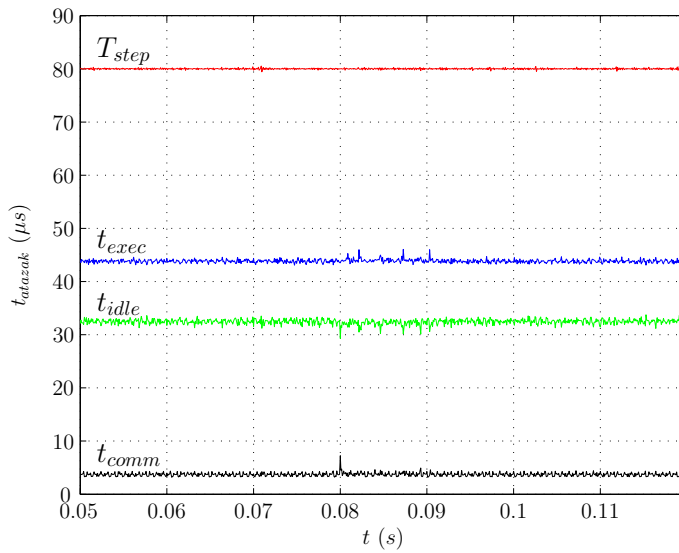
Ez da eragiketa trigonometriko konplexurik implementatu behar izan FPGA birkonfiguragarrian (PC-taldean egiten dira eragiketa horiek). Kontuan izan behar da ataza horiek FPGA batean inplementatzea konplexua dela; gainera, baliabide asko behar izaten dira horretarako.

Inplementatutako MC-RCP plataforman lortutako emaitza esperimentalak erakutsiko dira jarraian.

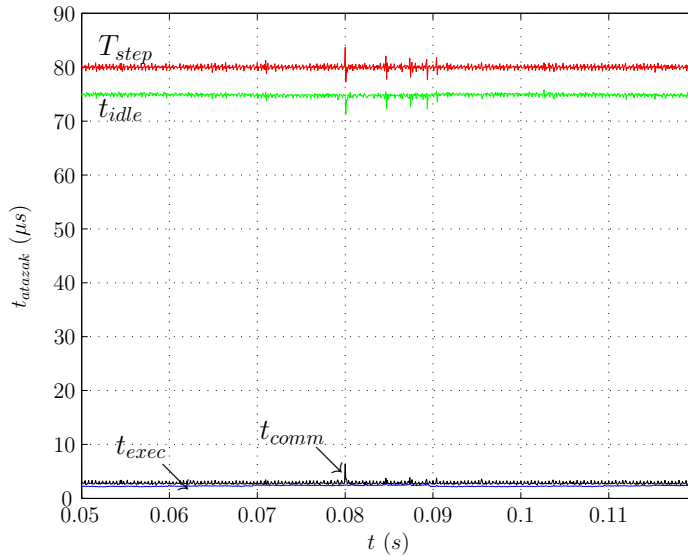
7.4.3. MC-RCP plataforman lortutako emaitza esperimentalak

RT-Lab eMEGAsim gailu digitalak kontrolaren modeloa denbora errealean simulatzeko gaitasuna duen frogatu behar da, lehenik eta behin. Alde horretatik, *SM.Master* eta *SS.Slave* azpisisistemak exekutatzeko konputazio-nodoak exekutatzen dituzten atazen iraupenak azaltzen dituzte 7.21 eta 7.22 irudiek, hurrenez hurren. Irudi horietan ikus daitekeen bezala, konputazio-nodoak gai dira ataza horiek denbora errealean exekutatzeke. Gainera, T_{step} pausoak duen *jittera* oso txikia da bi azpisisistemen kasuan. Bestalde, FPGA soberan azkarra da egin behar dituen atazak denbora errealean exekutatzeke.

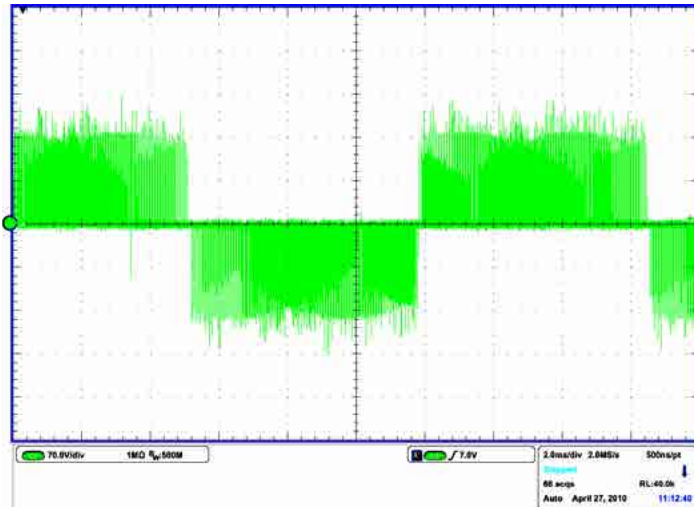
Aurpegi bakarreko SVM modulazio-teknika ezartzean RCP plataforman lortutako emaitza esperimentalak erakusten dituzte 7.23(a) - 7.24(b) irudiek. Alde horretatik, MCaren irteeran sintetizatutako linea arteko tentsioa erakusten du



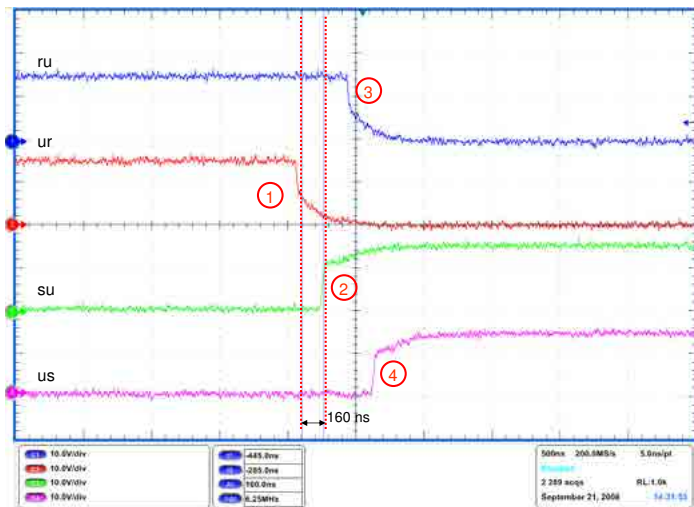
7.21 irudia. MCaren prototipatze azkarreko kontrola egitean *SM_master* azpisisistema gertatzen diren atazen iraupena.



7.22 irudia. MCaren prototipatze azkarreko kontrola egitean *SS_slave* azpisisistema gertatzen diren atazen iraupena.

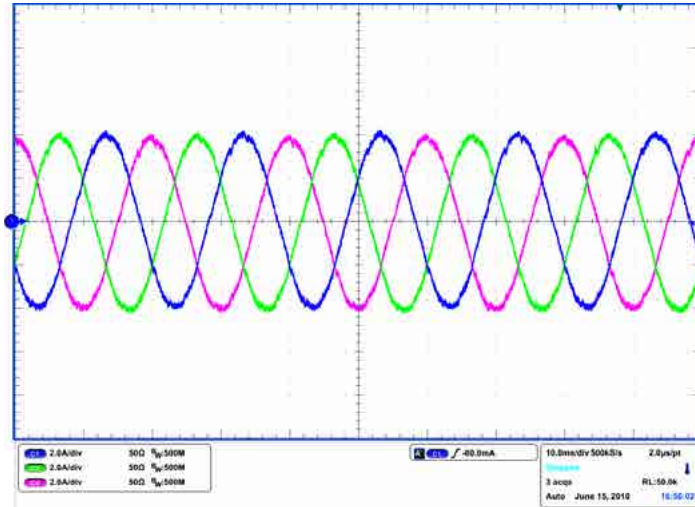


(a) MCak sintetizatutako irteerako tentsioa.

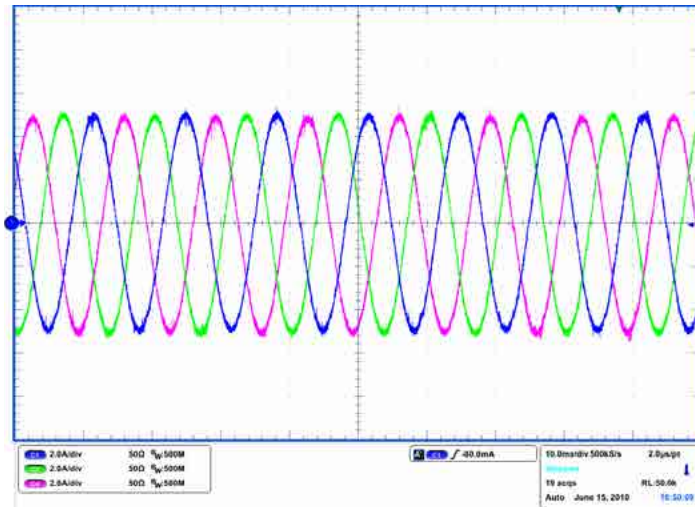


(b) Korrontearen noranzkoa positiboa deneko lau pausoko konmutazio-sekuentzia.

7.23 irudia. Prototipoaren irteeran lortutako tentsioa eta lau pausoko konmutazio-sekuentzia.

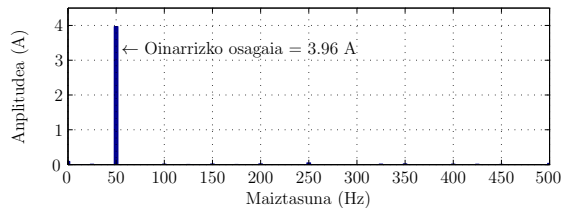


(a) MCak sarreran sintetizatutako korroneak.

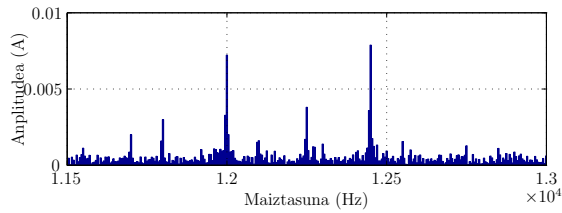


(b) MCak irteeran sintetizatutako korroneak.

7.24 irudia. Prototipoak sarreran eta irteeran sintetizatutako korroneak aurpegi bakarreko SVM modulazio-teknika erabiltzen denean.

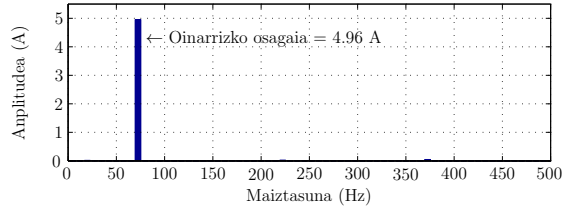


(a) Maiztasun baxuko osagai harmonikoak.

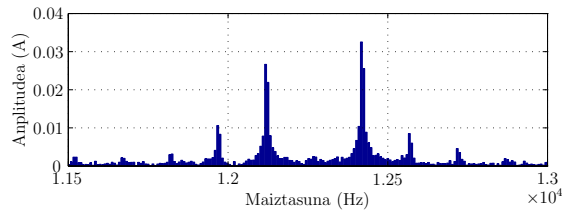


(b) Espektro harmonikoaren xehetasuna konmutazio-maiztasunaren inguruan.

7.25 irudia. Sarreran sintetizatutako korronteen espektro harmonikoa, aurpegi bakarreko SVM modulazio-teknika erabiltzen denean.

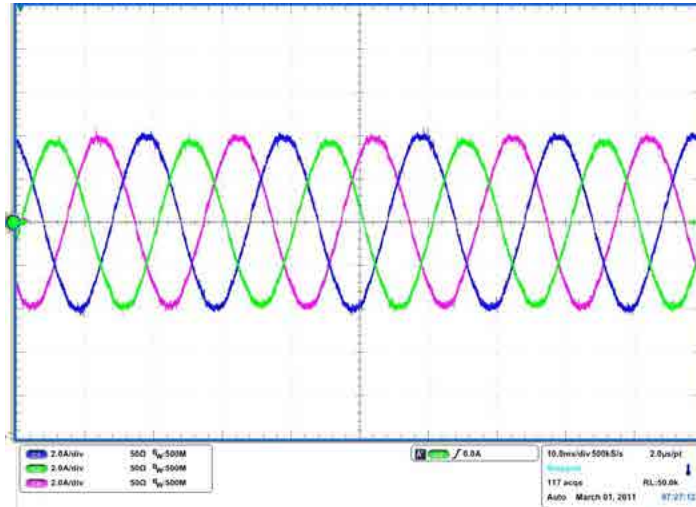


(a) Maiztasun baxuko osagai harmonikoak.

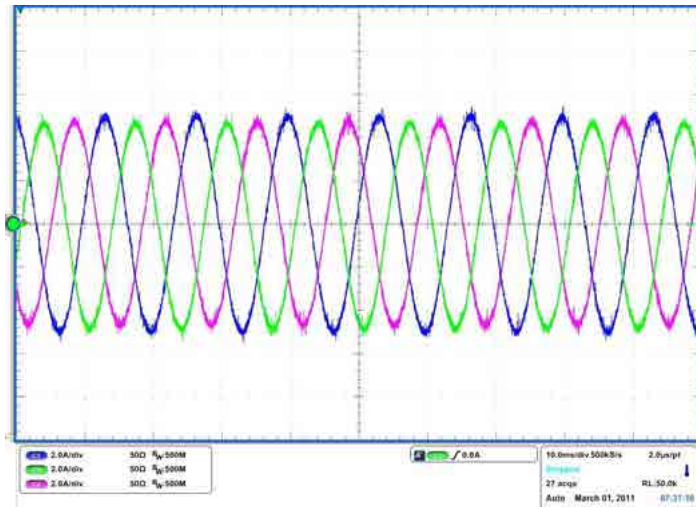


(b) Espektro harmonikoaren xehetasuna konmutazio-maiztasunaren inguruan.

7.26 irudia. Irteeran sintetizatutako korronteen espektro harmonikoa, aurpegi bakarreko SVM modulazio-teknika erabiltzen denean.

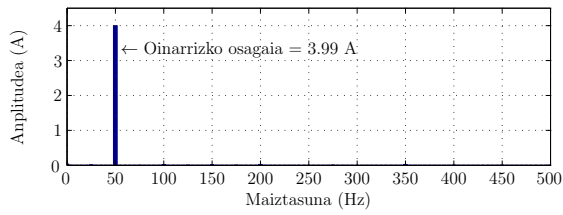


(a) MCak sarreran sintetizatutako korroneak.

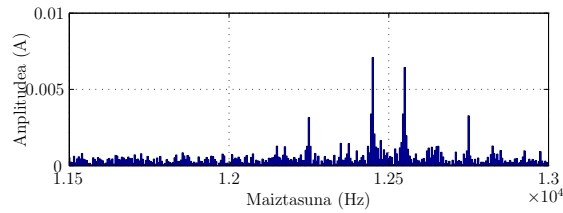


(b) MCak irteeran sintetizatutako korroneak.

7.27 irudia. Prototipoak sarreran eta irteeran sintetizatutako korroneak DS SVM modulazio-teknika erabiltzen denean.

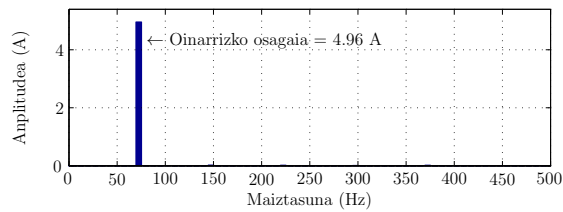


(a) Maiztasun baxuko osagai harmonikoak.

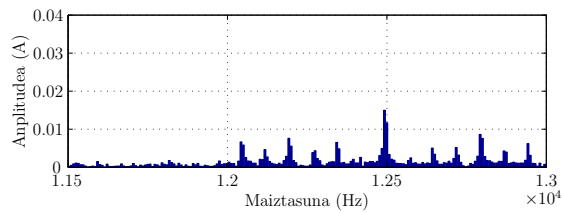


(b) Espekto harmonikoaren xehetasuna kommutazio-maiztasunaren inguruan.

7.28 irudia. Sarreran sintetizatutako korronteen espekto harmonikoa, DS SVM modulazio-teknika erabiltzen denean.



(a) Maiztasun baxuko osagai harmonikoak.



(b) Espekto harmonikoaren xehetasuna kommutazio-maiztasunaren inguruan.

7.29 irudia. Irteeran sintetizatutako korronteen espekto harmonikoa, DS SVM modulazio-teknika erabiltzen denean.

7.23(a) irudiak. Bere aldetik, lau pausoko kommutazio-sekuentzia baten adibidea erakusten du 7.23(b) irudiak. Prototipoan, 160 ns behar dira pauso bakoitza egiteko; ondorioz, 640 ns behar dira kommutazio-prozesu osoa egiteko. Bestalde, MCaren sarreran eta irteeran sintetizatutako korronteak erakusten dituzte 7.24(a) eta 7.24(b) irudiek, hurrenez hurren. Azkenik, MCaren sarrerako eta irteerako korronteen espektro harmonikoak erakusten dituzte 7.25 eta 7.26 irudiek. Sintetizatutako korronteen kalitatea ona da, sarrerako korronteen THDa % 4.03koa da, eta % 2.92koa irteerako korrontena.

Bestalde, DS SVM modulazio-teknika ezartzean prototipoaren sarreran eta irteeran lortutako korronteak erakusten dituzte 7.27(a) eta 7.27(b) irudiek, hurrenez hurren. Zentzu horretan, korronte horien espektro harmonikoak erakusten dituzte 7.28 eta 7.29 irudiek. Irudi horietan ikusten den bezala, maiztasun altuko osagaiak simetrikoki kokatuta daude f_{sw} modulazio-maiztasunaren inguruan. Sarrerako korronteen THDa % 3.15koa da, eta % 2.70koa irteerako korrontena. Beraz, korronteen kalitate harmonikoa hobetu egiten da DS SVM modulazio-teknika ezartzen denean.

7.5. Ondorioak

Denbora errealeko simulazioa oso erabilgarria da potentzia-bihurgailuen diseinu-prozesuan. Hala ere, kalkulu gaitasun handia duten gailu digitalak erabiltzea beharrezkoa da, potentzia-bihurgailuak eta horien kontrolatzaileak denbora errealean simulatu nahi badira. Alde horretatik, mikroprozesadoreetan oinarritzen den RT-Lab eMEGAsim simulatzaile digitala erabili da kapitulu honetan, MCaren simulazioa azkartzeko. Bestalde, bihurgailuaren prototipatze azkarreko kontrola gauzatzeko erabili da gailu hori ere.

Alde batetik, RT-Lab eMEGAsim-en konputazio paraleloarako gaitasuna eta SSMA simulazio-teknikaren eraginkortasuna konbinatu dira MCaren simulazioa azkartzeko. Zentzu horretan, MC bat duen haize-errota txiki baten modeloa denbora errealean simulatu da, eMEGAsim-en PC-taldeko bi konputazio-nodo erabiliz. Modelo hori denbora errealean simulatzeko erabili behar den pausoaren luzera handia da. Hala ere, emaitza zehatzak lortu dira SSMA teknikari esker (gertaera guztiak denbora errealean interpolatzeko nahikoa eraginkorra da proposatutako interpolazio-algoritmoa). Simulazioan lortzen den denbora-aurrezpenari esker, posible da egoera iragankor oso luzeak arrazoizko denbora-tarte batean simulatzea. Oro har, MCaren kontrol- eta modulazio-algoritmoak diseinatze-ko erabilgarria den simulazio-plataforma proposatu da. Adibidez, proposatutako plataforma oso baliagarria da haize-errota txikien eraginkortasuna aztertze-ko.

eta MPPT algoritmo berriak frogatzeko, simulazio luze baten bidez ahalik eta funtzionamendu-egoera gehienak simulatzea komeni baita kasu horietan.

Bestalde, PC-taldea eta FPGA birkonfiguragarria erabili dira MCaren prototipatze azkarreko kontrola gauzatzeko. Plataforma horri esker, simulazio-etapan diseinatutako modulazio- eta kontrol-algoritmoak zuzenean froga daitezke ikerketalaborategian eraikitako 7.5 kW-etako prototipo esperimenterean. Beraz, plataforma hori bihurgailuaren merkaturatze-denbora murrizteko oso baliagarria da, alde batetik, eta MCaren ikerketarako, bestetik. Lortutako emaitza esperimentalek inplementatutako MC-RCP plataformaren baliagarritasuna frogatu dute. Hurrengo kapituluan proposatutako modulazio-teknika berriak esperimentalki frogatzeko erabiliko da inplementatutako MC-RCP plataforma.

IV. atala

**Bihurgailu matrizzial
hutsegite-toleratzailea**

8. kapitulua

Bihurgailu matrizialaren hutsegite-tolerantziaren hobekuntza

8.1. Sarrera

Tesiaren hasieran azaldu den bezala, etorkizun handiko teknologia eskaintzen du MCak hainbat eta hainbat aplikaziotarako, hala nola aplikazio aeronautikoetarako [13, 38–41], urruneko kontrolaren bidezko urpekoetarako [12, 49], itsasontzien propulzio-sistemarako [42], ibilgailu elektrikoetarako [48] eta energia birsortu dezaketan igogailuetarako [8], besteak beste. Potentzia-bihurgailuaren fidagarritasuna (*reliability*, ingelesez) oso garrantzitsua da aipatutako aplikazio horietan. Horretaz gain, kontuan izan behar da sistemaren funtzionamendu jarraitua bermatu beharra dagoela kasu askotan, nahiz eta sistemaren osagaietako batek huts egin. Beste era batera esanda, hutsegite-toleratzailea (*fault tolerant*, ingelesez) izan behar du sistemak.

Definizioz, sistema bat hutsegite-toleratzailea dela esaten da sistema horrek hardware edota software hutsegiteei erantzuteko gaitasuna duenean, hau da, hutsegiteak gertatzean funtzionatzen jarraitzeko beharrezkoak diren funtzionalitate minimoak mantentzen dituzenean [200]. Potentzia-sistema tradizionalen (makina elektrikoekin konektatuta dauden inbertsoreak, adibidez) hutsegite-tolerantzia asko aztertu da literaturan. Alde horretatik, soluzio ugari proposatu dira siste-

ma horien hutsegite-tolerantzia hobetzeko, hala nola sistemaren erredundantzia handitzea, makina elektrikoen eta potentzia-bihurgailuen fase-kopurua gehitzea, edota bihurgailuaren kontrola eta egitura birkonfiguratzea, hutsegitea gertatzen denean [201–203]. Hala ere, MC hutsegite-toleratzaileak aztertzen dituzten lan gutxi plazaratu dira orain arte, eta gai horri buruzko interesa nahikoa berria da. Zentzu horretan, 2002. urtean plazaratu zen MC hutsegite-toleratzaileei buruzkoa den lehenengo lan ezaguna [204]. Gaur egun, MC hutsegite-toleratzaileei buruzko interesa gehituz doa, eta horren adibide ona da azken aldian argitaratu den lan-kopurua [15, 49, 205–216].

Kapitulu honetan, MCaren fidagarritasuna, osagaien hausturen problematika eta bihurgailua babesteko erabiltzen diren estrategia nabarmenenak azalduko dira, lehenik eta behin. Ondoren, literaturan aurki daitezkeen estrategia hutsegite-toleratzaileen sailkapena egingo da, eta estrategia horien ezaugarriak, abantailak eta desabantailak aurkeztuko dira. Horren ostean, bihurgailuak eta finkatze-zirkuituak duten portaera aztertuko da, MCaren gailu erdieroale bat (edo gehiago) hutsegite baten ondorioz zirkuitu irekian gelditzen denean. Bestalde, beharrezkoa da hutsegiteak identifikatzea, baldin eta estrategia hutsegite-toleratzaileak ezarri nahi badira. Alde horretatik, hutsegite baten ondorioz zirkuitu irekian dauden etengailuak identifikatzeko baliagarria den detekzio-estrategia berria proposatuko da.

Azkenik, zirkuitu irekiko hutsegiteak gertatzen direnerako baliagarria den modulazio-algoritmo hutsegite-toleratzaile berria aurkeztuko da. Software bidezkoa da proposatutako soluzio hori, hau da, nahikoa da kontrol-algoritmoa aldatzea hutsegitea detektatzen denean. Beraz, potentzia bihurgailua birkonfiguratzea ez da beharrezkoa (ez da hardware-osagai gehigarririk gehitu behar bihurgailuan). Bi helburu lortuko dira algoritmo horri esker: bihurgailua babestuko da, eta bihurgailuak irteeran sintetizatutako korrante eta tentsioak nabarmen hobetuko dira, bestetik. Proposatutako algoritmoari esker, PMSM bat duen makina bultzatzaile integratu baten abiadura era egokian kontrolatuko da hutsegite-egoeran. Amaitzeko, proposatutako algoritmoaren bideragarritasuna frogatzen duten emaitza esperimentalak aurkeztuko dira. Aurreko kapitulan aurkeztutako MC-RCP plataforma esperimentala erabiliko da emaitza horiek lortzeko.

8.1 taula. Topologiaren arabera potentzia-bihurgailuek duten fidagarritasunaren iragarpena.

Topologia	Hutsegite-ratioa λ (1/ordu)	Hutsegiteen arteko batezbesteko denbora (orduak)
Diodo-zubia (6 pultsu) - Inbertsorea	26.60e-6	37592
Diodo-zubia (12 pultsu) - Inbertsorea	29.02e-6	34464
Diodo-zubia (18 pultsu) - Inbertsorea	30.72e-6	32550
Artezgailua (PWM) - Inbertsorea	31.09e-6	32166
Bihurgailu matriziala	28.66e-6	34894

8.2. MCaren osagaien hutsegiteen problematika eta babes-estrategiak

Potentzia-bihurgailuak osatzen dituzten osagai elektronikoak apurtu egin daitezke, beraien bizi-zikloan zehar jasaten duten nekea dela-bide [217]. Alde horretatik, funtzionamendu-egoera normalean zenbait potentzia-bihurgailuek duten fidagarritasunaren iragarpena erakusten du 8.1 taulak [34]¹. Alde batetik, orduko zenbat hutsegite gertatzeko probabilitatea dagoen adierazten du λ parametroak. Bestalde, λ parametroaren alderantzizkoa bezala definitzen da hutsegiteen arteko batezbesteko denbora.

Osagai erdieroaleetan tentsioak eragiten duen nekea da hutsegiteak sortzen dituen faktore garrantzitsuenetakoa [34]. MCak etengailu-kopuru handia du (2. kapitulua). Arrazoi hori dela-eta, tentsioak sortutako nekea gehiago banatzen da MCaren etengailuen artean, beste potentzia-bihurgailuekin konparatuz gero [33]. Hala ere, etengailuen *driveren* hutsegite-ratioa altuagoa da MCaren kasuan, *driver*-kopuruarekiko proportzionala baita ratio hori [33, 34]. Aipatutako arrazoiak direla-bide, funtzionamendu-egoera normaletan MCak duen hutsegite-ratioa oso antzekoa da beste bihurgailuen hutsegite-ratioarekin konparatuta [34]. Adibidez, *back-to-back* bihurgailua baino pixka bat fidagarriagoa da MCa, analisi horren arabera².

Bestalde, hutsegiteak gertatzeko probabilitateak handitu egiten dira potentzia-bihurgailuak egoera latzetan (*harsh conditions*, ingelesez) funtzionatzen ari direnean [217]. Alde horretatik, MCa ez da beste bihurgailuak bezain mardula,

¹Aplikazio aeronautikoetan gehien erabiltzen den metodoa erabili dute artikuluauren autoreek fidagarritasunaren iragarpen horiek egiteko.

²Analisi horretan aplikazio aeronautikoak aztertzen direnez, metal-geruzazko kondentsadoreak erabiltzen dira MCarekin konparatzen diren topologietan. Beraz, uste izatekoa da MCaren fidagarritasuna beste bihurgailuekiko hobetzea, kondentsadore elektrolitiko arruntak erabiltzen direnean.

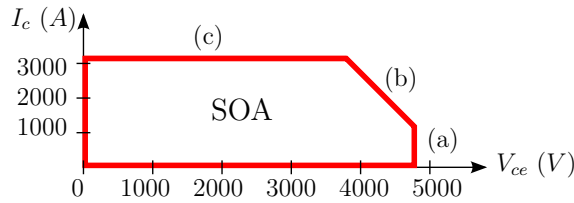
korronteez ez baitute aske zirkulatzeko biderik. Hori dela-eta, bihurgailuaren bi arauak (2.7) betetzen direla bermatuz egin behar dira etengailuen arteko konmutazioak. Adibidez, konmutazioa era seguruan egitea posible da, baldin eta lau pausoko konmutazio-sekuentzia (2.5. atala) erabiltzen bada. Hala ere, MCaren sarrera eta irteeretan gainkorranteak eta gaintentsioak sor ditzaketen egoerak gerta daitezke. Ondorioz, bihurgailua osatzen duten osagaiak puskatu egin daitezke gainkorrante eta gaintentsio horiek direla-bide. Hauexek dira gainkorranteak sortzen dituzten egoerak [218]:

1. Sare elektrikoan gertatzen diren perturbazioak: sareko distortsio harmonikoa, bat bateko tentsio-tontorrak eta tentsio-erorketak, itzalaldiak, etab. MCak zuzeneko AC/AC potentzia-bihurketa egiten du, eta ez du inolako energia-metatze elementurik. Beraz, perturbazioak igartzeko gaitasun oso mugatua du bihurgailuak (4. kapitulua).
2. MCaren konmutazioan gertatzen diren hutsegiteak: etengailuetan gerta daitezkeen hutsegiteak, kontrol-estrategian gerta daitezkeenak, MCaren oinarrizko bi arauak (2.7) ez betetzea (etengailuen konbinaketa desegokiaren ondorioz), etab.
3. Kargan gertatzen diren hutsegiteak: gehiegizko karga, zirkuitulaburrak makinaren hariletan, etab.
4. MCaren abiarazte desegokia, sarrerako iragazkian eta finkatze-zirkuituan gainkorranteak sortuz [7].
5. Korrante zirkulanteak MCaren etengailuetan, konmutazio-hutsegiteen edota bi arauak ez betetzearen ondorioz sortutakoak.

Bestalde, hauexek dira gaintentsioak sortzen dituzten egoerak [218]:

1. Sare elektrikoan distortsioak edota perturbazioek gaintentsioak sortzen dituzte bihurgailuaren sarreran.
2. MCaren irteeran gaintentsioak sor daitezke irteerako korrantearen noranzkoa gaizki zehazten denean, edota bihurgailua bat-batean itzaltzen denean (normalean, gainkorranteak direla-eta itzaltzen da bihurgailua bat-batean).
3. MCaren etengailuen inductantzia parasitoek gaintentsioak sortzen dituzte bihurgailuaren sarreran eta irteeran, di/dt oso handiak sortzen baitira konmutazio-aldiuneetan. Induktantzia parasitoen eraginez sortutako gaintentsioak lehuntzeko, MCaren etengailuetatik ahalik eta hurbilen kokatu behar dira sarrerako iragazkiko C_F kondentsadoreak (2.2 irudia).

Aurretik aipatutako egoera horiek hutsegiteak sor ditzakete potentzia-sistemaren hainbat tokitan, hala nola kargan, edota bihurgailua osatzen duten etengailuetan.



8.1 irudia. IGBT baten funtzionamendu-eremu seguruen adibidea.

Tesi honetan, etengailuetan eta horien *driver*etan gertatzen diren hutsegiteetan zentratuko gara. Alde horretatik, bihurtgailuaren etengailuak erabiltezinak gelditzen dira hurrengo bi kasuetan:

- **Etengailuak kontrolatzeko erabiltzen diren *driver*ak puskatzen direnean.** Kasu horretan, *driver*a ez da etengailua kontrolatzeko gai. Horren ondorioz, zirkuitu irekian gelditzen da etengailua normalean.
- **Etengailuen gailu erdieroaleak (IGBTak edo diodoak) puskatzen direnean.** Kolektorearen eta igorlearen arteko tentsioaren eta kolektoreko korrontearen mugek zehazten dute IGBTaren funtzionamendu-eremu segurua (SOA, *Safe Operating Area*, 8.1 irudia). Aipatutako korronteak edota tentsioak muga horiek gainditzen badituzte, IGBTaren siliziozko lotura hautsi egiten da. Hurrengo egoerak bereizten dira [219]:

- Gehiegizko tentsioa eta korronte baxua: olde efektua (*avalanche effect*, ingelesez).
- Gehiegizko korronte eta tentsioa: konmutazio-galera altuak.
- Gehiegizko korronte eta tentsio baxua: kondukzio-galera altuak.

Etengailua zirkuitu irekian edo zirkuitulaburtuta geldituko da hutsegitearen ondorioz, etengailua nola apurtzen den arabera.

Gauzak horrela, garrantzitsua da MCa babesteko baliagarriak diren estrategiak erabiltzea. Alde horretatik, literaturan aurkitzen diren babes-estrategia nabarmenak deskribatuko dira jarraian. Bi taldetan sailka daitezke babes-estrategia horiek:

- **Softwarean oinarritzen diren babes-estrategiak.**

Bihurtgailuaren osagaien segurtasuna arriskuan jartzen duen egoera bat gertatzen denean, MCaren kontrol-algoritmoak bektore jakin batzuk ezar ditzake, gaintentsioak edota gainkorronteak lehuntzeko. Adibidez, mota ho-

rretako software bidezko estrategia bat azaltzen da [220] erreferentzian, MCaren etengailuetako batek erantzuten ez duenean erabili ahal izateko baliagarria dena. Bestalde, sistemaren ohiko funtzionamenduan zehar kargan metatutako W_L energia magnetikoa kontrolatzen duten estrategia batzuk aurkezten dira [66, 67] erreferentzietan. Aldiz, W_L energia magnetikoaren balioa kontrolatzen du [53] erreferentzian aurkeztutako babes-estrategiak, MCaren sarreran bat-bateko tentsio-erorketak gertatzen direnean.

Nahiz eta software bidezko estrategia horiek MCarentzako oso onuragarriak izan, ez dira nahikoa mardulak. Izan ere, softwarean oinarritzen diren babes-estrategiek ezin dezakete egoera arriskutsu guztien aurrean bihurgailua babestu. Gainera, estrategia horiek huts egin dezakete, bai babes-algoritmoa gaizki ezartzen denean, eta baita EMI arazoak gertatzen direnean ere. Horretaz gain, kontuan izan behar da estrategia horiek latentzia jakin batekin erantzuten dutela. Alde horretatik, atzerapen hori gehiegizkoa izan daiteke ginkorrante- eta gaintentsio-egoeretan. Arrazoi horiek direla-bide, komenigarria da hardwarean oinarritzen diren babes-estrategiak erabiltzea MCa babesteko, estrategia horiek mardulagoak baitira, eta bat-batean erantzuteko gaitasuna baitute.

- **Hardwarean oinarritzen diren babes-estrategiak.**

Hardware-gailu osagarriak gehituz hobetu daiteke MCaren mardultasuna. Alde horretatik, hauexek dira MCa babesteko baliagarriak diren hardwarean oinarritutako babes-estrategia nabarmenenak [218]:

1. Sarrerako iragazkian konektatutako R_{pu} abiarazte-erresistentzia zirkuitulaburria (7.4.1. atala, 7.15 irudia). Bihurgailua abiaraztean sarrerako iragazkiaren portaera naturalen ondorioz iragazkiko kondentsadoreetan sortzen diren gaintentsioak eta ginkorranteak eta finkatze-zirkuitua zeharkatzen duen ginkorrantea lehuntzeko erabiltzen da erresistentzia hori. Ondoren, erresistentzia hori zirkuitulabur-tu egiten da, abiaraztearekin erlazionatuta dagoen iragankorra amaitzen denean.
2. MCaren mardultasuna nabarmen hobetzen da finkatze-zirkuitua (2.3.3. atala, 2.2 irudia) erabiltzen denean. Ordainetan, osagai errektiboen eta diodoen kopurua handitu egiten da. Korranteak libre zirkulatzeko bide ezak eta etengailuen induktantzia parasitoek sortzen dituen gaintentsio-arazoak arintzen ditu finkatze-zirkuituak. Gainera, sarrerako gaintentsioak eta ginkorranteak partzialki murrizten dira finkatze-zirkuituko kondentsadoreari esker. Zentzu horretan, MCaren etengailuen zirkuitu irekiko hutsegiteetan finkatze-zirkuituak bihur-

gailua nola babesten duen azalduko da 8.4. atalean.

Finkatze-zirkuituaren zenbait alternatiba aurki daitezke literaturan, hala nola IGBTen sarreretan eta irteeretan baristoreak eta diodo supresoreak erabiltzea dituen [67], edo erreleak eta disjuntoreak erabiltzen dituen [221]. Hala ere, aipatutako estrategia horiek ez dira egun finkatze-zirkuitua ordezkatzeko bezain aukera mardulak. Beraz, finkatze-zirkuitua da egun MCA babesteko gehien erabiltzen den aukera [60].

3. Kontrol-softwaretik banatuta dagoen zirkuitu berezia [7]. Zirkuitu horri esker, sekuentzia egoki bat jarraituz aktibatzen dira *driveren* elikadura-iturriak bihurgailua abiarazterakoan, eta sarrerako faseetan gerta daitezkeen zirkuitulaburrak ekiditen dira. Horrela, modu seguruan abiarazten da bihurgailua. Gainera, zenbait egoera arriskutsu (gainkorronteak, elikadura-iturrien hutsegiteak, etab.) detektatzeko gaitasuna du zirkuitu horrek. Etengailuak latentziarik gabe irekiz babesten du zirkuitu horrek bihurgailua, horrelako egoera bat detektatzen duenean.

Hala ere, babes-estrategia horiek ez dira kasu batzuetan nahikoa izaten, eta MCA osatzen duten osagaietako bat (edo batzuk) puskatu egin daiteke, gaintentsioak edota gainkorronteak gertatzen direnean. Egoera horri aurre egiteko aukera posible bat da bihurgailua itzaltzea eta, ahal denean, huts egin duen osagaia (edo bihurgailu osoa) ordezkatzea. Hala ere, hori ez da posible sistemaren funtzionamendu jarraitua bermatzea beharrezkoa den aplikazio kritikoetan. Kasu horietan, estrategia hutsegite-toleratzaileak ezarri behar dira, sistemak funtzionatzen jarraitu ahal izateko. Jarraian, literaturan MCentzako aurki daitezkeen estrategia hutsegite-toleratzaileak sailkatu eta aztertuko dira.

8.3. MCaren funtzionamendu jarraitua bermatzeko estrategia hutsegite-toleratzaileak

8.3.1. Estrategia hutsegite-toleratzaileen sailkapena

Hutsegite-egoeretan funtzionamendu-maila ezberdinak eskaintzen dituzten estrategia hutsegite-toleratzaileak aurki daitezke MCaren kasuan [222]. Horietako estrategia batzuk ezartzean, % 100ean funtzionatzen jarrai dezake sistemak hutsegitea gertatu ondoren (osagaien erredundantzia paraleloan oinarritzen dira estrategia horiek). Bestalde, MCak era pseudo-optimoan funtzionatzea ahalbideratzen

Beharrezkoa den etengailuen (eta ondorioz *driveren* eta iturri isolatuen) kopuru altua da topologia horien desabantaila nagusienetakoa. Ondorioz, potentzia-elektronikaren eta kontrol-algoritmoen konplexutasuna asko handitzen da kasu horietan. Bestalde, hiru fase baino gehiago dituzten makina bereziak eraiki behar dira estrategia horiek erabili ahal izateko. Beraz, kontuan hartzeko faktorea da sistema horiek duten kostu altua [217]. Azkenik, kontuan izan behar da fasekopurua gehitzean oinarritzen diren estrategiak erabiltzen direnean sistemak ez duela % 100ean funtzionatzen jarraituko, hutsegitea gertatu ondoren.

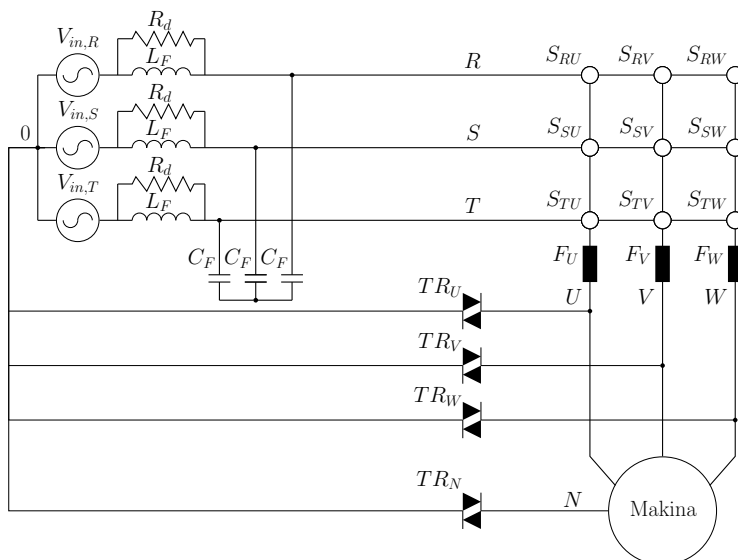
8.3.3. Sareko edota kargako neutroaren konexioan oinarritzen diren estrategiak

Sareko edota kargako neutroaren konexioan oinarritzen diren estrategia hutsegite-toleratzaileak dira literaturan gehien aurkitzen direnak [204, 207, 208, 211, 215, 216, 223]. Zentzu horretan, 8.3 irudiko topologia hutsegite-toleratzailea lortzen da, [204, 207, 208] erreferentzietan aurkeztutako soluzioak erabiliz gero. Zenbait hardware-gailu gehitu behar zaizkio MC estandarri irudi horretako topologia hutsegite-toleratzailea eraikitzeko: lau TRIAC³ (*TRIode for Alternating Current*; TR_U , TR_V , TR_W eta TR_N), hiru fusible azkar (*fast acting fuse*; F_U , F_V eta F_W) eta zenbait konexio gehigarri. Era horretara, makinan edota potentzia-bihurgailuan gertatzen diren zirkuitu irekiko hutsegiteei eta zirkuitulaburrei erantzuteko gai da sistema. Hutsegite-egoera horiei erantzun ahal izateko, potentzia-bihurgailua eta kontrol-algoritmoa birkonfiguratu egin behar dira. Hutsegite-egoeraren arabera, jarraian azaltzen diren bi aukeretako bat erabiliko da bihurgailua eta kontrola birkonfiguratzeko:

- (a) **Makinaren neutroa eta sareko neutroa konektatzen dituen soluzioa.** Hurrengo hutsegite-egoeretan da baliagarria soluzio hori: etengailuen zirkuitu irekiko hutsegiteetan, irteerako faseen zirkuitu irekiko hutsegiteetan (kargan edota potentzia-bihurgailuan gertatzen direnak) eta makinako faseetan zirkuitulaburrak gertatzen direnean. Azken kasu horretan, zirkuitulaburtuta dagoen makinako faseari dagozkion etengailu bidirekzionalak ireki egiten dira. Horrela, zirkuitu irekian dagoen fase bat lortzen da.

Hutsegitea gertatu den irteerako faseko etengailu bidirekzional guztiak ireki egiten ditu kontrolak, aipatutako hutsegiteetako bat identifikatzen denean. Modu horretan, elektrikoki isolatzen da huts egin duen fasea. Ondoren, MCa birkonfiguratu egiten da TR_N TRIACa (8.3 irudia) aktibatuz. Era

³TRIACen ordez, antiparaleloan konektatutako SCRak (*Silicon Controlled Rectifier*) erabiltzeko aukera dago ere.



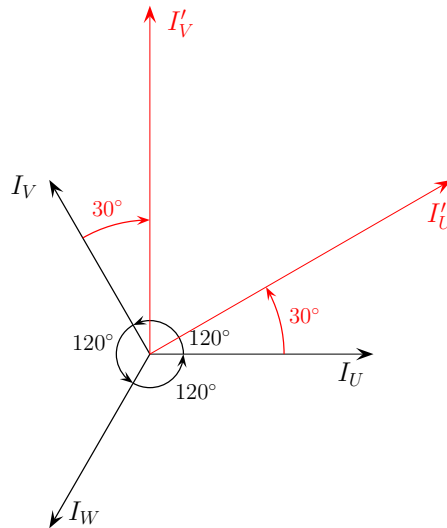
8.3 irudia. Sareko edota kargako neutroak konektatzen dituen topologia hutsegite-toleratzailearen eskema orokorra.

horretara, sareko neutroarekin konektatzen da makinaren neutroa, eta korrontearen fluxu bidirekzionala ahalbideratzen da konexio horretan (makina era desorekatuan kontrolatuko denez, beharrezkoa da konexio hori egitea). Azkenik, kontrol-algoritmoa birkonfiguratu egiten da, funtzionamendu normalean eta potentzia-bihurgailua birkonfiguratzean makinan lortzen den F_{MM} indar magnetoeragilea (MMF, *MagnetoMotive Force*) berdina izan dadin. Horri esker, makinak era pseudo-optimoan funtzionatuko du hutsegite-egoeran. Adibidez, birkonfigurazioaren ondorioz MCaren irteerako W fasea zirkuitu irekian denean ($I_W = 0$ A), MMFa konstante mantentzeko ezarri behar diren korrontek hauexek dira [207]:

$$I'_U = \sqrt{3}I \cos(\omega t + \frac{\pi}{6}), \quad (8.1)$$

$$I'_V = \sqrt{3}I \cos(\omega t + \frac{\pi}{2}), \quad (8.2)$$

non $\sqrt{3}I$ eta ωt irteerako korronteen anplitudea eta fase-angelua diren, hurrenez hurren. Hau da, funtzionamendu normalarekin konparatuta, $\sqrt{3}$ aldiz handitu behar da korrontea U eta V faseetan. Alde horretatik, bihur-



8.4 irudia. Sistemak ongi funtzionatzen duenean makinaren estatorean lortzen diren korronteak (beltzez), eta $I_W = 0$ A denean MMF berdina mantentzeko beharrezkoak diren korronteak (gorriz).

gailuaren irteeran lortzen diren korronteak erakusten ditu era bektorialean 8.4 irudiak, sistemak ongi funtzionatzen duenean (I_U , I_V eta I_W), eta deskribatutako kontrol hutsegite-toleratzailea ezartzean (I'_U eta I'_V). Estrategia hutsegite-toleratzaile hori ezartzean, makinaren eta sareko neutroen artean zirkulatzen du funtzionamendu-egoera desorekatu horren ondorioz sortzen den hirugarren korronteak. Horretaz gain, kontuan izan behar da sarrerako korronteak ez direla sinusoidalak izango estrategia hori ezartzen denean, irteerako I'_U eta I'_V korronteek duten forma dela-eta. Hala ere, sarrerako korronteen kalitatea bigarren mailako arazo bezala kontsideratzen da, larrialdiko funtzionamendu-egoera baita hori [207].

Bestalde, MCaren irteerako faseetako bat elektrikoki isolatu dela kontuan izan behar da. Ondorioz, 3×2 fase dituen MCA modulatu behar da erreferentziak zehaztutako (8.1) eta (8.2) korronteak sintetizatzen. Horretarako, [207] erreferentzian proposatutako modulazio-algoritmoa erabil daiteke.

Zirkuitu irekiko hutsegiteei erantzuteko gaitasuna duten mota horretako zenbait aldaera proposatu dira literaturan [210, 216], aurkeztutako estrategia hutsegite-toleratzailearen alternatiba modura. Makinaren neutroarekin konektatuta dagoen fase erreduante bat erabiltzen duten estrategia ho-

riek⁴, sareko eta makinako neutroen konexioaren ordez. Beraz, azken estrategia horiek inplementatzeko beharrezkoa den osagai-kopurua handiagoa da.

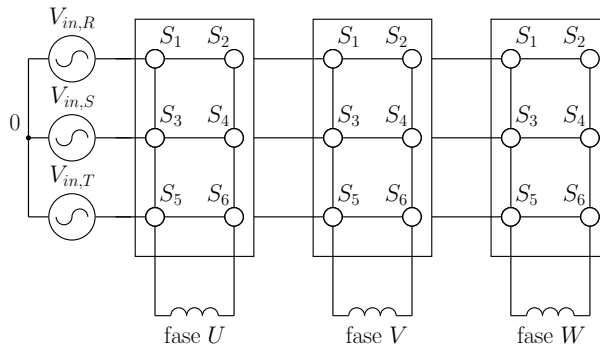
- (b) **Makinaren estatoreko faseetako bat eta sareko neutroa konektatzen dituen soluzioa.** MCaren etengailu bidirekzionaletan zirkuitulaburrak gertatzen direnean ezartzen da bigarren estrategia hori. Adibidez, S_{RU} etengailua zirkuitulaburtzen denean, S_{SU} eta S_{TU} etengailuak irekitzen ditu kontrolak, sarrerako faseen arteko zirkuitulaburrak ekiditeko. Egoera horretan, TRU TRIACa (8.3 irudia) aktibatu egiten da, eta zirkuitulaburra gertatu den faseari dagokion F_U fusible azkarra erre egiten da. Horrela, zirkuitu irekian gelditzen da bihurgailuaren fase hori. Bestalde, sareko neutroarekin konektatuta dagoen makinaren U fasea erabilgarria da egoera horretan. Zentzu horretan, korrante orekatu trifasikoak sor daitezke makinan, [208] erreferentzian proposatutako modulazio-algoritmo berezia erabiliz.

Bestalde, etengailuetan zirkuitu irekiko hutsegiteak gertatzen direnean, posible da topologia birkonfiguratu hori erabiltzea ere [211]. Kontuan izan behar da fusible azkarrak ez direla kasu horretan beharrezkoak. Hala ere, birkonfiguraturako potentzia-bihurgailu horrek funtzionamendu normalean baino $\sqrt{3}$ aldiz txikiagoa du transferentzia-ratio maximoa [211]⁵. Gainera, sarreran eta irteeran sintetizatutako seinaleen kalitatea murriztu egiten da. Alde horretatik, maiztasun baxuko $2\omega_{out} \pm \omega_{in}$ osagai harmonikoak agertzen dira sarrerako korronteeetan, funtzionamendu-egoera horretan [211].

Soluzio horiek erabiltzean, murriztu egiten da erabili behar den osagai-kopuru gehigarria, ez baita bihurgailuaren osagaien erredundantzia paralelorik behar. Hala ere, beharrezkoa da makinaren neutroa eskuragarri egotea estrategia horiek erabili ahal izateko, eta hori sarritan ez da posible izaten. Gainera, funtzionamendu-egoera pseudo-optimoan funtzionatzen du sistemak, hau da, sistemak ezin du % 100ean funtzionatzen jarraitu.

⁴Neutroaren konexioan oinarritzeaz gain, estrategia horiek erredundantzia paraleloan oinarritzen direla kontsidera daiteke ere.

⁵Beraz, lor daitekeen potentzia efikaz maximoa % 50ean murrizten da. Hori dela-eta, murriztu egiten da makina bultzatzailearen abiadura-eremua. Sarrerako tentsioaren balioa $\sqrt{3}$ aldiz gehitu daiteke egoera hori konpentsatzeko, edo estatoreko harilak delta konexiora aldatu hutsegite egoeran. Hala ere, hori askotan ez da posible izango.



8.5 irudia. MC modularren egitura.

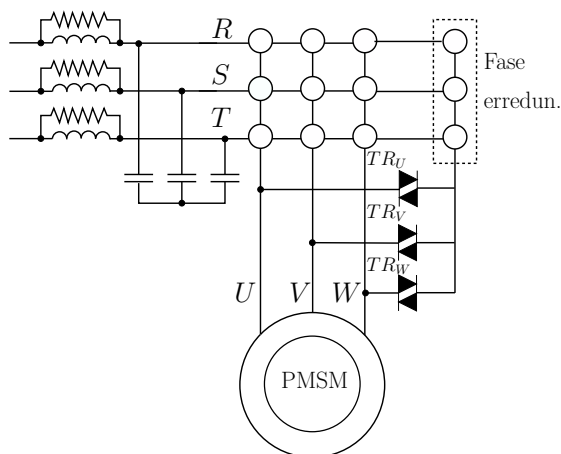
8.3.4. Osagaien erredundantzia oinarritzen diren estrategiak

Aplikazioaren beharrezan arabera, posible da aurretik aipatutako estrategia hutsegite-toleratzaileekin lortzen den funtzionamendu pseudo-optimoa nahikoa ez izatea. Alde horretatik, posible da sistemak % 100ean funtzionatzen jarraitzea, osagaien erredundantzia oinarritutako estrategiak ezartzen badira. Estrategia horietaz arituko gara jarraian.

Sistemaren hutsegite-tolerantzia hobetzeko, bi MC (edo gehiago) konekta daitezke paraleloan [178, 224]⁶. Bihurgailuren batek huts egiten duenean, isolatu egiten da bihurgailu hori, eta beste bihurgailua (edo bihurgailuak) potentziaren % 100a bihurtzeaz arduratzen da. Hala ere, kontuan izan behar da MC bat eraikitzeke beharrezkoa den etengailu-kopurua altua dela. Horretaz gain, *driver*ak, iturri isolatuak, etab. bikoiztu egin behar dira bi MC paraleloan konektatzeko. Beraz, kostu ekonomiko oso altua du soluzio horrek.

Etengailuen zirkuitu irekiko hutsegiteak gertatzen direnerako erabilgarria den beste soluzio posible bat da fase erredundanteak erabiltzea. Alde horretatik, MCaren topologia modular bat aurkezten da [205] erreferentzian (8.5 irudia). Topologia horri esker, fase batean gertatzen diren hutsegiteek ez dute eraginik beste faseetan. Gainera, puskatutako fase bat beste fase erredundante batengatik ordezkatzea errazagoa da kasu horretan. Ordainetan, modulazio-algoritmo berezi bat behar da topologia hori modulatu ahal izateko. Gainera, etengailu-kopuru

⁶Nahiz eta artikulu horiek ez duten zuzenean MCaren hutsegite-tolerantzia aztertzen, bihurgailu bakoitza isolatzeko aukerak (osagaien bat puskatzen denean) sistemaren mardultasunaren hobekuntza dakar, eta sistema hutsegite-toleratzaile bezala kontsidera daitezke.

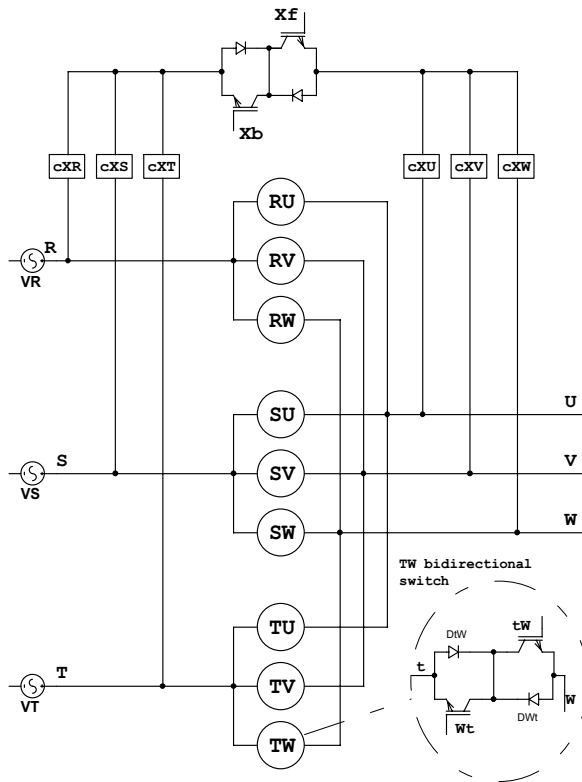


8.6 irudia. Fase erredundantea duen MC hutsegite-tolerantziaren egitura.

handia behar da, eta finkatze-zirkuitu bana bihurgailuaren fase bakoitzeko.

Aurreko bi estrategietan erabiltzen den osagai-kopurua (eta ondorioz kostua) murrizten duen topologia hutsegite-tolerantziak aurkezten da [212] erreferentzian. Etengailuetan zirkuitu irekiko hutsegiteak gertatzen direnerako da estrategia hori baliagarria. MCak normalean dituen osagaiez gain, fase erredundante bat eta hiru TRIAC ditu topologia horrek (8.6 irudia). Elementu horiek itzalita daude sistema egoera normalean funtzionatzen ari denean. Aldiz, hutsegitea gertatzen den fasea isolatu egiten da elektrikoki hutsegitea detektatzean, fase horretako etengailuak irekiz (fase horretako *driver*ak itzaltzen dira helburu hori lortzeko). Bestalde, kaltetutako faseari dagokion TRIACa aktibatzen da, eta fase horren aktibazio- eta desaktibazio-seinaleak fase erredundanteari bidaltzen dizkio kontrolak. Horrela, % 100ean funtzionatzen jarraitzen du sistemak.

Hala ere, etengailuen zirkuitu irekiko hutsegiteei erantzuteko gaitasuna duten egitura hutsegite-tolerantziak erredundante malguagoak aurki daitezke literaturan [209, 213, 225]. Bihurgailu edota fase erredundanteen ordez, etengailu erredundanteak erabiltzen dira estrategia horietan. Horrela, nahikoa da etengailu erredundante batengatik ordezkatzea huts egiten duen etengailua. Horri esker, beharrezkoa den osagai-kopuru erredundantea minimizatu egiten da. Sistemari eman nahi zaion erredundantzia-mailaren arabera izango da topologia hutsegite-tolerantziak horiek izango duten etengailu-kopuru erredundantea. Alde horretatik, etengailu erredundanteen eta konexiorako osagaien kopuru ezberdinak dituzten topologiak hutsegite-tolerantziak eraiki daitezke [213]. Adibidez,



8.7 irudia. Etengailu gehigarri bakarria duen X MC topologia erredundantea.

mota horietako topologiak erakusten dituzte 8.7, B.1 eta B.2 irudiek.

Topologia horietan, cX_j erreleak erabiltzen dira zirkuitu irekian gelditzen diren etengailuak ordezkatzeko beharrezkoak diren konexioak egiteko (8.7 irudia). Alde batetik, korronteez bi norabideetan zirkula dezakete erreleetan zehar. Bestalde, osagai horiek ez dute etengabe konmutatuko. Beraz, konexiorako osagaien azkartasuna bigarren mailako faktorea da kasu horretan.

Etengailu erredundanteetan oinarritzen diren zenbait topologia hutsegite-toleratzaile deskribatuko dira B eranskinean, eta horietako topologia bat erabiltzean lortutako emaitzak erakutsiko dira, estrategia horren funtzionamendua ilustratzeko.

8.3.5. Kontrol-algoritmoetan soilik oinarritzen diren estrategiak

Kostu ekonomikoa kontuan hartzeko faktorea denean, ez da komeni hardware-osagai gehigarriak erabiltzea, horiek duten kostu gehigarria dela-eta. Alde horretatik, kontrol-algoritmoetan soilik oinarritzen diren estrategiak erabil daitezke kasu horietan, sistemaren hutsegite-tolerantzia hobetzeko. Bestalde, erredundantzia paraleloan oinarritzen diren estrategia hutsegite-tolerantzailen (8.3.4. atala) osagarriak izan daitezke kontrol-algoritmoetan soilik oinarritzen direnak. Horrela, tolerantzia-maila bikoitza lortzen da; hau da, hutsegite-kopuruaren ondorioz estrategia erredundantea nahikoa ez denean ezartzen da kontrol-algoritmoan soilik oinarritzen den estrategia.

MCaren kasuan, kontrol-algoritmoetan soilik oinarritzen den estrategia hutsegite-tolerantzaile bakantekoa da [49] erreferentzian aurkeztzen dena. Sentsorerik behar ez duen kontrol-egitura (*sensorless control*, ingelesez) bektorial bat erabiltzen da lan horretan, urruneko kontrolaren bidez gidatutako urpeko baten PMSMak kontrolatu ahal izateko. Makinaren faseren batean zirkuitu irekiko hutsegiteren bat detektatuz gero, kontrol-algoritmoko behatzailea birkonfiguratu egiten da, errotoreko posizioa eta abiadura era egokian zehaztu ahal izateko. Horri esker, modu pseudo-optimoan funtzionatzen du makina bultzatzailearen abiadura-kontrolak, eta urpekoa gainazalera itzultzeko beharrezkoak diren funtzionalitate minimoak lortzen dira.

Zentzu horretan, MCaren etengailuen zirkuitu irekiko hutsegite-egoeretan bihurgailua babesten eta makinaren funtzionamendu pseudo-optimoa hobetzen duen kontrol-estrategia hutsegite-tolerantzaile berri bat aurkeztuko da 8.6. atalean. Lehenengo pauso modura, hutsegite-egoera horretan MCak eta finkatze-zirkuituak duten portaera aztertuko da jarraian.

8.4. MCaren eta finkatze-zirkuituaren portaera zirkuitu irekiko hutsegite-egoeretan

Etengailuen zirkuitu irekiko hutsegiteak gertatzen direnean, finkatze-zirkuituak babesten du MCa. Zirkuitu horrek hutsegite-egoeran duen funtzionamendua azaltzeko, MCaren S_{RU} etengailua puskatu eta zirkuitu irekian dagoela suposatuko da (8.8(a) irudia). Irteerako j fase bakoitzerako ($j = \{U, V, W\}$) hiru korrante ezberdintzen dira hutsegite-egoera horretan (8.8(a) irudia):

8.2 taula. Zirkuitu irekiko hutsegite-egoeran aztertutako MCaren parametro esanguratsuenak.

Sarrerako iragazkia		MCa - finkatze-zirk.	
C_F	26.5 μF	V_{in}	220 V_{rms}
L_F	0.9 mH	P_{out}	7.5 kW
R_d	33 Ω	C_{clamp}	135 μF
f_c	1 kHz	R_{dissip}	50 Ω
Karga			
R_s	11.4 Ω	L_s	18.2 mH

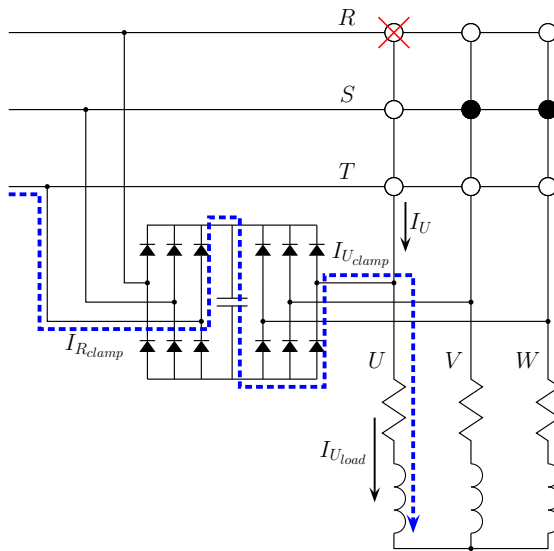
1. MCaren etengailuen eta eta finkatze-zirkuituaren artean j fasetik zirkulatzten duen korronea (I_j).
2. Kargako j fasetik zirkulatzten duen korronea (I_{jload}).
3. Finkatze-zirkuituko j fasetik zirkulatzten duen korronea (I_{jclamp}).

Alde horretatik, $I_j = I_{jload}$ eta $I_{jclamp} = 0$ A dira sistemak ongi funtzionatzen duenean. Beraz, egoera horretan ez da beharrezkoa etengailuen irteerako I_j eta kargako I_{jload} korroneak bereiztea. Oстера, $I_j \neq I_{jload}$ eta $I_{jclamp} \neq 0$ A dira zirkuitu irekiko hutsegite-egoeran, huts egin duen etengailuak aktibatu behar duenean.

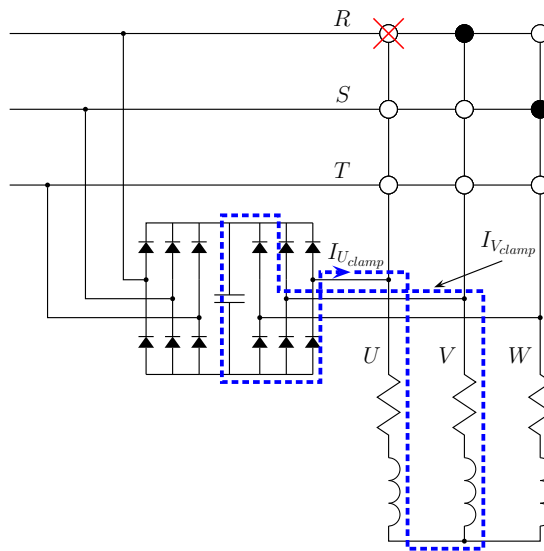
Adibidez, hutsegitearen ondorioz zirkuitu irekian gelditu den S_{RU} etengailuak aktibatu behar duenean, U fasea zirkuitu irekian gelditzen da. Finkatze-zirkuiturik ez balego, kargan dagoen korronte inductiboak ez luke izango nondik zirkulatu eta, bat-batean sortuko litzatekeen di/dt handia dela-bide, izugarritzko gaintentsioa sortuko litzateke. Egoera horrek arriskuan jarriko lituzke MCaren osagaiak. Oстера, finkatze-zirkuituak mugatu egiten du gaintentsio hori, korronte inductiboak zirkulatu ahal izateko bideak sortuz.

Sistemak zirkuitu irekiko hutsegite-egoeran duen portaera azaltzeko, 8.2 taulak erakusten dituen parametroak dituen modeloa simulatu da. Bihurgailuak ongi funtzionatzen du, ahalik eta $t = 0.04$ s-tik aurrera S_{RU} etengailua zirkuitu irekian gelditzen den (8.9(a) irudia). Alde horretatik, etengailuen eta finkatze-zirkuituaren arteko I_U korronea nulua da S_{RU} etengailuak aktibatu behar duenean (8.9(b) irudia), eta finkatze-zirkuitutan zehar zirkulatzten du kargan dagoen I_{Uload} korronte inductiboak (8.9(c) eta 8.9(d)). Hutsegite-egoeretan korronteek duten portaera konplexua da, horiek har ditzaketen ibilbideak asko baitira. Al-diune bakoitzean erresistentzia txikiena duen ibilbidetik zirkulatuko du korronte horrek [226]. Korronte inductiboak finkatze-zirkuitutik zirkulatzeko erabiltzen duen bidearen arabera, bi egoera bereiz daitezke:

- (a) Hutsegitea gertatu den kargako fasean dagoen korronte inductiboak bihur-

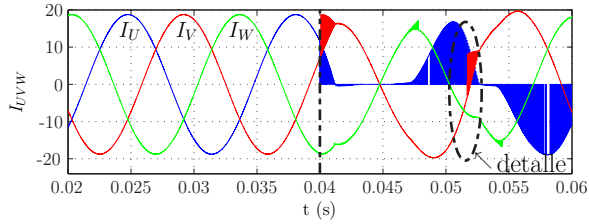


(a)

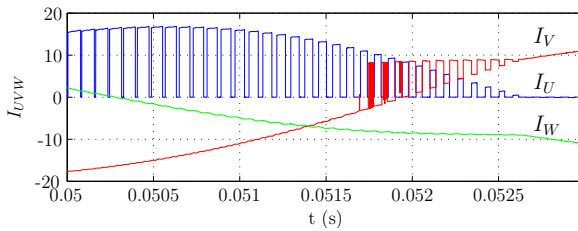


(b)

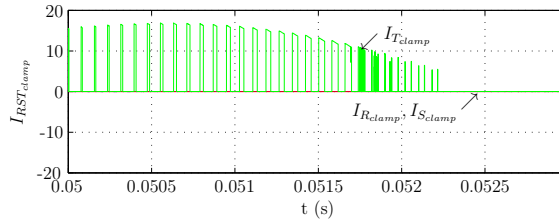
8.8 irudia. Finkatze-zirkuitua zeharkatzen duten korronteen adibideak, S_{RU} eten-gailu bidirekzionala zirkuitu irekian denean.



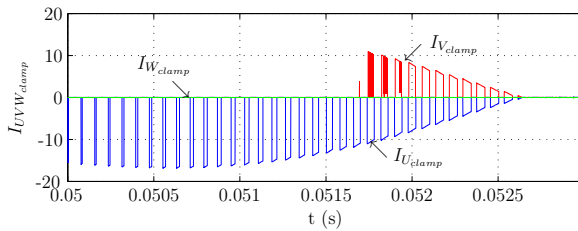
(a) Etengailuen irteeran korronteez duten portaera.



(b) Etengailuen irteeran korronteez duten portaera: (a) irudiaren xehetasuna.



(c) Finkatze-zirkuituko sarrerako diodo-zubiko korronteez.



(d) Finkatze-zirkuituko irteerako diodo-zubiko korronteez.

8.9 irudia. Korronteen portaera, S_{RU} zirkuitu irekian dagoenean.

gailuaren sarrerako fase batetatik zirkulatzen du. Adibidez, $+1$ bektorea ezartzean kargaren U faseko korranteak W faseatik nola zirkulatzen duen erakusten du 8.8(a) irudiak.

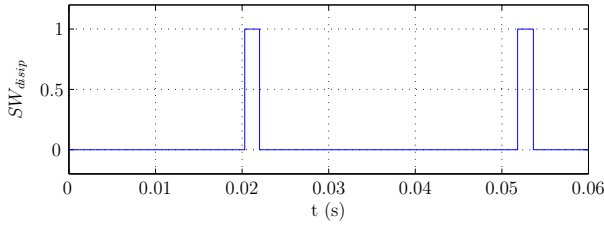
- (b) Hutsegitea gertatu den kargako fasean dagoen korrante induktiboak irteerako beste fase batetatik zirkulatzen du. Adibidez, -7 bektorea ezartzean U faseko korranteak V faseatik nola zirkulatzen duen erakusten du 8.8(b) irudiak.

Kaltetutako U fasea denbora nahikoan zehar irekita mantentzen bada, fase horretako induktantzia deskargatu egiten da, eta fase horretako korrantea nulua izatera pasatzen da (8.9(a) irudia).

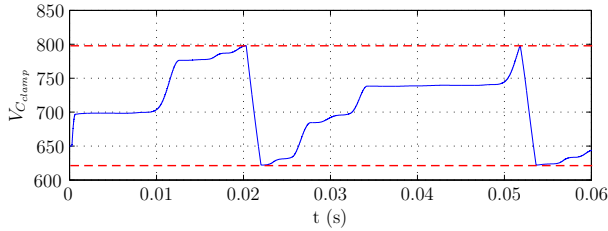
Bestalde, finkatze-zirkuituaren C_{clamp} kondentsadoreak kargan metatutako energia induktiboa jasotzen du funtzionamendu-egoera horretan. Hutsegite-egoerak luzaro jarraitzen badu, etengabe handituko litzateke C_{clamp} kondentsadorearen borneen artean dagoen $V_{C_{clamp}}$ tentsioaren balioa, kondentsadorea puskatuz. Hori gerta ez dadin, *crowbar* bat konektatzen da kondentsadorearekin paraleloan (7.18 irudia). Histeresiaren bidezko kontrol baten bidez, SW_{dissip} etengailua aktibatzen da $V_{C_{clamp}}$ tentsioak aurrez zehaztutako maila bat gainditzen duenean, eta desaktibatu egiten da beste maila jakin batetik behera egitean (8.10(a) irudia). Horri esker, kondentsadorea ez da puskatzen, $V_{C_{clamp}}$ maila seguruetan mantentzen delako (622 eta 798 V bitartean aztertutako kasuan, 8.10(b) irudia). Bestalde, *crowbar*ari esker posible da kondentsadore txikiagoa erabiltzea.

Ezohiko funtzionamendu-egoera horren ondorioz, kargari potentzia emateko gaitasuna galtzen du MCak. Adibidez, MCaren IGBTetako bat, etengailu horrekin seriean konektatuta dagoen diodoa, edota IGBT hori kontrolatzen duen *driver*a apurtzen direnean, bihurgailuak eman dezakeen potentzia maximoa % 94.4ra jaisten da (bihurgailuaren topologia edota kontrol-algoritmoa birkonfiguratu ez badira). Aldiz, bihurgailuak eman dezakeen potentzia % 88.9ra murrizten da, bi IGBT (edo etengailu bidirekzional bat) puskatzen direnean (8.3 taula).

Bihurgailuak eman dezakeen potentzia ez da asko murrizten zirkuitu irekiko hutsegiteak gertatzen direnean (8.3 taula), baldin eta etengailu asko puskatzen ez badira. Hala ere, MCaren sarreretan eta irteeretan sintetizatzen diren korranteen kalitateak behera egiten du. Alde horretatik, 8.2 taulan azaltzen diren parametroak dituen MC batean DS SVM modulazio-teknika (3.3. atala) ezartzean lortzen diren distorsio harmonikoaren emaitzak erakusten ditu 8.3 taulak, bai funtzionamendu normalean, eta baita IGBT bat edo etengailu bidirekzional bat apurtzen direnean ere (funtzionamendu txarrena duten korranteen THDak azaltzen ditu taula horrek). Bestalde, egoera horietan sarreran eta kargan lortutako korranteak erakusten dituzte 8.11(a) - 8.11(f) irudiek. Irudi horietan ikusten den



(a) Tentsioaren histeresiaren bidezko kontrola.



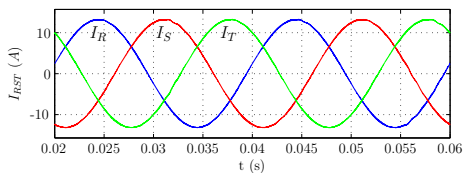
(b) Finkatze-zirkuituko kondentsadorearen tentsioa hutsegite-egoeran.

8.10 irudia. Finkatze-zirkuituko kondentsadorearen $V_{C_{clamp}}$ tentsioaren kontrola.

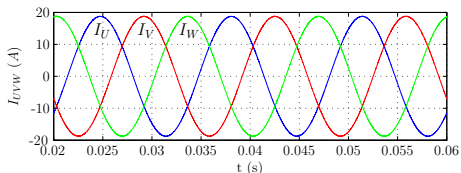
8.3 taula. Aztertutako MCaren funtzionamendua egoera normalean eta hutsegite-egoeretan.

Funtzionamendua: DS SVM, $f_{sw} = 12.5 \text{ kHz}$, $f_{out} = 75 \text{ Hz}$					
Osagirik faltan	P_{out} (%)	THD I_{in} (%)	THD I_{out} (%)	$I_{RMSIGBT}$ (%)	
Ez	100	0.7	0.3	41.0	
IGBT bat	94.4	31.9	46.3	45.1	
Eten. bidirekzional bat	88.9	56.0	80.6	51.9	

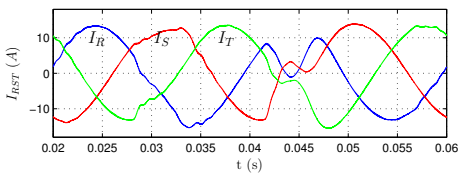
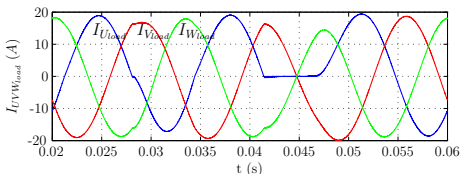
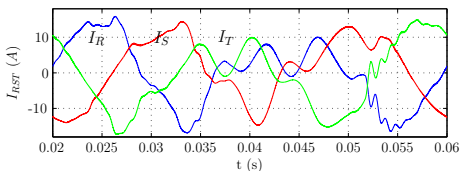
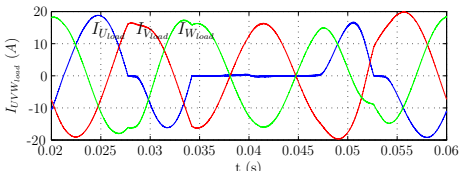
bezala, hutsegite-egoeretan lortzen diren korronteak (8.11(c) - 8.11(f) irudiak) asko urruntzen dira funtzionamendu normalean lortzen direnekiko (8.11(a) eta 8.11(b) irudiak). Alde horretatik, sarreran sintetizatutako korronteen maiztasun baxuko espektr harmonikoak erakusten ditu 8.12 irudiak, bihurtutako ongi funtzionatzen duenean eta etengailu bidirekzional bat puskatuta dagoenean. Etengailua puskatzeagatik sortzen diren maiztasun baxuko osagai harmonikoek eragin kaltegarria dute sare elektrikoan. Bestalde, 8.6.2. atalean ikusiko den bezala, kargaren kontrola okertu egiten dute osagai harmoniko horiek, karga makina elektriko bat denean.



(a) MCaren sarrerako korroneak, IGBT guztiak ondo daudenean.

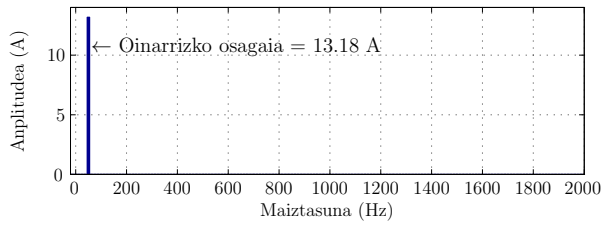


(b) MCaren irteerako korroneak, IGBT guztiak ondo daudenean.

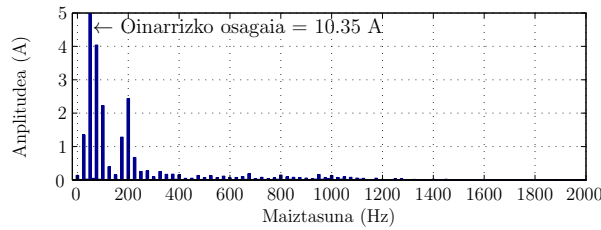
(c) MCaren sarrerako korroneak, rU IGBTak huts egiten duenean.(d) MCak kargan sintetizatutako korroneak, rU IGBTak huts egiten duenean.(e) MCaren sarrerako korroneak, S_{RU} etengailu bidirezionalak huts egiten duenean.(f) MCak kargan sintetizatutako korroneak, S_{RU} etengailu bidirezionalak huts egiten duenean.

8.11 irudia. MCak egoera ezberdinetan sarreran eta irteeran sintetizatutako korroneak, DS SVM modulazio-teknika erabiltzen denean.

Etengailuek hutsegite-egoeran jasaten duten nekea kontuan hartzeko faktorea da ere. Funtzionamendu-egoera normalean, IGBTetatik zirkulatu den korrone efikaza ($I_{RMS_{IGBT}}$) berdina da, hau da, IGBTa dagoen faseari dagokion korrone efikazaren % 41ak zirkulatu du IGBT bakoitzetik (8.3 taula). Gauzak horrela, MCaren etengailu guztietan era berean banatzen da nekea. Hala ere, sarrerako eta irteerako korroneak desorekatu egiten dira etengailuren batek huts egiten duenean (8.11 irudia). Horren ondorioz, IGBT batzuetatik zirkulatu den korrone efikaza handitu egiten da. Adibidez, % 41etik % 51.9ra handitzen da korrone hori (korrone efikaz handiena duen etengailuaren kasuan, 8.3 taula), etengailu bidirezional batek huts egiten duenean. Beraz, gailu erdieroaleak era egokian dimentsionatu behar dira, nekearen banaketa horrek etengailu gehiago



(a) IGBT guztiak ongi daudenean.

(b) Etengailu bidirezional bat (S_{RU}) zirkuitu irekian denean.

8.12 irudia. Sarrerako I_R korrontearen maiztasun baxuko espektro harmonikoa, DS SVM modulazio-teknika ezartzen denean.

puskatu ez ditzan.

Lortutako emaitzek erakusten duten bezala, MCak zirkuitu irekiko hutsegitegoeran duen funtzionamendua kaxkarra da. Beraz, beharrezkoa da estrategia hutsegite-toleratzaileak erabiltzea, sistemak era jarraituan funtzionatu behar badu.

8.5. MCaren etengailuen zirkuitu irekiko hutsegiteen detekzioarako estrategia

Estrategia hutsegite-toleratzaile bat ezarri aurretik, beharrezkoa da huts egin duen osagaia zehaztea. Alde horretatik, MCaren etengailu bidirekzionalen zirkuitu irekiko hutsegiteak detektatzeko baliagarriak diren zenbait estrategia aurki daitezke literaturan [149, 211, 227, 228]. Atal honetan, MCaren etengailuen zirkuitu irekiko hutsegiteen detekzioaren problematika aztertuko da, eta detekzioarako soluzio berri bat proposatuko da. Hiru aukera ezberdin aztertu dira horretarako:

- (a) **MCaren sarrerako eta irteerako tentsioak eta korronteak ezagutzuz, etengailuen egoera erreala determinatzea.**

Printzipioz, (8.3), (8.4) eta (8.5) espresioak erabiliz, MCaren etengailuen egoera erreala zehaztea posible dela pentsa daiteke. Sarreran eta irteeran dauden korronteak eta tentsioak ezagunak badira, bederatzi ekuazio eta bederatzi ezezagun (S_{ij}) dituen sistema bat lortzen da:

$$\vec{v}_{out} = \Gamma \vec{v}_{in}, \quad (8.3)$$

$$\vec{i}_{in} = \Gamma^T \vec{i}_{out}, \quad (8.4)$$

$$S_{Rj} + S_{Sj} + S_{Tj} = 1, \quad j = \{U, V, W\}, \quad (8.5)$$

non

$$\Gamma = \begin{pmatrix} S_{RU} & S_{SU} & S_{TU} \\ S_{RV} & S_{SV} & S_{TV} \\ S_{RW} & S_{SW} & S_{TW} \end{pmatrix}. \quad (8.6)$$

Hala ere, ekuazio-sistema horren bidez ez da posible bederatzi etengailu bidirekzionalen S_{ij} egoera errealak zeintzuk diren ebaztea, (8.4) eta (8.5) linealki menpekoak baitira. Horretaz gain, ekuazio-sistema hori ez da baliozkoa etengailuetako bat zirkuitu irekian gelditzen denean, bihurgailuaren bi arauak adierazten dituen (8.5) baldintza ez baita hutsegite-egoeran betetzen.

- (b) **MCaren irteeran neurtutako I_{UVW} korronteen neurketak erabiltzea.**

Hutsegite baten ondorioz MCaren irteerako j faseko etengailu bat zirkuitu irekian gelditzen denean, fase horri dagokion I_j korrontearen balioa zero da, etengailu horrek aktibatutako behar duenean (8.4. atala). Beraz, korronte horien neurketak erabiltzea pentsa daiteke, zirkuitu irekiko hutsegiteak detektatzeko. Hala ere, arazoak ditu metodo horrek. Irteerako korronte sinusoidalak zerotik igarotzen direnean edota zirkuitu irekiko hutsegitea kargan bertan gertatzen denean neurtzen den korrontea nulua da ere. Beraz, benetan gertatu ez diren hutsegiteak detektatzeko arriskua dago metodo hori erabiltzen denean. Hori dela-eta, baztertu egin da aukera hori.

- (c) **MCaren etengailuen sarreran eta irteeran neurtutako linea arteko tentsioak erabiltzea.**

MCaren sarrerako eta irteerako linea arteko tentsioek ez dute kargarekiko menpekotasunik. Beraz, tentsio horiek baliagarriak izan daitezke hutsegite baten ondorioz zirkuitu irekian gelditzen diren etengailuak identifikatzeko.

Kontrolak ezarritako bektorearen arabera, irteerako V_{UV} , V_{VW} eta V_{WU} tentsioekin era ezberdinean erlazionatzen dira sarrerako V_{RS} , V_{ST} eta V_{TR} tentsioak. Esaterako, +1 eta -5 bektore aktiboak (3.3 irudia) ezartzen direnean, hurrengo betetzen da bihurtugailuak ongi funtzionatzen duenean:

$$+ 1 \text{ bektorea} \Rightarrow \begin{cases} V_{UV} = V_{RS}, \\ V_{VW} = 0 \text{ V}, \\ V_{WU} = -V_{RS}, \end{cases} \quad (8.7)$$

$$- 5 \text{ bektorea} \Rightarrow \begin{cases} V_{UV} = V_{ST}, \\ V_{VW} = -V_{ST}, \\ V_{WU} = 0 \text{ V}. \end{cases} \quad (8.8)$$

Beraz, aldiune jakin batean sarrerako linea arteko tentsioak eta kontrolak ezartzen duen bektore aktiboa ezagunak badira, posible da funtzionamendu egokian irteeran sintetizatu beharko liratekeen linea arteko tentsioak estimatzea ($V_{UV_{est}}$, $V_{VW_{est}}$ eta $V_{WU_{est}}$). Alde horretatik, +1 bektorea ezartzen denean, S_{RU} , S_{SV} eta S_{SW} etengailuak aktibatzen dira (3.3 irudia). Hutsegite baten ondorioz S_{RU} etengailua zirkuitu irekian gelditzen bada, $V_{VW} = 0 \text{ V}$ da, baina V_{WU} eta V_{UV} tentsioak ez datoz (8.7) baldintzekin bat. Beraz, bihurtugailuaren irteeran neurtutako V_{VW} eta V_{WU} tentsioak ez dira aurreikusitako $V_{VW_{est}}$ eta $V_{WU_{est}}$ tentsioekin bat etorriko. Era berean, S_{SV} etengailua zirkuitu irekian denean, (8.7) baldintza betetzen ez duten irteerako tentsioak V_{UV} eta V_{VW} dira. Azkenik, zirkuitu irekian dagoen etengailua S_{SW} bada, V_{VW} eta V_{WU} tentsioak dira (8.7) baldintza betetzen ez dutenak. SVM modulazio-teknika bektorialak ezartzen dituen bektore aktibo guztietarako (3.3 irudia) da analisi hori hedagarria. Beraz, bektore aktibo bat ezartzen den momentuan sarrerako eta irteerako tentsioak ezagutuz gero, posible da etengailu bidirekzionalak ongi funtzionatzen ari diren edo horietako bat zirkuitu irekian dagoen jakitea.

Bestalde, bektore nulu bat (3.3 irudia) ezartzen denean, kontuan izan behar da irteerako tentsioek (8.9) baldintza bete behar dutela, bihurtugailuak ongi funtzionatzen duenean. Hala ere, nahiz eta etengailu bat zirkuitu irekian egon, baldintza hori bete egiten da bektore nulu bat ezartzean huts egin duen faseko korrontea zero denean (sarritan gerta daiteke hori hutsegite egoeran, 8.4. atala). Beraz, zirkuitu irekiko hutsegiteak detektatzeko ez da komenigarria bektore nuluak erabiltzea.

$$0 \text{ bektorea} \Rightarrow V_{UV} = V_{VW} = V_{WU} = 0 \text{ V.} \quad (8.9)$$

Hutsegiteen detekziorako algoritmoaren funtzionamendua balioztatzeko, 8.2 taulako parametroak dituen modeloa simulatu da. Alde horretatik, S_{RU} etengailua $t = 0.04 \text{ s}$ eta $t = 0.05 \text{ s}$ bitartean zirkuitu irekian dagoela simulatu da (8.13 irudia). MCaren irteeran neurtutako tentsioak (V_{ij}), eta irteeran estimatutako $V_{ij_{est}}$ tentsioak (aldiuneko sarrerako tentsioak eta modulazioak ezarritako bektoreak jakinik) erakusten dituzte 8.13(a), 8.13(b) eta 8.13(c) irudiek. Zentzu horretan, $V_{ij_{est}}$ eta V_{ij} tentsioak bat datoz sistemak ongi funtzionatzen duenean. Bestalde, irteeran neurtutako V_{UV} eta V_{WU} tentsioen balioak eta estimatutako tentsioenak ez datoz bat, S_{RU} zirkuitu irekian denean eta aktibatu behar duenean. Aldiz, hutsegite-egoeran ez da ezberdintasunik nabaritzen neurtutako eta estimatutako V_{VW} tentsioen artean (8.13(b) irudia), hau da, S_{RU} etengailuan gertatutako hutsegiteak ez du tentsio horretan eraginik.

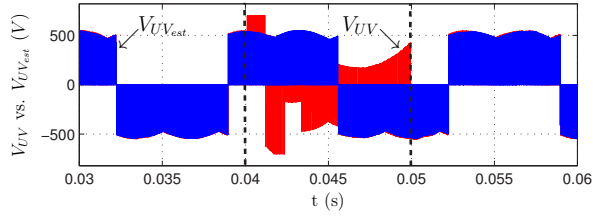
Bestalde, detekzio-algoritmoak S_{RU} etengailuko hutsegitea nola detektatzen duen erakusten du 8.13(d) irudiak. Algoritmoaren emaitza “1” logikoa da S_{RU} etengailuaren zirkuitu irekiko hutsegitea detektatzean, eta “0” logikoa funtzionamendu normalean. Lortutako emaitzek proposatutako algoritmoaren baliagarritasuna erakusten dute, hutsegite-egoera eta egoera normala bereizteko gaitasuna baitu algoritmoak.

8.6. MCarentzako kontrol hutsegite-toleratzaile berria

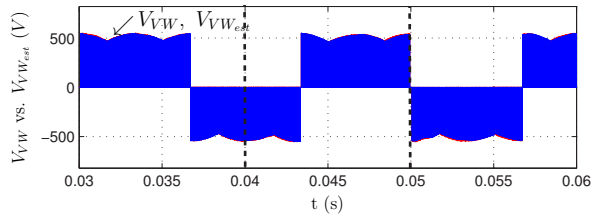
8.6.1. SVM modulazio-teknikaren aldaera berriak

Bihurgailuan gertatutako zirkuitu irekiko hutsegitea detektatu ondoren, estrategiaren bat ezarri behar da, hutsegiteak sortutako arazoak (8.4. atala) minimizatu nahi badira. Alde horretatik, etengailuen zirkuitu irekiko hutsegiteak gertatzen direnerako baliagarriak diren hiru modulazio-teknika hutsegite-toleratzaile berri proposatuko dira tesi honetan. Portaera onena duen modulazio-teknika aukeratzuz, posible izango da PMSM bat era egokian kontrolatzea, zirkuitu irekiko hutsegite bat gertatzen denean. Modulazio-teknika berri horiek azalduko dira jarraian.

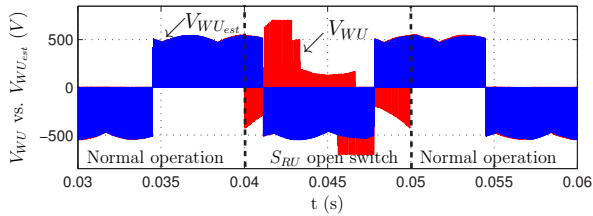
MCan baimenduta dauden hogeita zazpi konmutazio-egoeren edo bektoreen artean, hogeita bat erabiltzen ditu bakarrik SVM modulazio-teknika tradizionalak (3.3.1. atala). Horietako hemezortzi bektore aktiboak dira ($\pm 1 \dots \pm 9$), eta hiru



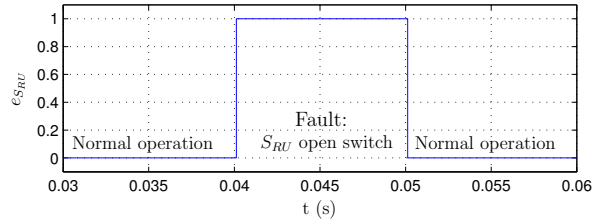
(a)



(b)

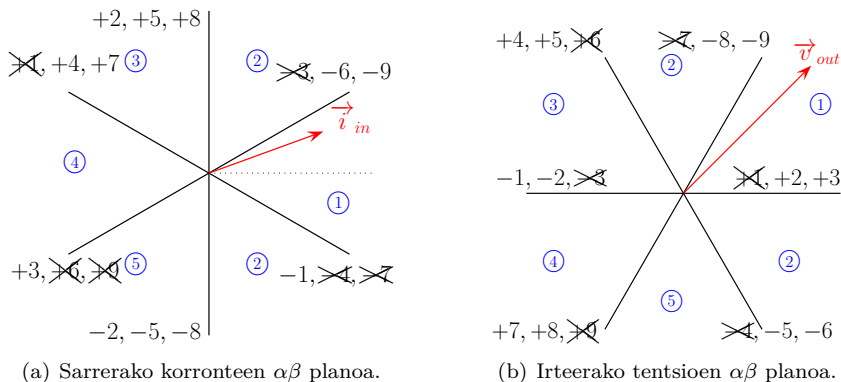


(c)



(d)

8.13 irudia. (a), (b), (c) MCaren irteerako tentsioak vs detekzio-algoritmoak estimatutakoak. (d) S_{RU} etengailuaren zirkuitu irekiko hutsegitearen detekzioa.



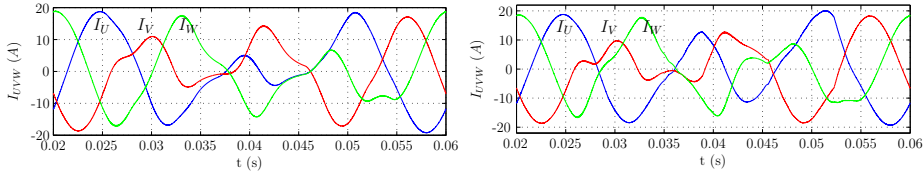
8.14 irudia. Sintetizagarriak diren sarrerako eta irteerako bektore aktiboak $\alpha\beta$ planoan, S_{RU} etengailu bidirekzionala irekita dagoenean.

bektore nuluak ($0_1 - 0_3$). Erdieroaleetan edota *driver*etan gertatutako hutsegiteen ondorioz bihurgailuaren etengailuetako bat zirkuitu irekian gelditzen denean, hogeita batetik hamalaura murrizten dira SVM modulazio-teknikak era egokian ezar ditzakeen bektoreak. Adibidez, S_{RU} etengailu bidirekzionala zirkuitu irekian denean, ez da posible $+1, -3, -4, +6, -7, +9$ eta 0_1 konmutazio-egoerak sintetizatzea (8.14 irudia). Erreferentziazko \vec{i}_{in} eta \vec{v}_{out} bektoreek $\alpha\beta$ planoan duten posizioaren arabera (8.14(a) eta 8.14(b) irudiak), era egokian ezar ezin daitezkeen konmutazio-egoeren nagusitasuna egongo da. Horren ondorioz, MCak sintetizatutako korronteen eta tentsioen kalitateak behera egingo du nabarmen sextante jakin batzuetan.

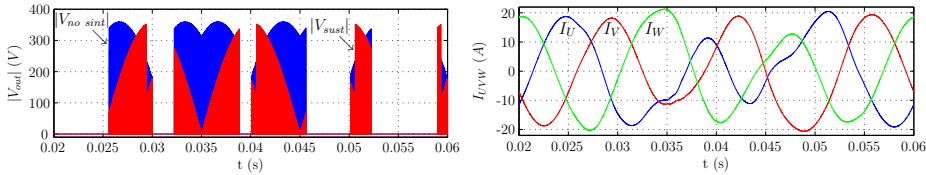
Hardwarea birkonfiguratzerik behar ez duen estrategia hutsegite-toleratzaile bat (hau da, kontrolean soilik oinarritzen dena) sortzeko aukera ezberdinak daude. Aukera posible bat da sintetiza ezin daitezkeen bektoreak sintetizagarriak direnengatik era egokian ordezkatzzea. Horri esker, bihurgailua hutsegite-egoeratik babestea lortzen da. Beraz, sistemak modu seguruan funtzionatzen jarrai dezake, nahiz eta zirkuitu irekiko hutsegite bat izan, hau da, ez da finkatze-zirkuituaren babesik behar. Bestalde, MCaren irteerako tentsioetan eta korronteen hutsegiteak duen eragin negatiboa konpentsatzen saiatuko dira estrategia horiek. Alde horretatik, hauexek dira bektore ez sintetizagarriak ordezkatzeko aztertu diren hiru aukerak:

A Sintetiza ezin daitezkeen bektoreak bektore nulu sintetizagarriengatik ordezkatzzea.

Estrategia horretan, sintetiza daitezkeen bektore nuluengatik ordezkatzeko



(a) A estrategia ezartzean lortutako emaitzak. (b) B estrategia ezartzean lortutako emaitzak.



(c) Bektore ez sintetizagarrien eta horiek ordezkaten dituzten bektoreen amplitudeak $\alpha\beta$ planoan, B estrategia erabiltzean. (d) C estrategia ezartzean lortutako emaitzak.

8.15 irudia. Proposatutako konpentsazio-estrategiak ezartzean (S_{RU} etengailu bidirekzionala zirkuitu irekian dagoenean) begizta irekian lortutako emaitzak.

dira bektore ez sintetizagarriak. Horrela, MCa gaintentsioetatik babesten da, (2.7) baldintza bete egiten baita aldioro. Zentzu horretan, estrategia hori ezartzean lortutako emaitzak erakusten ditu 8.15(a) irudiak. Teknika hori ezarriaz lortutako THDak (8.4 taula) eta irteerako korranteak (8.15(a) irudia) ez dira onak. Ez hori bakarrik, MCaren S_{RU} etengailu bidirekzionala zirkuitu irekian denean eta bihurgailuak finkatze-zirkuituak babestuta funtzionatzen duenean baino kaxkarragoak dira lortutako emaitzak, sintetizatutako seinaleen kalitatearen ikuspuntutik. Beraz, nahiz eta bihurgailua babesteko baliagarria izan, estrategia hori ez da oso eraginkorra.

B Errorea irteerako $\alpha\beta$ planoan minimizatzea.

Estrategia horretan, $\alpha\beta$ planoan hurbilen dituzten bektoreengatik ordezkaten dira sintetiza ezin daitezkeen bektoreak. Alde horretatik, bi egoera bereizten dira estrategia hori ezartzean:

- (a) Sintetiza ezin daitezkeen bektorea nulua denean (adibidez, 0_1 bektorea S_{RU} zirkuitu irekian denean), beste bektore nuluetako batek (0_2 edo 0_3 bektoreak) ordezkatu dezake bektore hori, hiru bektore nuluek eragin berdina baitute $\alpha\beta$ planoan (3.3.1. atala). Beraz, askatasun-gradu bat dago kasu horretan. Alde horretatik, konmutazio-kopuru txikiena inposatzen duen bektore nulua aukeratuko da ordezkapena egiteko.

8.4 taula. MCak kargan sintetizatutako korronteen THDa, bihurgailuak ongi funtzionatzen duenean, S_{RU} zirkuitu irekian dagoenean, eta proposatutako estrategiak ezartzean.

Korrontea	MCa ongi	THD (%)			
		S_{RU} zirk. irek.	A est.	B est.	C est.
$I_{U_{load}}$	0.3	80.6	70.6	40.9	58.0
$I_{V_{load}}$	0.3	23.8	48.2	52.6	23.5
$I_{W_{load}}$	0.3	26.8	48.6	40.8	24.7

- (b) Sintetiza ezin daitekeen bektorea aktiboa denean, irteerako $\alpha\beta$ planoan bektore horren fase berdina eta anplitudetik hurbilena duen bektore sintetizagarria ezartzen da. Kontuan izan behar da bektore aktiboen anplitudea sarrerako tentsioen menpekoa dela irteerako $\alpha\beta$ planoan (3.1 taula). Bihurgailuak ongi funtzionatzen duenean, fase berdina eta anplitude ezberdinak dituzten hiru bektore aktibo daude irteerako $\alpha\beta$ planoan. Hala ere, bektore aktibo batek edo bik dute ordezkatu behar den bektorearen fase berdina, sarrerako tentsioaren $\alpha\beta$ planoko posizioaren arabera (8.14 irudia).

Bigarren estrategia horretan ere, bihurgailua gaintentsioetatik babestea lortzen da, (2.7) baldintza aldiro betetzen baita. Bestalde, konpentsazio-metodo hori ezartzean MCak irteeran sintetizatutako korrontek erakusten ditu 8.15(b) irudiak. Estrategia horri esker, bihurgailuak irteeran sintetizatutako korronteen THDak hobetu egiten dira, A estrategia ezartzean lortutakoekin konparatuz (8.4 taula). Alde horretatik, sintetiza ezin daitekeen bektore aktiboen anplitudeak (urdinez) eta horien ordezkatzeko bektore aktiboen anplitudeak (gorriz) erakusten ditu 8.15(c) irudiak⁷. Beraz, sintetizagarria ez den bektorearen eta hori ordezkatzeko duen bektorearen arteko errorea handiegia da kasu askotan. Hori dela-eta, lortzen den konpentsazio-maila ez da espero bezain ona. Guzti hori kontuan hartuta, bigarren metodo hau ez dela nahikoa egokia ondorioztatzen da.

C Tentsio-errorearen minimizazioa kaltetutako fasean.

Hirugarren estrategia hori azaltzeko, hutsegite baten ondorioz S_{RU} etengailu bidirekzionala zirkuitu irekian dagoela suposatuko da. Etengailu hori aktibatu behar denean, honelaxe konpentsa daiteke MCaren irteera:

- (a) Sintetiza ezin daitekeen bektorea aktiboa bada, sare elektrikoaren linea arteko hiru tentsioak (V_{RS} , V_{ST} eta V_{TR}) neurtzen dira, lehenik eta behin. Horrela, matxuratutako irteerako faseko tentsioan errore

⁷Anplitudeak zero diren aldiuneez bektore aktiborik ordezkatu behar ez dela adierazten dute.

txikiena sortzen duen etengailua (S_{SU} edo S_{TU}) ezartzen da huts egin duen etengailuaren ordez (S_{RU} kasu honetan), puskatutako etengailuak aktibatu behar duenean, hau da:

$$|V_{SR}| \leq |V_{TR}| \implies S_{SU} \text{ etengailuak } S_{RU} \text{ ordezkatzen du,} \quad (8.10)$$

$$|V_{SR}| > |V_{TR}| \implies S_{TU} \text{ etengailuak } S_{RU} \text{ ordezkatzen du.} \quad (8.11)$$

Bestalde, matxuratuta ez dauden irteerako bi faseetan aktibatu behar diren etengailuak ez dira ordezkatzen. Beraz, bektore aktibo eta nuluez gain, bektore errotazionalak ere (3.3.1. atala) ezartzen ditu estrategia horrek. Horretaz gain, zenbait kasutan bektore nulua ezartzen dira aktiboen ordez.

- (b) Sintetiza ezin daitekeen bektorea bektore nulua denean, kommutazio-galeren minimizazio-kriterioa erabiltzen da, B estrategian azaldu den bezala.

Potentzia-bihurgailua zirkuitu irekiko hutsegite-egoeratik babestea lortzen du hirugarren estrategia horrek ere, hau da, (2.7) baldintza aldioro betetzen da. Bestalde, hirugarren konpentsazio-metodo hori ezartzean lortutako irteerako korroneak erakusten ditu 8.15(d) irudiak. Korroneen THDa hobetu egiten da funtzionamendu okerrarekin konparatuz: % 80.6tik %58.0ra portaera txarrena duen fasearen kasuan, eta %23.5era portaera onena duen fasearen kasuan (8.4 taula).

Proposatutako estrategia horietatik, C strategiak konpentsatzen ditu gehien irteeran sintetizatutako korroneak. Alde horretatik, kontrol-estrategia hutsegite-toleratzaile horrek PMSM baten abiadura-kontrollean duen eragina azalduko da jarraian. Frogatuko denez, PMSMa era pseudo-optimoan kontrolatu ahal izango da, proposatutako modulazio-algoritmo hutsegite-toleratzaile horri esker.

8.6.2. PMSM baten kontrola zirkuitu irekiko hutsegitea gertatzen denean

Etengailuen zirkuitu irekiko hutsegiteen aurrean hutsegite-toleratzailea den PMSMaren abiadura-kontrolak 3.15 irudiko eskema jarraitzen du. Alde bateatik, 3.5. atalean deskribatutako korrone- eta abiadura-begiztak ditu kontrol horrek. Bestalde, C estrategia hutsegite-toleratzailea (8.6.1. atala) erabiltzen da hutsegite-egoeran SVM modulazio-teknika konbentzionalaren ordez, MCaren etengailuen aktibazio- eta desaktibazio-seinaleak zehazteko. Begizta itxi-

8.5 taula. Simulatutako PMSMaren parametro esanguratsuenak.

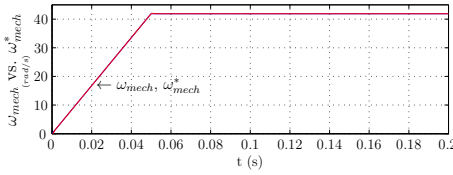
Iman iraunkorreko makina sinkronoa			
R_s	0.165 Ω	B	$3.4e^{-3}$ N.m.s
L_{sd}, L_{sq}	4.45 mH	P	4
ψ_F	0.3429 Wb	ω_N	2000 r.p.m.
J	$16.83e^{-3}$ kg.m ²	P_N	10.6 kW

ko kontrolagailuen parametroak doitzeko, 6. kapituluan proposatutako SSMA simulazio-teknika berria erabili da. Teknika horri esker asko murriztu da kontrolagailu horiek diseinatzeko behar izan den denbora. MCaren eta PMSMaren datu esanguratsuenak laburbiltzen dituzte 8.2 eta 8.5 taulek. Alde horretatik, funtzionamendu-egoera ezberdinetan lortutako emaitzak aurkeztuko dira jarraian.

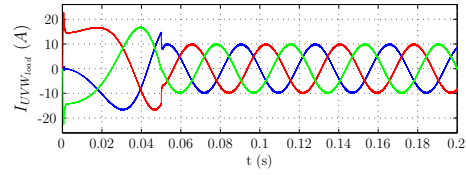
Sistematik era egokian funtzionatzen duenean lortutako emaitzak erakusten ditu 8.16 irudiak, $T_L = 20$ Nm denean. Alde batetik, abiadura-kontrolaren portara erakusten du 8.16(a) irudiak. Bestalde, makinaren estatorean sintetizatutako korronteak erakusten ditu 8.16(b) irudiak. Halaber, S_{RU} etengailua hasieratik zirkuitu irekian dagoenean eta estrategia hutsegite-tolerantzailerik ezartzen ez denean lortutako emaitzak erakusten ditu 8.17 irudiak. Egoera horretan, sistemari funtzionatzen jarraitzen uzten zaio, eta finkatze-zirkuitua da korronte inductiboari zirkulatzeko bideak sortzen dizkiona, S_{RU} etengailua aktibatu behar denean. Funtzionamendu normaleko korronteekin konparatuta, estatorean sintetizatutako korronteen kalitateak nabarmen egiten du behera hutsegite-egoeran (8.17(b) irudia). Era berean, pultsazioak sortzen dira makinaren abiaduran, eta erreferentziatzeko balioetatik asko aldentzen da abiadura hori aldiune jakin batzuetan (8.17(a) irudia). Beraz, funtzionamendu-egoera hori ez da bideragarria. Funtzionamendu-egoera horretan, makinaren estatorean sintetizatutako korronteak nuluak dira aldiune batzuetan. Ondorioz, makinak sortzen duen momentu elektromagnetikoa nulua da aldiune horietan (3.72), eta bibrazio mekanikoak gehitu egiten dira makinan. Behin korrontea kargan berreskuratzen den, korrontearen balioa handituz erantzuten du kontrolak, erreferentziatzeko abiadura berreskuratzeko asmoz. Guzti honek handitu egiten du sistemak jasaten duen neke elektromekanikoa.

Arazo horiek neurri handian minimizatzen dira aurreko atalean proposatutako C estrategia ezartzen denean. Alde batetik, ω_{mech} abiadura mekanikoaren uhindura (*ripple*, ingelesez) asko murrizten da teknika horri esker (8.18(a) vs 8.17(a) irudia). Bestalde, estatorean sintetizatutako korronteen kalitatea nabarmen hobetzen da⁸ (8.18(b) vs 8.17(b) irudia). Horri esker, makinaren abiadura-

⁸Lortzen diren korronteak optimoak ez badira ere, hori bigarren mailako kontua da, sistemak

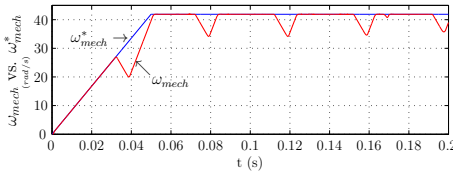


(a) PMSMaren abiadura mekanikoa vs erreferentziatzako abiadura.

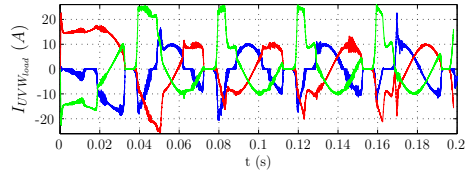


(b) Makinaren estatoreko korrontek.

8.16 irudia. PMSMaren abiaduraren kontrolean lortutako emaitzak, sistemak era egokian funtzionatzen duenean.

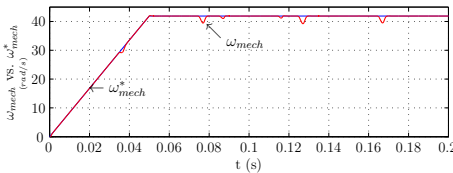


(a) PMSMaren abiadura mekanikoa vs erreferentziatzako abiadura.

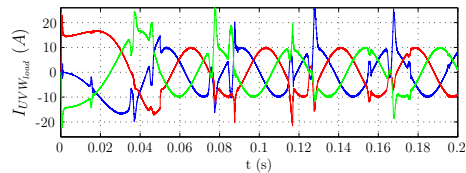


(b) Makinaren estatoreko korrontek.

8.17 irudia. PMSMaren abiaduraren kontrolean lortutako emaitzak, S_{RU} etengailu bidirekzionala zirkuitu irekian denean.



(a) PMSMaren abiadura mekanikoa vs erreferentziatzako abiadura.

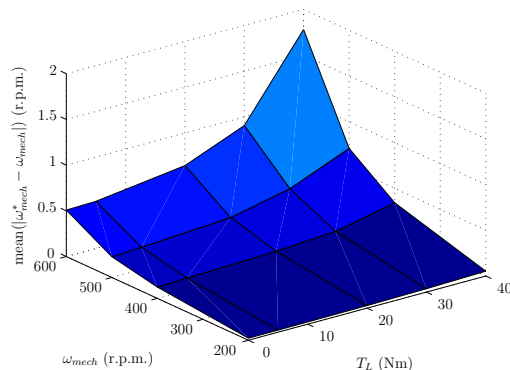


(b) Makinaren estatoreko korrontek.

8.18 irudia. PMSMaren abiaduraren kontrolean lortutako emaitzak, proposatutako C estrategia hutsegite-toleratzailea ezartzen denean.

kontrolaren portaera funtzionamendu egokiko portaerarekin bat dator, praktiko-ki. Horretaz gain, handitu egiten da sistemaren funtzionamendu-tartea. Beste era batera esanda, posible da funtzionamendu-tarte nahikoa zabalarekin lan egitea, abiadura-kontrollean batezbesteko errore baxuarekin (8.19 irudia). Gainera, ez da ahaztu behar kontrol-estrategia horrek bihurtzailua babesten duela. Beraz,

larrialdi-egoeratik irten ahal izateko beharrezkoak dituen funtzionalitate minimoak lortzea baita estrategia horren helburua.



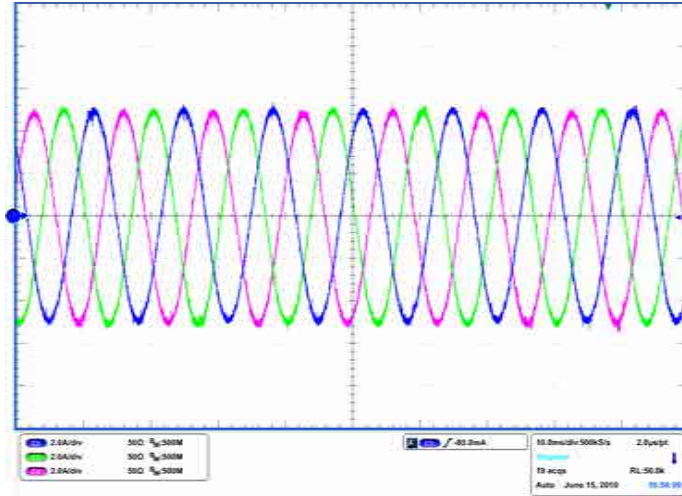
8.19 irudia. Abiadura-kontrolaren batezbesteko errorea egoera iraunkorrean, T_L eta ω_{mech} aldagaien balioen arabera.

finkatze-zirkuituaren babesa ez da beharrezkoa. Hori guztia kontuan hartuta, proposatutako soluzioa mardula dela ondorioztatzen da, eta sistemaren funtzionamendu jarraitua bermatzen du. Horrela, sistemak larrialdi-egoeratik ateratzeko beharrezkoak diren funtzionalitate minimoak lor daitezke. Horretaz gain, beste estrategia hutsegite-toleratzaileekin konbina daiteke proposatutako software bidezko estrategia. Era horretara, sistemaren tolerantzia-maila gehitzea lortzen da.

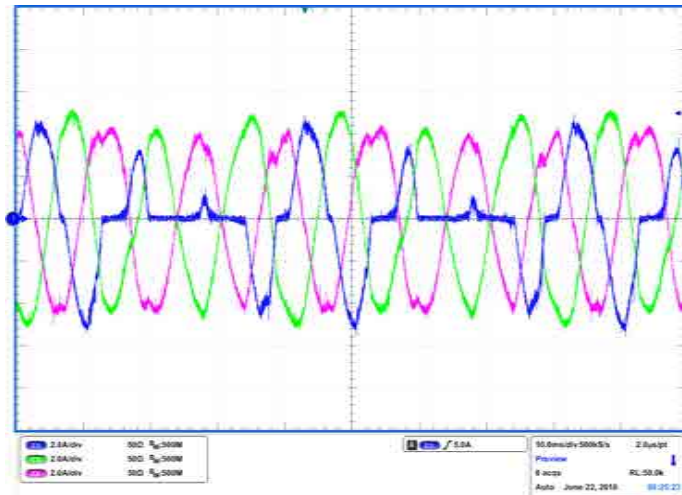
8.6.3. Proposatutako estrategiaren bidez lortutako emaitza esperimentalak

Proposatutako SVM modulazio-teknika hutsegite-toleratzailea esperimentalki balioztatzeko, 7.4. atalean deskribatutako prototipatze azkarreko plataforma erabili da, RL karga batekin konektatuta ($R = 10 \Omega$, $L = 10 \text{ mH}$). Halaber, denbora errealeko RT-Lab eMEGAsim gailu digitaleko FPGA birkonfiguragarrian programatu da irteerako fase kaltetuaren tentsio-errorea minimizatzen duen kontrol-estrategia hutsegite-toleratzaile berria. Jarraian, funtzionamendu-egoera ezberdinetan lortutako emaitza esperimentalak erakutsiko dira.

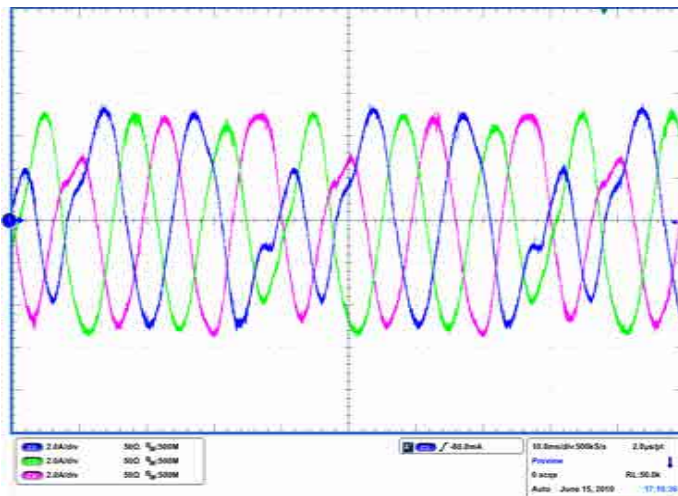
Alde batetik, MCaren funtzionamendua egokia denean lortutako irteerako korrante esperimentalak erakusten ditu 8.20(a) irudiak. Irudi horretan ikus daitezkeen bezala, kalitate oneko korranteak sintetizatzen ditu MCak kargan. Bestalde, S_{RU} etengailu bidirekzionala etengabe zirkuitu irekian denean eta estrategia hutsegite-toleratzailearik ezartzen ez denean kargan lortutako korranteak erakusten ditu 8.20(b) irudiak. Horretaz gain, 8.6.1. atalean deskribatutako C estrate-



(a) Funtzionamendu egokia.

(b) Zirkuitu irekiko hutsegitea S_{RU} etengailu bidirekzionalean.

8.20 irudia. MCaren irteerako korronteak funtzionamendu egokian eta S_{RU} etengailua zirkuitu irekian denean.



8.21 irudia. SVM estrategia hutsegite-toleratzailea: zirkuitu irekian dagoen etengailua (S_{RU}) fase bereko etengailuengatik ordezkatzeara (S_{SU} , S_{TU}).

8.6 taula. MCak kargan sintetizatutako korronteen THD esperimentalak, funtzionamendu-modu ezberdinetarako.

Korrontea	MCa ongi	THD (%)	
		S_{RU} zirk. irek.	C estrategia
$I_{U_{load}}$	2.9	81.1	58.3
$I_{V_{load}}$	2.9	21.3	21.9
$I_{W_{load}}$	2.9	26.7	26.2

gia hutsegite-toleratzailea ezartzean lortutako emaitza esperimentalak erakusten ditu 8.21 irudiak. Ikus daitekeen bezala, emaitza esperimentalekin bat datoz aurrez lortutako simulazio emaitzak (8.11(b), 8.11(f) eta 8.15(d) irudiak).

Azkenik, aipatutako egoeretan esperimentalki lortutako THDen emaitzak laburbiltzen ditu 8.6 taulak. Hutsegite-egoerarekin konparatuta, % 81.1etik %58.3ra hobetzen da kargako korronteen kalitatea portaera txarrena duen fasean, proposatutako estrategia ezartzen denean. Beraz, lortutako emaitzek esperimentalki balioztatzen dute proposatutako estrategia.

8.7. Ondorioak

Funtzionamendu-egoera normaletan, MCak eta AC/AC potentzia-bihurgailu konbentzionalek duten fidagarritasuna oso antzekoa da. Hala ere, MCa bihurgailu zuzena da, eta ez du korronteen libre zirkulatu ahal izateko biderik. Hori dela-eta, MCa beste bihurgailuak baino sentikorra da, bihurgailuaren sarretan eta irteeretan gaintentsioak eta gainkorronteen gertatzen direnean. Alde horretatik, beharrezkoa da babes-estrategia bereziak erabiltzea MCa egoera horietatik babesteko. Horien artean, finkatze-zirkuitua da MCa babesteko gehien erabiltzen den soluzioa.

Hala ere, babes-estrategia horiek ez dira batzuetan MCa guztiz babesteko gai izaten. Ondorioz, hausturak gerta daitezke MCaren osagaietan. MCa aplikazio kritikoetan erabiltzen bada, sistemak funtzionatzen jarraitu behar izaten du kasu batzuetan, nahiz eta potentzia-bihurgailuaren osagaietako batek huts egin. Beraz, garrantzitsua da estrategia hutsegite-toleratzaileak garatzea, MCa mota horietako aplikazioetan erabili nahi bada. Zentzu horretan, MCarentzako baliagarriak diren estrategia hutsegite-toleratzaileei buruz literaturan dauden lanen teknologiaren egoera aztertu da kapitulu honetan. Aztertutako estrategia hutsegite-toleratzaileen funtzionamendu-printzipioen arabera, hurrengo taldeetan sailkatu dira estrategia horiek: irteerako fase-kopurua gehitzean oinarritzen diren estrategiak, sareko edota kargako neutroaren konexioan oinarritzen diren estrategiak, osagaien erredundantzia oinarritzen diren estrategiak eta kontrol-algoritmoetan soilik oinarritzen diren estrategiak. Horretaz gain, estrategia horien ezaugarriak eta funtzionamendu-printzipioak azaldu dira. Konplexutasun-maila ezberdinak dituzte aztertutako estrategia horiek, erabiltzen dituzten osagai gehigarrien eta kontrol-algoritmoen arabera. Gainera, funtzionalitate-maila ezberdinak lortzen dira estrategia horiek ezartzerakoan. Beraz, aplikazioaren arabera da soluzio-mota bat edo beste aukeratzea.

Halaber, etengailu bidirezionaletan zirkuitu irekiko hutsegiteak gertatzen direnean bihurgailuak (finkatze-zirkuituak babestuta) duen portaera aztertu da, eta egoera horretan modu jarraituan funtzionatzea ez dela bideragarria ikusi da. Beraz, estrategia hutsegite-toleratzailearen bat ezartzea beharrezkoa da, egoera horretan funtzionatu ahal izateko. Alde horretatik, hutsegite-mota hori detektatzeko gaitasuna duen detekzio-estrategia berria proposatu da, huts egin duen osagaia zehaztea beharrezkoa baita estrategia hutsegite-toleratzailea ezarri aurretik. Bestalde, MCa babesteko baliagarriak diren hiru modulazio-algoritmo hutsegite-toleratzaile proposatu dira. Portaera onena duen soluzioa aukeratuz, posible da bihurgailuak irteeran sintetizatzen dituen tentsioen eta korronteen kalitate harmonikoa neurri handian hobetzea (% 81.1tik % 58.3ra, bihurgailua *RL* karga batekin konektatuta dagoenean). Kontrol-algoritmoetan oinarritzen

da soilik proposatutako estrategia hori; beraz, ez da hardware osagai gehigarri behar. Gainera, erreduantzia paraleloan oinarritzen diren estrategien osagarria izan daiteke proposatutako estrategia. Horrela, sistemaren tolerantzia-maila gehitzea lortzen da. Estrategia berri horri esker, PMSM baten abiadura era pseudo-optimoan kontrola daitekeela frogatu da, sistema larrialdi-egoeratik irteteko funtzionalitate minimoak lortuz. Azkenik, esperimentalki balioztatu da proposatutako modulazio-algoritmo hutsegite-toleratzailea.

V. atala

Ondorioak eta
etorkizunerako lanak

9. kapitulua

Tesiaren ondorioak eta etorkizunerako lanak

9.1. Ondorioak

Tesi honetan egindako artearen egoerak erakusten duen bezala, ezaugarri oso interesgarriak dituen AC/AC potentzia-bihurgailu zuzena da M_{Ca}. Erdibideko kondentsadorerik ez duenez, M_{Ca} oso teknologia lehiakorra izan daiteke bolumena eta pisua kontuan hartzeko faktoreak diren aplikazioetarako. Horretaz gain, tenperatura eta presio altuko inguruneetan egin dezake lan bihurgailu horrek.

Hala ere, M_{Ca}ren erabilera ez dago gaur egun oso hedatua, gainditu beharreko zenbait erronka baititu teknologia horrek. Batez ere, bihurgailuaren konplexutasuna eta mardultasun baxua kontsidera daitezke M_{Ca}ren desabantaila garrantzitsuenak bezala. Alde horretatik, M_{Ca}ren ahultasun horiek gainditzen joateko baliagarriak diren soluzio berriak proposatu dira tesi honetan.

Konplexutasun horrek M_{Ca} duten modeloen simulazioan dituen ondorioak aztertu dira. Analisi horretan ikusienez, luzeegiak dira modelo horiek zehaztasunez simulatzeko beharrezkoak diren denborak, bai pauso finkoko eta baita pauso aldakorreko ebazleak erabiltzen direnean. Horren ondorioz, bihurgailuaren eta horren kontrolatzaileen diseinu-prozesuaren lehenengo ataletan egin daitekeen test-kopurua asko mugatzen da, eta bihurgailuaren diseinu-prozesua luzatu egin daiteke. Guzti hori kontuan hartuta, arazo horiek gainditzen dituen SSMA simulazio-teknika berria proposatu eta balioztatu da tesi honetan.

Bestalde, ordenagailu konbentzional batean problematikoa da egoera iragankor oso luzeak simulatzea, baliabide asko behar baitira horretarako. Arazo hori gainditzeko, denbora errealean simulatu da MCa. Horretarako, SSMA simulazio-teknika eta denbora errealeko RT-Lab eMEGAsim gailu digitalaren konputazio paralelorako gaitasuna konbinatu dira. Proposatutako soluzioari esker, arrazoizko denbora-tarte batean simula daitezke orduak irauten dituzten egoera iragankor oso luzeak. Gainera, lortzen diren emaitzak oso zehatzak izaten jarraitzen dute.

Horretaz gain, MCaren diseinu-prozesua hobetzeko erabilgarria den RCP plataforma bat aurkeztu da tesi honetan, bihurgailuaren kontrol-algoritmoak arazteko tresnak dituen. MCaren diseinu-prozesua laburtzeko baliagarria da plataforma hori, simulazio-modeloetan sortutako kontrol-algoritmo berriak zuzenean froga baitaitezke esperimentalki.

Azkenik, MCak duen mardultasun baxua kontuan hartu da tesi honetan ere. Mardultasun baxu horren ondorioz, beharrezkoa da MCa era egokian babestea. Hala ere, gaur egungo babes-estrategiek ez dute ziurtatzen bihurgailua % 100ean babestuta egongo dela. Beraz, hutsegiteak gerta daitezke kasu batzuetan bihurgailuaren osagaietan. MCa erabiltzen den aplikazioa kritikoa denean, bihurgailuak funtzionatzen jarraitu behar du, nahiz eta hutsegite bat gertatu. Ekarpenean bezala, zirkuitu irekiko hutsegiteak detektatzeko baliagarria den estrategia bat proposatu da, eta baita MCaren hutsegite-tolerantzia hobetzen duten modulazio-algoritmo hutsegite-toleratzaile berriak ere.

9.2. Ekarpenean garrantzitsuenen laburpena

Tesiaren ekarpenean garrantzitsuenak laburbiltzen dira atal honetan.

1. MCaren simulazioaren hobekuntza: SSMA teknika.

MCa duten modeloen simulazioa konplexua da, eta zenbait erronka ditu. Pauso finkeko ebazleak erabiltzen direnean, sistemaren portaera errealekin zerikusirik ez duten maiztasun baxuko osagai harmonikoak (*jittera*) sortzen dira, simulazio-pausoen eta etengailuen konmutazio-aldiuneeen arteko sinkronizazio-falta dela-eta. MCa pauso finkean simulatzean fenomeno horrek duen eragina kuantifikatu da tesi honetan. Horretarako, pauso finkean simulatu da MC bat duen haize-errota txiki baten modeloa.

Alde batetik, % 29.51ko THDa lortu da bihurgailuak sarreran sintetizatutako korranteetan, DS SVM modulazio-teknika ezartzean, eta T_{sim} simulazio-pausoaren luzera $10 \mu\text{s}$ -takoa eta f_{sw} modulazio-maiztasuna 12.5

kHz-etakoa direnean. *Jittera* oso nabaria izan da kasu horretan lortutako emaitzetan. *Jitter* hori minimizatzeko, simulazio-pausoaren luzera 0.1 μs -taraino laburtu behar izan da; horrela, emaitza zehatzagoak lortu dira (THD = % 3.98). Hala ere, aztertutako modeloa pauso-luzera horrekin simulatzea ez da bideragarria, denbora gehiegi behar baita modeloa simulatzeko. Bestalde, ordenagailuak duen memoria mugatua dela-eta, ez da posible egoera iragankor luzeak simulatzea.

Aldiz, *jitter* arazoak konpontzea lortu da pauso aldakorreko ebazlea erabiliz. Era horretara, emaitza zehatzak lortu dira (THD = % 4.08). Hala ere, modeloaren simulazio-denborek gehiegizkoak izaten jarraitu dute. Adibidez, 433.8 segundo behar izan dira aztertutako sistemaren portaeraren bi segundo simulatzeko. Beraz, ordenagailuan egin daitekeen simulazio-kopurua mugatuta dago, simulazio-teknika tradizionalak erabiltzen direnean.

Ekarpen bezala, *jitter* arazoak konpontzen eta simulazio-denborak nabarmen murrizten dituen SSMA (*Switching State Matrix Averaging*) simulazio-teknika berria proposatu da tesi honetan. Pauso finkean exekutatzen da teknika hori. Bestalde, interpolazio-algoritmo berri bat erabiltzen du proposatutako teknikak. Horrela, interpolatu egiten dira bi simulazio-pausoren arteko gertaera guztiak. Horri esker, pauso aldakorreko simulazioarekin konparagarriak diren emaitza zehatzak lortu dira, SSMA simulazio-teknika 10 μs -tako simulazio-pausoarekin exekutatu denean (THD = % 2.92). Maiztasun baxuko osagaietan lortutako erroreak oso txikiak izan dira (% 1etik beherakoa, oinarritzko maiztasun-osagaiaren kasuan), eta f_{sw} modulazio-maiztasunaren inguruko osagaien karakterizazio oso ona lortu da¹. Bestalde, SSMA simulazio-teknika erabiltzean lortu diren denbora-aurrezpenak oso handiak izan dira. Adibidez, 20.1 segundo behar izan dira MC - PMSG modeloaren portaeraren bi segundo simulatzeko. Beraz, pauso aldakorreko ebazlearekin konparatuta lortu den denbora-aurrezpena %95.4koa izan da.

Lortutako denbora-aurrezpenak nabarmenagoak izan dira MC bat baino gehiago dituzten modeloak simulatu direnean. Zentzu horretan, bost haizeerrota txiki dituen parkea simulatzean, % 99.99ko denbora aurrezpena lortu da, pauso aldakorreko ebazlearen ordez SSMA simulazio-teknika erabili denean (9590 segundo behar izatetik 48 segundo behar izatera, sistemaren portaeraren segundo bat simulatzeko). Hori dela-eta, SSMA teknikari esker posible da ordenagailu konbentzional batean sistema oso konplexuak azkar eta zehaztasunez simulatzea.

¹Emaitzen zehaztasunaren eta simulazioen azkartasunaren arteko konpromiso onena lortu da 10 μs -tako simulazio-pausoa erabili denean. Hala ere, maiztasun altuko osagai harmoniko zehatzagoak lor daitezke, T_{sim} murriztuz gero (THD = % 3.82, $T_{sim} = 5 \mu\text{s}$ denean). Ordainetan, simulazioak moteldu egiten dira.

Beraz, proposatutako SSMA simulazio-teknikak bihurgailuen kontrolatzai-leen diseinu-prozesua azeleratzen du, eta arrazoizko denbora-tarte batean egin daitekeen test-kopurua handitu egiten da. Horrela, teknika tradizionalek dituzten arazoak gainditu egiten dira.

2. MCaren denbora errealeko simulaziorako eta prototipatze azkarrereko kontrolerako plataformak.

Denbora errealeko simulazioa erabili da tesi honetan, MCa duten modeloen simulazioak gehiago azkartzeko. Zentzu horretan, denbora errealeko RT-Lab eMEGAsim gailu digitalaren konputazio paralelorako gaitasuna erabili da helburu hori lortzeko. Gailu digital horren PC-taldeko bi konputazio-nodo erabiliz, paraleloan exekutatu dira bihurgailuaren kontrol-algoritmoen eta potentzia-sistemaren modeloak.

RT-Lab eMEGAsim-en ezaugarriak direla-eta, pauso finkoan simulatu behar dira gailu horretan exekutatzen diren modeloak. Bestalde, aukera daitekeen simulazio-pausoaren luzera minimoa 10 μ s-takoa da, denbora errealean simulatzean bi konputazio-nodo erabiltzen direnean. Arrazoi horiek kontuan hartuta, SSMA simulazio-teknika erabili da, MCa denbora errealean simulatzean emaitza zehatzak lortzeko.

Alde batetik, SSMA teknika oso eraginkorra dela frogatu da, hau da, posible izan da simulazio-pausoen arteko gertaera guztiak interpolatuz modeloen denbora errealeko exekuzioa lortzea (ez da tarte-gaınditzerik gertatu). Horri esker, emaitza oso zehatzak lortu dira MCa denbora errealean simulatu denean. Bestalde, proposatutako plataforma horretan lortutako denbora-aurrezpenak oso handiak izan dira. Adibidez, %99.99ko denbora-aurrezpena lortu da MC bat duen haize-errota txikia simulatzean, pauso aldakorreko ordenagailu bidezko simulazio estandarraren ordez proposatutako plataforma erabili denean.

MCa duten sistemen egoera iragankor oso luzeak arrazoizko denbora-tarte batean simulatzea da proposatutako plataformaren helburua. Tesian frogatu denez, bi ordutik gorako egoera iragankorrak simulatu dira denbora errealean arazorik gabe. Simulazio luze horiek oso baliagarriak dira haize-errota txikien eraginkortasuna kalkulatzeko, edota MPPT algoritmo berriak diseinatzeko.

Horretaz gain, eMEGAsim gailu digitaleko PC-taldea eta FPGA (Virtex II) erabili dira, 7.5 kW-etako MCaren prototipo baten kontrola inplemtatzeko. Hurrengo abantailak ditu aurkeztutako RCP plataformak:

- (a) Bihurgailuaren diseinu-prozesua laburtzea lortzen da plataforma ho-

rri esker, simulazio-modeloetan sortutako modulazio- eta kontrol-algoritmoak zuzenean froga baitaitezke esperimentalki plataforma horretan.

- (b) MCaren modulazio- eta kontrol-algoritmoak ongi ezartzen ez badira, bihurgailuaren osagaiak puskatzeko arriskua dago. Puntu horrek duen garrantzia kontuan hartuta, kontrol-algoritmo horiek arazteko baliagarriak diren tresnak eskaintzen ditu aurkeztutako RCP plataformak.

Beraz, MCaren diseinu-prozesurako oso baliagarriak dira proposatutako bi plataforma horiek.

3. MCaren hutsegite-tolerantzia hobetzen duten soluzioak.

MCaren etengailuetan gerta daitezkeen zirkuitu irekiko hutsegiteei erantzuteko gaitasuna duten estrategia hutsegite-toleratzaile berriak proposatu dira tesi honetan. Alde horretatik, zirkuitu irekiko hutsegiteak gertatzean sistemak duen portaera aztertu da. Azterketa horretan ikusienez, bihurgailuak hutsegite-egoeran funtzionatzen jarrai dezake, finkatze-zirkuituak babestuta. Hala ere, funtzionamendu-egoera hori ez da bideragarria. Alde batetik, sintetizatutako korronteen kalitateak nabarmen egiten du behera (maiztasun baxuko osagai harmonikoak azaltzen dira). Adibidez, *RL* karga batekin konektatuta dagoen MCaren kasuan, % 2.9tik % 81.12ra handitu da portaera kaxkarrena duen fasearen irteerako korrontearen THDa, hutsegite baten ondorioz etengailu bidirekzional bat zirkuitu irekian denean. Bestalde, etengailuek hutsegite-egoeran jasaten duten nekea gehitu egiten da ere. Beraz, sistemak egoera horretan funtzionatzen jarrai dezan, beharrezkoa da estrategia hutsegite-toleratzaile bat ezartzea.

Estrategia hutsegite-toleratzailea ezarri ahal izateko, huts egin duen osagaia identifikatu behar da, lehenik eta behin. Alde horretatik, zirkuitu irekian dauden etengailuak detektatzeko gaitasuna duen detekzio-teknika bat proposatu da tesi honetan. Ondoren, SVM modulazio-teknikaren aldaerak diren hiru modulazio-teknika hutsegite-toleratzaile berri proposatu dira. Bi helburu lortu dira estrategia horiek ezartzean. Alde batetik, bihurgailua babestea lortu da, MCaren oinarritzko bi arauak aldioro betetzen baitira. Beraz, finkatze-zirkuituaren babesa ez da beharrezkoa. Bestalde, MCaren irteerako tentsioetan sintetizatutako korronteen kalitate harmonikoa nabarmen hobetu da portaera onena duen teknika erabiltzean (bihurgailua *RL* kargarekin konektatuta dagoenean, % 81.12tik % 58.28ra hobetu da irteerako korrontearen THDa, portaera txarrena duen fasearen kasuan). Bestalde, teknika hori erabiliz, PMSM baten kontrola abiadura-eremu zabal batean era pseudo-optimoan egin daitekeela frogatu da, sistema larrialdi-egoeratik

irteteko beharrezkoak diren funtzionalitate minimoak lortuz.

Kontrol-algoritmoetan oinarritzen dira soilik proposatutako estrategia hutsegite-toleratzaile berriak, hau da, ez da hardware-osagai gehigarririk behar estrategia horiek inplementatzeko. Gainera, erredundantzia paraleloan oinarritzen diren estrategien osagarriak izan daitezke. Horrela, sistemaren tolerantzia-maila handitu daiteke.

Ekarpen horiek kontuan hartuta, tesi honetan MCaren diseinu-prozesua eta hutsegite-tolerantzia hobetzeko baliagarriak diren soluzio berriak proposatu dira esan daiteke.

9.3. Tesitik eratorritako argitalpenak

Tesi honen inguruan sei lan argitaratu dira aldizkari zientifiko-teknikoetan, lau lan nazioarteko kongresuetan eta beste horrenbeste lan estatu mailako kongresuetan. Gainera, MCari buruzko liburu bat argitaratu da ere, teknologia horri buruzko oinarriak, modulazioa eta hardwarea aztertzen dituen. Jarraian, tesi honetatik eratorritako argitalpenak azalduko dira. Argitaratutako lanen eta tesiko kapituluaren arteko korrespondentzia erakusten du 9.1 taulak.

9.3.1. Aldizkari zientifiko-teknikoak

- A1) **E. Ibarra**, I. Kortabarria, J. Andreu, I. Martínez de Alegría, J. L. Martín, P. Ibañez. *“Improvement of the Design Process of Matrix Converter Platforms Using the Switching State Matrix Averaging Simulation Method”*, IEEE Transactions on Industrial Electronics, interneten argitaratua 2011ko martxoaren 22an. DOI: 10.1109/TIE.2011.2130504. Aldizkariaren eragin-faktorea (JCR): 4.678.

Lehenik eta behin, MCa duten plataformen simulazioak dituen arazoak aztertzen dira artikulu horretan. Alde horretatik, MCa duten plataformak zehaztasunez simulatzeko beharrezkoak diren baliabideak handiak direla ondorioztatzen da, eta baita plataforma horiek simulatzeko beharrezkoak diren denborak luzeak direla ere. Ondoren, arazo horiek gainditzeko baliagarria den SSMA simulazio-teknika berria proposatzen da. SSMA teknika-ren bidez lortutako emaitzak balioztatu egiten dira, bai pauso aldakorreko ebazlea erabiliz lortutako emaitzekin konparatuz, eta baita emaitza esperimentalekin konparatuz ere. Azkenik, teknika hori erabiliz lortzen diren denbora-aurrezpenak (% 95etik gorakoak) azaltzen dira.

9.1 taula. Tesiko kapituluaren eta argitaratutako artikuluen arteko korrespondentzia (A: aldizkari zientifiko-teknikoa, L: liburua, NK: nazioarteko kongresua, EK: estatu mailako kongresua).

Kap.	Izenburua	Publikazioak
2.	Bihurgailu matrizialaren oinarriko kontzeptuak	A5, L1
3.	Bihurgailu matrizialaren modulazioa	A4, A5, L1
4.	Bihurgailu matriziala sare elektrikoko perturbazioen aurrean	L1, EK2
5.	Bihurgailu matrizialaren sinkronizazioa	L1, EK3
6.	MCaren simulazioaren hobekuntza: SSMA simulazio-teknika aurreratua	A1, A6, NK1
7.	MCaren denbora errealeko simulazioa eta prototipatze azkarreko kontrola	A2, A6, NK2
8.	Bihurgailu matrizialaren hutsegite-tolerantziaren hobekuntza	A3, NK3, NK4, EK1, EK4

- A2) J. Andreu, I. Kortabarria, E. Ormaetxea, **E. Ibarra**, J. L. Martín, S. Apiñaniz. “*A Step Forward Towards the Development of Reliable Matrix Converters*”, IEEE Transactions on Industrial Electronics, interneten argitaratua 2011ko apirilaren 25ean. DOI: 10.1109/TIE.2011.2146217. Aldizkariaren eragin-faktorea (JCR): 4.678.

Artikulu horretan, hardwarearen ikuspuntutik aztertzen dira MCaren osagaiak (potentzia-modulua, sarrerako iragazkia, finkatze-zirkuitua eta zirkuitu osagarriak). Bestalde, osagai horiek era egokian diseinatzeko baliagarriak diren irizpideak azaltzen dira. Azkenik, irizpide horiek jarraituz diseinatutako 7.5 kW-etako MCaren plataforman lortutako emaitza esperimentalak erakusten dira.

- A3) **E. Ibarra**, J. Andreu, I. Kortabarria, E. Ormaetxea, I. Martínez de Alegría, J. L. Martín, P. Ibañez. “*New Fault Tolerant Matrix Converter*”, Electric Power Systems Research, 82. liburukia, 2. zenbakia, 538 - 552. orrialdeak. 2011ko otsaila. Aldizkariaren eragin-faktorea (JCR): 1.259.

MCaren babes-estrategiei eta soluzio hutsegite-toleratzailei buruzko artearen egoera aurkezten da artikulu horren hasieran. Ondoren, zirkuitu irekiko hutsegite-egoeretan bihurgailuak duen portaera aztertzen da. Horren ostean, sistemaren zirkuitu irekiko hutsegiteen detekzioa aztertzen da, eta hutsegite-tolerantzia hobetzen duen SVM modulazio-teknikaren aldaera berria proposatzen da. Gainera, teknika horren baliagarritasuna frogatzen duten emaitza esperimentalak aurkezten dira. Azkenik, etengailu erredundanteak dituzten MCaren topologia birkonfiguragarriak azaltzen dira, eta

esperimentalki frogatzen da estrategia horien baliagarritasuna.

- A4) E. Ormaetxea, J. Andreu, I. Kortabarria, U. Bidarte, I. Martínez de Alegría, **E. Ibarra**, E. Olaguenaga. “*Matrix Converter Protection and Computational Capabilities based on a System on Chip design with an FPGA*”, IEEE Transactions on Power Electronics, 26. liburukia, 1. zenbakia, 272 - 287. orrialdeak. 2011ko urtarrila. Aldizkariaren eragin-faktorea (JCR): 2.929.

Artikulu horretan, MCaren kontrolerako funtzionalitate guztiak (DS SVM modulazio-teknika, lau pausoko kommutazio-sekuentzia, transformazio bektorialak, etab.) eta MCarentzako babes-estrategiak FPGA gailu digital bakarrean inplementatzea proposatzen da. Horri esker, oso azkar (ns-en ordenan) erantzun dezakete funtzionalitate horiek guztiak.

- A5) **E. Ibarra**, J. Andreu, E. Ormaetxea, I. Kortabarria, I. Martínez de Alegría, J. L. Martín, J. R. Etxebarria. “*Potentzia-bihurgailu matritziala: teknologia eraginkor eta konpaktua*”, Ekaia, 23. zenbakia, 173 - 197. orrialdeak. 2010eko abendua.

Lan horretan, MCaren ezaugarriak, aplikazioak, erronkak, arkitektura eta modulazio-printzipioak azaltzen dira. Ondoren, adibide modura, bihurgailu hori haize-errota txikietan ezartzean lortzen diren emaitzak erakusten dira. Azkenik, MCaren 7.5 kW-etako prototipoan lortutako emaitza esperimentalak aurkezten dira.

- A6) **E. Ibarra**, E. Ormaetxea, J. Andreu, I. Kortabarria, I. Martínez de Alegría. “*Potentzia-bihurgailuen diseinu-prozesuan, simulazioa bidaide*”, Elhuyar Zientzia eta Teknologia, 268. zenbakia, 47 - 50. orrialdeak. 2010eko urria.

Potentzia-bihurgailuen diseinu-prozesuan erabil daitezkeen simulazio-modalitateak aztertzen dira lan horretan.

9.3.2. Liburuak

- L1) J. Andreu, **E. Ibarra**. “*Convertidores de potencia avanzados: convertidor matricial*”, Delta Publicaciones editoriala (Madrid). 283 orrialde. 2011ko otsaila.

MCaren oinarrizko kontzeptuak, modulazioa eta hardwarearen diseinua azaltzen dituen liburu teknikoa idatzi da tesian egindako lana dela-bide.

9.3.3. Nazioarteko kongresuak

- NK1) **E. Ibarra**, I. Kortabarria, I. Martínez de Alegría, J. Andreu, J. L. Martín. “*Matrix Converter Fed Small Wind Turbine Farms: Optimization of the Simulation Process*”, International Power Electronics and Motion Conference (EPE-PEMC)-ko aktetan, (T12) 143 - 148. orrialdeak. 2010eko iraila.

MCak dituzten haize-errota txikien parke eolikoek simulazioaz ari da artikulu hori. Alde horretatik, sistema konplexu horien simulazio estandarra bideraezina dela baieztatzen da, konputagailu arruntak erabiltzen direnean. Bestalde, mota horretako haize-errota asko dituzten parke eolikoak oso azkar eta zehaztasun handiz simula daitezkeela frogatzen da, SSMA simulazio-teknika erabiltzen bada.

- NK2) **E. Ibarra**, I. Kortabarria, J. Andreu, E. Planas, I. Martínez de Alegría. “*A Fast and Accurate Simulation Method for Matrix Converters*”, Power Electronics, Machines and Drives Conference (PEMD)-ko aktetan, 6 orrialde. 2010eko apirila.

SSMA simulazio-teknikaren eraginkortasuna eta RT-Lab eMEGAsim gailu digitalaren konputazio paralelorako gaitasuna konbinatzen dira lan horretan. Horri esker, MC bat duen haize-errotaren modeloa denbora errealean simulatzen da. Era horretara, bihurgailuaren simulazioa nabarmen azkartzen da, eta lortutako emaitzak bat datoz simulazio estandarrean lortutakoekin. Proposatutako simulazio-plataforma oso erabilgarria da egoera iragankor oso luzeak arrazoizko denbora-tarte batean simulatzeko.

- NK3) **E. Ibarra**, J. Andreu, I. Kortabarria, E. Ormaetxea, E. Robles. “*A Fault Tolerant Space Vector Modulation Strategy for Matrix Converters*”, Industrial Electronics Society Conference (IECON)-eko aktetan, 4463 - 4468. orrialdeak. 2009ko azaroa.

MCaren etengailu bidirekzionaletan zirkuitu irekiko hutsegiteak gertatzen direnean erantzuteko gaitasuna duten SVM teknikaren hiru aldaera aurkezten dira artikulu horretan. Bihurgailua babesteaz gain, aipatutako hutsegite-egoeran aurkitzen den MC - PMSM plataforma baten abiadura mekanikoa modu egokian kontrolatzea lortzen da, portaera onena duen strategiaren bidez.

- NK4) **E. Ibarra**, J. Andreu, I. Kortabarria, I. Martínez de Alegría, E. Robles. “*A Diagnosis Method for Open Circuit Faults in Matrix Converters*”, Power Electronics, Intelligent Motion, Power Quality (PCIM)-eko aktetan, 258 - 263. orrialdeak. 2009ko maiatza.

Bihurgailuaren portaera zein den, eta bihurgailuak finkatze-zirkuituarekin duen interakzioa nolakoa den aztertzen dira lan horretan, hutsegite baten ondorioz MCaren etengailuetako bat zirkuitu irekian denean. Estrategia hutsegite-toleratzaile bat ezarri ahal izateko, beharrezkoa da hutsegiteen jatorria zehaztea. Zentzu horretan, zirkuitu irekiko hutsegiteak detektatzeko baliagarria den metodo bat proposatzen da.

9.3.4. Estatu-mailako kongresuak

- EK1) **E. Ibarra**, J. Andreu, I. Kortabarria, I. Martínez de Alegría, S. Ceballos. “*Estrategias Tolerantes a Fallos en Convertidores Matriciales: Análisis de Alternativas*”, Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI)-ko aktetan, 353 - 358. orrialdeak. 2010eko uztaila.

MCarentzako literaturan aurki daitezkeen estrategia hutsegite-toleratzaileak aztertzen dira artikulu horretan, eta horien abantailak eta desabantailak azpimarratzen dira.

- EK2) **E. Ibarra**, J. Andreu, I. Kortabarria, E. Ormaetxea, S. Apiñaniz. “*Convertidor Matricial: Técnicas de Compensación ante Perturbaciones en la Red*”, Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI)-ko aktetan, 6 orrialde. 2009ko uztaila.

Sare elektrikoan gerta daitezkeen perturbazio arruntenak laburbiltzen dira lan horretan, lehenik eta behin. Ondoren, perturbazioek MCaren duten eragina aztertzen da, eta horiek konpentsatzeko dauden teknika nabarmenenak aztertzen dira. Azkenik, konpentsazio-teknikek potentzia-faktorean duten eragina ikertzen da.

- EK3) **E. Ibarra**, J. Andreu, I. Kortabarria, I. Martínez de Alegría, P. Ibañez. “*Sincronización del Convertidor Matricial con Redes Eléctricas Desequilibradas*”, Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI)-ko aktetan, 6 orrialde. 2009ko uztaila.

PLLetan oinarritutako sinkronizazio-estrategien teknologiaren egoera aztertzen da lan horretan. Bestalde, estrategia horiek MCaren sinkronizazio-beharrizanak betetzeko duten baliagarritasuna eztabaidatzen da ere.

- EK4) **E. Ibarra**, J. Andreu, I. Kortabarria, J. L. Martín, S. Ceballos. “*Modulación del Convertidor Matricial Tolerante a Fallos*”, Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI)-ko aktetan, 6 orrialde. 2009ko uztaila.

SVM modulazio-teknikaren bi aldaera aurkezten dira lan horretan. Teknika horiei esker, MCak era pseudo-optimoan funtziona dezake, etengailu bidirekzionaletako bat zirkuitu irekian gelditzen denean.

9.4. Etorkizunerako lanak

Doktorego-tesi honetan egindako lanari jarraipena eman ahal izateko, hurrengo hiru ikerketa-ildoak proposatzen dira:

1. **MCaren topologia berrien ikerketa.** MCaren topologia berri ugari proposatu dira azken urteotan literatura zientifikoan, hala nola MC ez zuzenak, MC mehatzak (*sparse*, ingelesez) eta oso mehatzak, maila anitzeko MCak, MC hibridoak, etab. Alde horretatik, kontuan izan behar da topologia horiek ez direla MC konbentzionala bezain beste ikertu. Ildo horretan, MCaren topologia berri horiek ikertzea proposatzen da.
2. **MCarentzako aplikazio berriak.** MCaren erabilera zabaldu nahi bada, bihurtu hori lehiakorra izan daitekeen aplikazio berriak aurkitu behar dira. Zentzu horretan, aplikazio berri horiek identifikatzea proposatzen da ikerketa-ildo horretan. Horretaz gain, aplikazio horietako bakoitzak dituen beharrietara egokitu beharko da MCa, bai modulazio- eta kontrol-algoritmo berriak proposatuz, eta baita bihurtuaren hardwarearen alde-tik soluzio berriak garatuz ere.
3. **MCaren etengailuetako zirkuitulaburrei erantzuteko gaitasuna duten estrategia hutsegite-toleratzaile berrien ikerketa.** MCaren estrategia hutsegite-toleratzaileen artearen egoeran ikusi den bezala, etengailuen zirkuitu irekiko hutsegite-egoerei erantzuna emateko diseinatura daude literatura zientifikoan proposatu diren estrategia hutsegite-toleratzaile gehienak. Era berean, mota horretako hutsegitei erantzuna emateko soluzioak proposatu dira tesi honetan ere.

Hala ere, etengailuek huts egiten dutenean, posible da etengailu horiek zirkuitulaburtuta gelditzea. Hori dela-eta, hutsegite-mota horri erantzuteko gaitasuna duten estrategia berrietan ikertzea proposatzen da, MCaren tolerantzia-maila hobetzeak bihurtuaren erabilera zabalduko bailuke.

VI. atala

Eranskinak

A. eranskina

Transformazio bektorialak

A.1. Clarkeren transformazioa

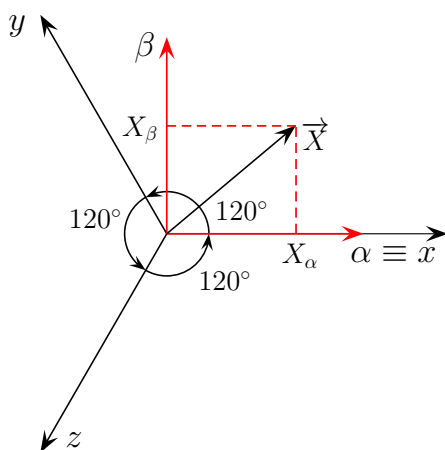
Askotan, magnitude trifasikoekin lan egitea konplexua da. Alde horretatik, bi dimentsiodun erreferentzia-sistema batera proiektatu daitezke magnitude trifasikoak, transformazio bektorialak erabiliz. Horri esker, magnitude horien adierazpena sinplifikatu egiten da, hiru dimentsiotik bi dimentsiotara murrizten baita azertu nahi den problema. Adibidez, makina elektrikoaren portaera definitzen duten ekuazio ez linealak sinplifikatu daitezke transformazio horiek erabiliz.

Zentzu horretan, honelaxe adieraz daiteke \vec{X} magnitude trifasikoa:

$$\vec{X} = X\hat{i} + Y\hat{j} + Z\hat{k}, \quad (\text{A.1})$$

non sistema trifasikoaren osagaiak diren X , Y eta Z . Clarkeren transformazioa erabiliz, $\alpha\beta 0$ erreferentzia-sistema berrian adierazi daitezke RST sistema trifasikoan adierazitako magnitude trifasikoak. Hurrengo pausoak jarraitu behar dira erreferentzia-sistema berria sortzeko:

1. Lehenik eta behin, $X\hat{i} + Y\hat{j} + Z\hat{k} = 0$ ekuazioa betetzen duen planoan proiektatzen da \hat{i} bektore unitarioari dagokion x ardatza. Era horretara, α ardatza sortzen da (A.1 irudia).
2. Aurreko puntuan definitutako planoan egon behar da β ardatza, eta α ardatzarekiko perpendikularra izan behar du ardatz horrek (A.1 irudia). Beraz, $X\hat{i} + Y\hat{j} + Z\hat{k} = 0$ ekuazioa betetzen du α eta β ardatzek sortzen duten planoak.



A.1 irudia. Erreferentzia-sistema trifasikoa, $\alpha\beta$ planoan proiektatuta.

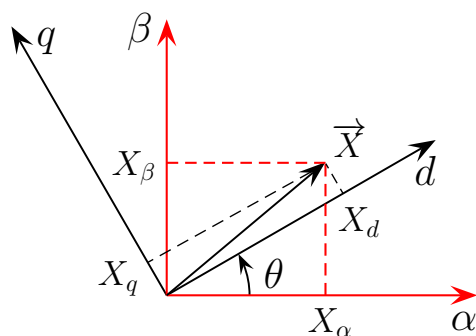
- Azkenik, α eta β ardatzekiko perpendikularra izan behar du 0 ardatz homopolarrak, aipatutako ardatzekiko sistema destrogiora definituz. Magnitude trifasikoaren hiru osagaien batura zero ez denean agertzen da bakarrik osagai hori; beraz, osagai hori ez da sistema orekatu batean agertuko.

Hurrengo transformazio-matrizea erabiltzen da Clarkeren transformazioa gauzatzeko:

$$\begin{pmatrix} X_\alpha \\ X_\beta \\ X_0 \end{pmatrix} = K_1 \begin{pmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ K_2 & K_2 & K_2 \end{pmatrix} \begin{pmatrix} X \\ Y \\ Z \end{pmatrix}, \quad (\text{A.2})$$

non X , Y eta Z osagai trifasikoen proiektzioak diren X_α , X_β eta X_0 , $\alpha\beta 0$ erreferentzia-sisteman adierazita. Bi balio-multzo izan ditzakete K_1 eta K_2 konstanteak:

- Posibilitate bat da $K_1 = \sqrt{\frac{2}{3}}$ eta $K_2 = \frac{1}{\sqrt{2}}$ izatea. Balio horiek erabiltzen badira, sistema berrian kalkulaturako potentzia bat dator sistema trifasikoan kalkulaturakoarekin. Hala ere, transformaturako magnitude trifasikoaren modulua ez da berdina bi sistemetan.
- Bigarren posibilitate bat da $K_1 = \frac{2}{3}$ eta $K_2 = \frac{1}{\sqrt{2}}$ izatea. Kasu horretan, potentziaren balioa aldatu egiten da sistema berrian. Hori dela eta, potentzia honelaxe kalkulatu behar da $\alpha\beta$ planoko aldagaiak erabiltzen direnean:

A.2 irudia. $\alpha\beta$ eta dq erreferentzia-sistemak.

$$P = \frac{3}{2}(V_\alpha I_\alpha + V_\beta I_\beta + V_0 I_0). \quad (\text{A.3})$$

Bestalde, balio-multzo hori aukeratuz gero, RST erreferentzia-sistemako magnitude trifasikoaren anplitudea bat dator transformazioa egin ondoren $\alpha\beta 0$ erreferentzia-sisteman lortzen den bektorearen moduluarekin.

Alde horretatik, $K_1 = \frac{2}{3}$ eta $K_2 = \frac{1}{\sqrt{2}}$ balioak dituen Clarkeren transformazioa erabiltzen da tesi honetan.

A.2. Parken transformazioa

Osagai homopolarraren balioa nulua da sistema trifasikoa orekatua denean. Makina elektriko orekatua mota horretako sistema da, eta maiztasun jakin batekin biratzen duen bektore espaziala lortzen da $\alpha\beta$ planoan, makinako magnitude trifasiko bati Clarkeren transformazioa aplikatzea zaionean. Alde horretatik, beste transformazio bat defini daiteke, Parken transformazioa deritzona. Transformazio horren bidez, ardatz homopolarraren inguruan θ angeluarekin biratzen duen $dq0$ erreferentzia-sistema sinkronora transformatzen dira $\alpha\beta$ planoan adierazita dauden magnitude trifasikoak (A.2 irudia). Parken transformazio-matrizea erabiliz egiten da transformazio hori. Funtsean, biraketa matrize bat da Parken transformazio-matrizea:

$$\begin{pmatrix} X_d \\ X_q \\ X_o \end{pmatrix} = \begin{pmatrix} \cos \theta & \sin \theta & 0 \\ -\sin \theta & \cos \theta & 0 \\ 0 & 0 & 1 \end{pmatrix} \begin{pmatrix} X_\alpha \\ X_\beta \\ X_o \end{pmatrix}, \quad (\text{A.4})$$

non $dq0$ erreferentzia-sistemako osagaiak diren X_d , X_q eta X_o .

Azkenik, sistema trifasikoa zuzenean proiektatu daiteke dq sisteman, Clarkeren eta Parken transformazio-matrizeak biderkatuz. Horrela, hurrengo transformazio-matrizea lortzen da:

$$\begin{pmatrix} X_d \\ X_q \\ X_o \end{pmatrix} = K_1 \begin{pmatrix} \cos \theta & \cos(\theta - \frac{2\pi}{3}) & \cos(\theta + \frac{2\pi}{3}) \\ -\sin \theta & -\sin(\theta - \frac{2\pi}{3}) & -\sin(\theta + \frac{2\pi}{3}) \\ K_2 & K_2 & K_2 \end{pmatrix} \begin{pmatrix} X \\ Y \\ Z \end{pmatrix}. \quad (\text{A.5})$$

Transformazio hori egiteko, $K_1 = \frac{2}{3}$ eta $K_2 = \frac{1}{\sqrt{2}}$ balio-multzoa erabili da berriz ere tesi honetan.

B. eranskina

Etengailuen erredundantzia oinarritzen diren estrategia hutsegite-toleratzaileak

Eranskin honetan, etengailuen erredundantzia oinarritzen diren estrategia hutsegite-toleratzaileen hiru topologia deskribatuko dira. Horretaz gain, mota horretako estrategia bat ezartzean MC-RCP plataforman lortutako emaitza esperimentalak erakutsiko dira, estrategia horien funtzionamendua ilustratzeko.

(a) X MC topologia erredundantea.

Topologia erredundante horretan, X etengailu erredundantea erabiltzen da MCko bederatzi etengailu bidirekzionaletako edozein ordezkatu ahal izateko (8.7 irudia). Horretarako, cXR , cXS eta cXT erreleak erabiliz konektatzen da X etengailu erredundantea sarrerako R , S eta T faseekin, hurrenez hurren. Era berean, cXU , cXV eta cXW erreleak erabiliz konektatzen da etengailu hori irteerako U , V eta W faseekin. Adibidez, S_{TW} etengailua ordezkatu behar denean, cXT eta cXW erreleen kontaktuak itxi behar dira.

Kontuan izan behar da estrategia horrek etengailu bidirekzional osoa ordezkatzeko duela, naiz eta hutsegitea etengailu bidirekzional horren IGBT bakarrean gertatu. Beraz, huts egin ez duen bigarren IGBTa desaktibatu

egiten da ere. Alde horretatik, IGBT bakarria ordezkatzeko duen topologia bat garatzea pentsa daiteke. Hala ere, aukera hori ez da erabilgarria, MCaren zirkulatzen duen korrontearen noranzkoa ezin baita kasu horretan behar den bezala kontrolatu [213].

(b) **XY MC topologia erredundantea.**

Aurretik azaldutako X MC topologia erredundantearen erredundantzia-maila bikoitzen du B.1 irudiak erakusten duen XY MC topologia hutsegite-toleratzaileak. Horretarako, bi etengailu bidirekzional erredundante (X eta Y) eta hamabi errele gehitzen dira zirkuitura. Era horretara, etengailu bidirekzional biek dute MCko edozein etengailu bidirekzional ordezkatzeko gaitasuna. Erredundantzia hirukoiztu nahi bada, hiru etengailu bidirekzional erredundante eta hemezortzi errele behar dira, etab.

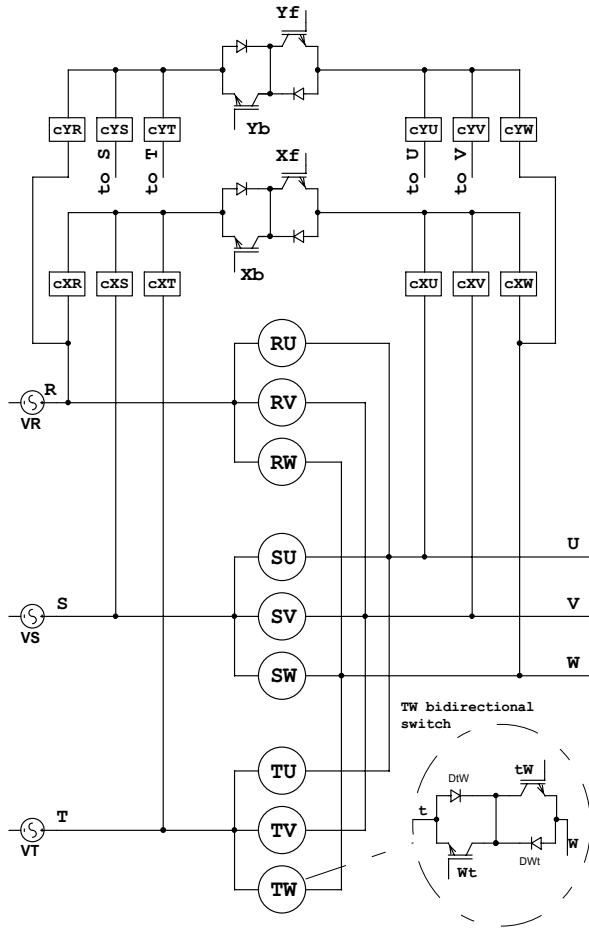
(c) **XR YS ZT topologia erredundantea.**

Aurretik azaldutako bi topologiekin konparatuz, estrategia pixkat ezberdina darabil XR YS ZT topologiak (B.2 irudia). Bi helburu ditu topologia horrek: osagai erredundanteen kopurua hirukoiztea, eta behar den errele-kopurua murriztea. Azken hori lortzeko, X , Y eta Z etengailu erredundanteen sarrerako erreleak kentzen dira. Ordainetan, sarrerako fase batetako hiru etengailu bidirekzionaletako bat ordezkatzeko dezake bakarrik etengailu erredundante bakoitzak. Adibidez, X etengailu bidirekzional erredundanteak S_{RU} , S_{RV} edo S_{RW} etengailuak ordezkatzeko dezake bakarrik. Sarrerako fase bereko bi etengailuak huts egiten dutenean, ez da posible bigarren etengailu puskatua ordezkatzeko.

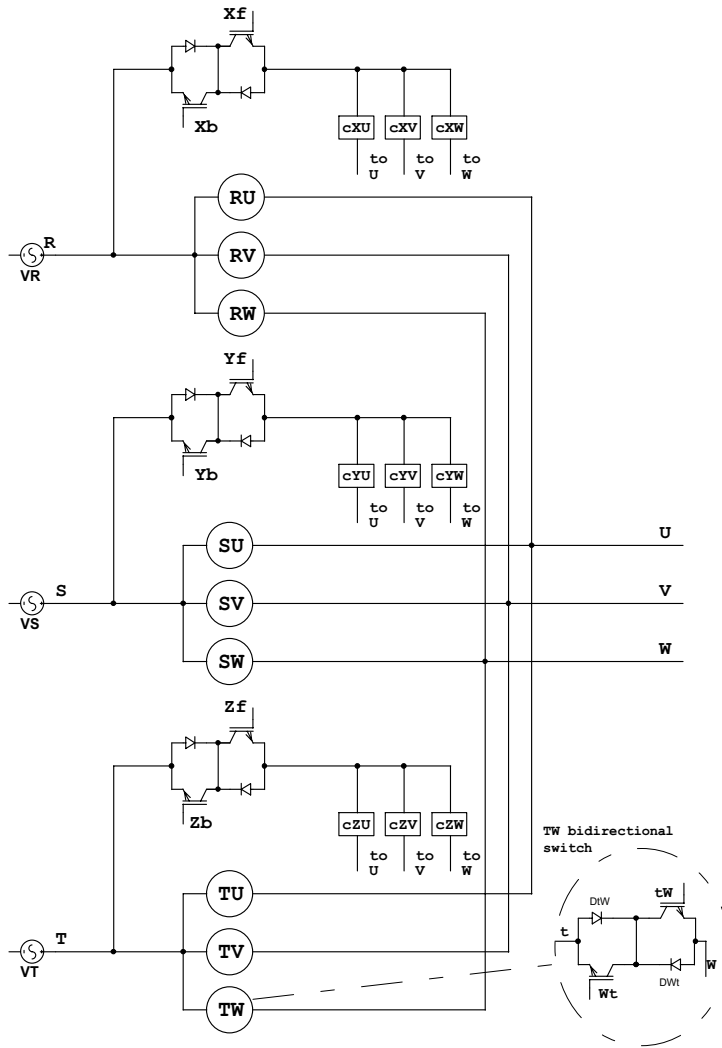
Helburu berdinak lor daitezke sarrerako errelearen ordezkariak kentzen direnean. Topologia hori aukeratuz gero, irteerako fase batetako hiru etengailu bidirekzionaletako bat ordezkatzeko dezake etengailu erredundante bakoitzak.

Hiru etengailu bidirekzional gehigarri eta bederatzi errele behar dira topologia hutsegite-toleratzaile hori eraikitzeko. Hala ere, kontuan izan behar da estrategia horrek erredundantzia-maila pixka bat mugatua duela.

Etengailu erredundanteen kontrolerako, beharrezkoa da *driver*ak eta DC/DC iturri isolatuak gehitzea zirkuitura. Alde horretatik, aurretik aipatutako soluzioak eraikitzeko beharrezkoa den osagai gehigarrien kopuru optimoa erakusten du B.1 taulak [209], eta baita topologia bakoitzarekin lortzen den erredundantzia-maila ere. Iturri isolatuen kopurua gehien minimizatzen duen konfigurazioa da MCaren etengailuak CC egituran eta etengailu erredundanteak CE egituran dituenak.



B.1 irudia. Etengailu gehigarri bat baino gehiago dituzten topologia erredundanteak (I): XY MC topologia.

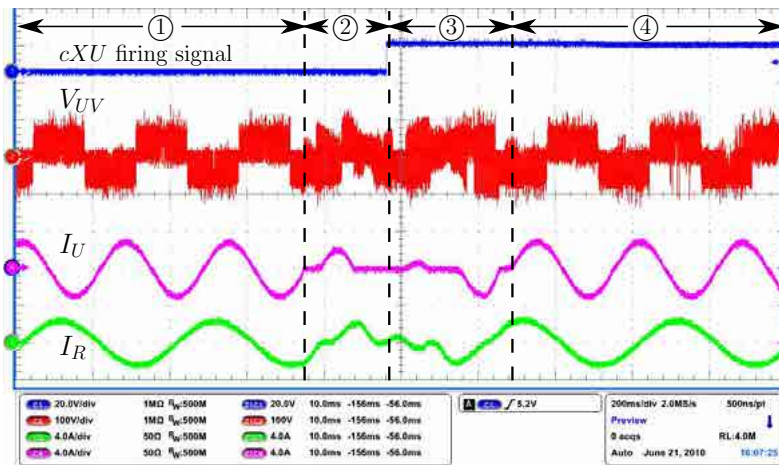


B.2 irudia. Etengailu gehigarri bat baino gehiago dituzten topologia erreduntan-teak (eta II): XR YS ZT topologia.

B.1 taula. Hutsegite-toleratzailea den topologia erredundantearen arabera dagoen osagai gehigarrien kopurua, eta lortzen den erredundantzia-maila.

	Topologia erredundanteak		
	$X MC$	$XY MC$	$XR YS ZT$
Etengailu-kopurua	1	2	3
Errele-kopurua	6	12	9
Iturri isolatuak (CE)	2	4	3
Iturri isolatuak (CC)	1	2	3
Driver-kopurua	2	4	6

Topologia	Erredundantzia-maila
$X MC$	Etengailu bidirekzional bat MC osoan
$XY MC$	Bi etengailu bidirekzional MC osoan
$XR YS ZT$	Etengailu bidirekzional bat sarrerako fase bakoitzeko



B.3 irudia. $XR YS ZT$ topologia hutsegite-toleratzailearen bidez lortutako emaitza esperimentalak.

Mota horretako estrategia hutsegite-toleratzaileen funtzionamendua ilustratzeko, $XR YS ZT$ konfigurazioa (B.2 irudia) erabiliz lortutako emaitza esperimentalak erakutsiko dira. Horretarako, konfigurazio horretan dagoen etengailu bidirekzional erredundante bat gehitu zaio 7.4. atalean deskribatutako prototipatze azkarreko kontroleko plataformari, eta RL karga batekin konektatu da prototipoa ($R = 10 \Omega$, $L = 10 \text{ mH}$). Eupec $FM35R12KE3$ modulu batetako etengailu bidirekzional bat erabili da etengailu erredundante modura. Alde batetik, sarrerako R fasearekin konektatu da zuzenean etengailu erredundantea. Bestalde, Omron $LY4AC120$ potentzia-errelea erabiliz konektatu da etengailu hori irteera-

ko U fasearekin. RT-Lab eMEGAsim gailu digitaleko FPGA (7.2. atala) erabili da osagai erredundante horien aktibazio- eta desaktibazio-uneak kontrolatzeko. Plataforma hutsegite-toleratzaile hori erabiliz lortutako emaitza esperimentalak erakusten ditu B.3 irudiak.

MCak ongi funtzionatzen du (B.3 irudia, ① tartea), S_{RU} etengailua zirkuitu irekian gelditzen den arte. Espero den bezala, MCak sintetizatutako tentsioen eta korronteen kalitateak behera egiten du hutsegite-egoera horretan (B.3 irudia, ② tartea). Finkatze-zirkuituak babesten du bihurgailua egoera horretan. Ondoren, potentzia-errelea aktibatzen du kontrolak; aldi berean, IGBT erredundanteen kontrola aktibatzen da ere. Ikus daitekeen bezala, potentzia-erreleak denbora jakin bat behar du aktibatzeko (B.3 irudia, ③ tartea). Hala ere, oso lehuna da trantsizio hori. Azkenik, MCak % 100ean funtzionatzen jarraitzen du etengailu erredundanteari esker (B.3 irudia, ④ tartea). Etengailu erredundantearen konezioek sortutako inдукtantzia parasitoen eragina antzematen da emaitzetan. Hala ere, sistemak ez du arazorik egoera horretan modu jarraituan funtzionatzeko.

C. eranskina

Terminoen hiztegi laburra

Potentzia-elektronikaren alorrean lan gutxi daude euskaraz publikatuta; ondorioz, gai horri buruz euskaraz dagoen termino-kopurua ez da oso ugaria. Alde horretatik, zenbait hitz berri sortu behar izan dira tesi hau idazterakoan. Jarraian, lan honetan erabilitako terminologiaren hiztegi laburra aurkeztuko da. Hiztegi horretan, termino bakoitzari euskaraz dagokion hitza eta jatorrizko hizkuntzan dagokiona azalduko dira.

A

abiadura-begizta: *speed loop*

abiadura elektriko: *electrical speed*

abiadura-eremu: *speed range*

abiadura mekaniko: *mechanical speed*

abiarazte-erresistentzia: *power up resistor*

aktibazio-denbora: *activation time*

aktibazio-seinale: *activation signal*

alderantzizko berreskuratze: *reverse recovery*

alderantzizko blokeo ahalmen: *reverse blocking capability*

anplitude: *amplitude*

aplikazio kritiko: *critical application*

arazi: *debug*

arazketa-prozesu: *debugging process*

argi akoplagailudun *driver*: *optocoupled driver*

artezgailu: *rectifier*

artezgailu birtual: *virtual rectifier*

ataza: *task*

atzerapen-eragile: *delay operator*
 aurpegi bakarreko modulazio bektorial: *single sided space vector modulation*
 aurpegi bikoitzeko modulazio bektorial: *double sided space vector modulation*
 aurreelikadura: *feed forward*
 aurreelikadura-osagai: *feed forward therm*
 azpiharmoniko: *sub-harmonic*
 azpisistema: *subsystem*

B

babes-estrategia: *protection strategy*
 balio nominal: *nominal value*
 banaketa-parametro: *distribution parameter*
 banda-zabalera: *bandwidth*
 baristore: *varistor*
 bat bateko potentzia-erorketa: *instantaneous power loss*
 bat bateko tentsio-erorketa: *voltage sag*
 begizta ireki: *open loop*
 begizta itxi: *closed loop*
 bektore aktibo: *active vector*
 behatzaile: *observer*
 behe-paseko iragazki: *low pass filter*
 bektore espazial: *space vector*
 bektore errotazional: *rotational vector*
 bektore sintetizagarri: *synthesizable vector*
 bektore nulu: *zero vector*
 berrabiarazi: *restart*
 berrelikadura: *feedback*
 bi etapako potentzia-bihurgailu zuzen: *two stage direct power converter*
 bihurgailu matrizial: *matrix converter*
 bihurgailu matrizial ez-zuzen: *indirect matrix converter*
 bihurgailu matrizial hibrido: *hybrid matrix converter*
 bihurgailu matrizial mehatz: *sparse matrix converter*
 biraketa-angelu: *rotation angle*
 biribiltze-errore: *round off error*
 bizi-ziklo: *life cycle*
 Bode diagrama: *Bode diagram*

C

Clarkeren transformazio: *Clarke transformation*

D

datuen egokitze: *data conditioning*

denbora erreal: *real time*
 denbora errealeko simulazio: *real time simulation*
 denbora errealeko simulatzaile digital: *digital real time simulator*
 denbora errealeko sistema eragile: *real time operative system*
 denbora-erreferentzia: *time reference*
 denbora-frakzio: *time fraction*
 denbora hil: *dead time*
 denbora-konstante: *time constant*
 desaktibazio-seinale: *deactivation signal*
 desoreka-maila: *unbalance level*
 detekzio-estrategia: *detection strategy*
 diseinu-prozesu: *design process*
 disjuntore: *disjuncter*
 diodo supresore: *suppressor diode*
 diodo-zubi konfigurazio: *diode bridge configuration*
 distortsio harmoniko: *harmonic distortion*

E

ebaketa-maiztasun: *cut off frequency*
 ebaluazio-plaka: *evaluation board*
 ebazle: *solver*
 eduki harmoniko: *harmonic content*
 egoera diskretu: *discrete state*
 egoera iragankor: *transient*
 egoera iraunkor: *steady state*
 egoera jarraitu: *continuous state*
 egoera latz: *harsh condition*
 elikadura-iturri: *power supply*
 energia-aurrezpen: *energy saving*
 energia-bihurketa: *energy conversion*
 energia magnetiko: *magnetic energy*
 erabiltzaile-interfaze: *user interface*
 eragin-faktore: *impact factor*
 eraginkortasun: *efficiency*
 erantzun dinamiko: *dynamic response*
 erredundantzia-maila: *redundancy level*
 erredundantzia paralelo: *parallel redundancy*
 erreferentzia-sistema: *reference frame*
 erreferentzia-sistema sinkrono: *synchronous reference frame*
 erreferentzia-sistema trifasiko: *three phase reference frame*
 erreferentziazko bektore: *reference vector*
 erreferentziazko bektore normalizatu: *normalized reference vector*

errele: *relay*
 erresonantzia-maiztasun: *resonance frequency*
 erresonantzia-tontor: *resonance spike*
 espektro harmoniko: *harmonic spectrum*
 estatore: *stator*
 estres termiko: *thermal stress*
 etendura: *interruption*
 etengailu bidirekzional: *bidirectional switch*
 etengailu-egitura: *switch configuration*
 etengailu erredundante: *redundant switch*
 exekuzio-abiadura: *execution speed*
 exekuzio-denbora: *execution time*
 exekuzio-periodo: *execution period*
 ezarpen-denbora: *application time*

F

fase-angelu: *phase angle*
 fase erredundante: *redundant leg*
 fase-neutro motako tentsio: *phase to neutral voltage*
 fasore: *phasor*
 fidagarritasun: *reliability*
 finkatze-zirkuitu: *clamp circuit*
 fluxu bidirekzional: *bidirectional flux*
 fluxu magnetiko: *magnetic flux*
 Fortescueren operadore: *Fortescue operator*
 Fortescueren transformazio: *Fortescue transformation*
 fotoigorle: *photoemitter*
 Fourierren serie konplexu: *complex Fourier series*
 funtzionamendu-eremu seguru: *safe operating area*
 funtzionamendu-maila: *operation level*
 fusible azkar: *fast acting fuse*

G

gailu erdieroale: *semiconductor device*
 gainkorrante: *overcurrent*
 gainmodulazio: *overmodulation*
 gaintentsio: *overvoltage*
 gako: *crowbar*
 garraiatzaile: *carrier*
 gertaera: *event*

H

haize-errota: *wind turbine*
 haize-profil: *wind profile*
 haztatu: *weight*
 hirugarren harmoniko: *third harmonic*
 histeresiaren bidezko kontrol: *hysteresis control*
 hutsegite-egoera: *fault condition*
 hutsegite-ratio: *error ratio*
 hutsegite-tolerantzia: *fault tolerance*
 hutsegite-toleratzaile: *fault tolerant*

I

ibilaldi-maila: *excursion range*
 ibilaldi-tentsio: *excursion voltage*
 igorle komun: *common emitter*
 iman iraunkorreko makina sinkrono: *permanent magnet synchronous machine*
 iman iraunkorreko sortzaile sinkrono: *permanent magnet synchronous generator*
 inbertsore: *inverter*
 inbertsore birtual: *virtual inverter*
 inbertsore laguntzaile: *auxiliary inverter*
 indar magnetoeragile: *magnetomotive force*
 induktantzia parasito: *parasitic inductance*
 inertzia-momentu konbinatu: *combined inertia*
 interpolazio-teknika: *interpolation technique*
 interpolazio bikoitzeko metodo: *double interpolation method*
 interpolazio-estrapolazio metodo: *interpolation plus extrapolation method*
 irabazi: *gain*
 iragazpen-ezaugarri: *filtering characteristics*
 irteera analogiko: *analog output*
 irteera digital: *digital output*
 irteerako fase: *output phase*
 isolamendu galbaniko: *galvanic isolation*
 itxurazko osagai harmoniko: *fictitious harmonic component*
 iturri isolatu: *isolated supply*
 iturri programagarri: *programmable source*
 itzalaldi: *blackout*

K

karga konputazional: *computational load*
 karga induktibo: *inductive load*
 karga trifasko: *three-phase load*
 koadratura-osagai: *quadrature component*
 kode-sorkuntza: *code generation*

kolektore ireki: *open collector*
kolektore komun: *common collector*
korronte alterno: *alternating current*
korronte-begizta: *current loop*
korronte-bektore: *current vector*
korronte efikaz: *effective current*
korronte induktibo: *inductive current*
korronte zuzen: *direct current*
koma finko: *fixed point*
koma higikor: *floating point*
kommutazio: *commutation*
kommutazio-abiadura: *commutation speed*
kommutazio behartu: *hard switching*
kommutazio-egoera: *switching state*
kommutazio-egoeren matrize: *switching state matrix*
kommutazio-galera: *switching loss*
kommutazio-maiztasun: *switching frequency*
kommutazio natural: *natural switching*
kommutazio-sekuentzia: *switching sequence*
kommutazio-sekuentzia optimo: *optimal switching sequence*
kommutazio-sekuentzia simetriko: *symmetric switching sequence*
komunikazio-lotura: *communication link*
kondentsadore: *capacitor*
kondentsadore birtual: *virtual capacitor*
kondukzio-galera: *conduction loss*
konexio-panel: *connection board*
kompentsazio-teknika: *compensation technique*
kompentsazio-termino: *compensation therm*
konputazio-nodo: *computation node*
konputazio paralelo: *parallel computing*
kontrolagailu: *controller*
kontrol-algoritmo: *control algorithm*
kontrol-begizta: *control loop*
kontrol-egitura: *control scheme*
kontrol prediktibo: *predictive control*
kontrol-seinale: *control signal*
kontrol-zirkuitu: *control circuit*
korronte zirkulante: *circulating current*

L

lan-denbora: *duty cycle*

lan-denbora orokortu: *generalized duty cycle*
 larrialdi-egoera: *emergency situation*
 latentzia: *latency*
 lau pausoko kommutazio-teknika: *four step commutation technique*
 libre zirkulatzeko bide: *free-wheeling path*
 linea arteko tentsio: *line to line voltage*
 logika lausoko kontrol: *fuzzy logic control*

M

magnitude-ordena: *order of magnitude*
 maiztasun: *frequency*
 maiztasunean moldagarria: *frequency adaptive*
 maiztasun-osagai: *frequency component*
 makina bultzatzaile integratu: *integrated machine drive*
 mardul: *robust*
 marruskadura-koefiziente: *friction coefficient*
 memoria partekatu: *shared memory*
 merkaturatze-denbora: *time-to-market*
 modu komuneko tentsio: *common mode voltage*
 modulazio: *modulation*
 modulazio-algoritmo: *modulation algorithm*
 modulazio bektorial: *space vector modulation*
 modulazio-indize: *modulation index*
 modulazio-maiztasun: *modulation frequency*
 modulazio-periodo: *modulation period*
 modulazio-teknika: *modulation technique*
 momentu elektromagnetiko: *electromagnetic torque*
 moteltze-erresistentzia: *damping resistor*

N

neke *fatigue, stress*
 nukleo *core*

O

oinarrizko maiztasun: *fundamental frequency*
 oinarrizko maiztasun-osagai negatibo: *negative sequence component*
 oinarrizko maiztasun-osagai positibo: *positive sequence component*
 olde efektu: *avalanche effect*
 osagai errektibo: *reactive element*
 osagai harmoniko: *harmonic component*
 osagai homopolar: *homopolar component*
 osagai simetrikiko: *symmetric component*

P

Parken transformazio: *Park transformation*
 pasa-guzti iragazki: *all pass filter*
 pauso aldakor: *variable step*
 pauso finko: *fixed step*
 pauso-luzera: *step size*
 perturbazioak igarotzeko gaitasun baxu: *low ride-through capability*
 perturbazio irregular: *jitter*
 polo-pare: *pole pair*
 potentzia: *power*
 potentzia-bihurgailu: *power converter*
 potentzia-erdieroale: *power semiconductor*
 potentzia-etenaldi: *power interruption*
 potentzia-etengailu: *power switch*
 potentzia-tarte: *power range*
 potentzia-faktore: *power factor*
 potentzia-galera: *power loss*
 potentzia-modulu: *power module*
 pototipatze azkarreko kontrol: *rapid control prototyping*
 programazio-lengoaia: *programming language*
 pseudo-optimo: *pseudo-optimal*
 pultsu zabalerako modulazio: *pulse width modulation*
 pultsu zabalerako teknika eskalar orokortu: *generalized scalar pulse width modulation*

S

sare desorekatu: *unbalanced grid*
 sare distortsionatu: *distorted grid*
 sare elektriko: *power grid*
 sare trifasiko: *three phase grid*
 sarrera analogiko: *analog input*
 sarrera digital: *digital input*
 sarrerako iragazki: *input filter*
 sarrerako fase: *input phase*
 sektore: *sector*
 simulazio: *simulation*
 simulazio banatu: *distributed simulation*
 simulazio-teknika: *simulation technique*
 simulazio-denbora: *simulation time*
 simulazio-emaizta: *simulation result*
 simulazio-errore: *simulation error*
 simulazio-faktore: *simulation factor*

simulazio-modelo: *simulation model*
 simulazio-modu: *simulation mode*
 simulazio-pauso: *simulation step*
 simulazio-plataforma: *simulation platform*
 simulazio-programa: *simulation program*
 sinkronizazio-egitura: *synchronization scheme*
 sinkronizazio-teknika: *synchronization technique*
 sinu-triangelu konparaketaren bidezko modulazio: *sine-triangle comparison modulation*

T

talde: *cluster*
 tarte-gainditze: *overrun*
 teilakatzte: *overlap*
 tenporizadore: *timer*
 tentsio baxu: *low voltage*
 tentsio-bektore: *voltage vector*
 tentsio-tontor: *voltage spike*
 tentsioa blokeatzeko gaitasun: *voltage blocking capability*
 transferentzia-funtzio: *transfer function*
 transferentzia-ratio: *transfer ratio*
 transformazio bektorial: *vector transformation*
 transformazio-matrize: *transformation matrix*
 turbulentsia: *turbulence*
 turbulentsia-maila: *turbulence level*

U

uhindura: *ripple*
 urruneko kontrolaren bidezko urpeko: *deep sea remote operated vehicle*

Z

zeharkako kontrol-teknika: *indirect control technique*
 zerotiko iragate: *zero crossing*
 zirkuitu ireki: *open circuit*
 zirkuitulabur: *short circuit*
 zuzeneko potentzia-bihurketa: *direct power conversion*

Bibliografia

- [1] O. Simon, J. Mahlein, M. Muenzer, and M. Bruckmann, “Modern solutions for industrial matrix-converter applications,” *IEEE Transactions on Industrial Electronics*, vol. 49, no. 2, pp. 401 – 406, April 2002.
- [2] B. Busco, P. Marino, M. Porzio, R. Schiavo, and F. Vasca, “Digital control and simulation for power electronic apparatus in dual voltage railway locomotive,” *IEEE Transactions on Power Electronics*, vol. 18, no. 5, pp. 1146 – 1157, September 2003.
- [3] I. Kortabarria, E. Ibarra, I. Martínez de Alegría, J. Andreu, and A. Ascarza, “Power converters used in grid connected small wind turbines: Analysis of alternatives,” in *Proc. of the IET Conference on Power Electronics, Machines and Drives (PEMD)*, April 2010.
- [4] G. Tapia, A. Susperregui, and I. M. Martínez, “Parke eolikoak sare elektrikoaren zaindari,” *Ekaia*, vol. 22, pp. 95–120, 2009.
- [5] Z. Chen, J. M. Guerrero, and F. Blaabjerg, “A review of the state of the art of power electronics for wind turbines,” *IEEE Transactions on Power Electronics*, vol. 24, no. 8, pp. 1859 – 1875, August 2009.
- [6] P. Wheeler, J. Rodriguez, J. Clare, L. Empringham, and A. Weinstein, “Matrix converters: a technology review,” *IEEE Transactions on Industrial Electronics*, vol. 49, no. 2, pp. 276 – 288, April 2002.
- [7] J. Andreu, J. M. de Diego, I. Martínez de Alegría, I. Kortabarria, J. L. Martín, and S. Ceballos, “New protection circuit for high speed switching and start-up of a practical matrix converter,” *IEEE Transactions on Industrial Electronics*, vol. 55, no. 8, pp. 3100 – 3114, August 2008.
- [8] “Environmentally friendly motor drives matrix converters,” Yaskawa Electric Corporation, Tech. Rep., October 2006.

- [9] E. Yamamoto, H. Hara, T. Uchino, M. Kawaji, T. Kume, J. Kang, and H. Krug, "Development of MCs and its applications in industry," *IEEE Industrial Electronics Magazine*, vol. 5, no. 1, pp. 4 – 12, March 2011.
- [10] S. Kazuhisa, Y. Tatsuya, and T. Tatsuya, "Matrix converter FRENIC-MX series," *Fuji Electric Journal*, vol. 80, no. 5, September 2007.
- [11] S. Sunter and J. Clare, "A true four quadrant matrix converter induction motor drive with servo performance," in *Proc. of the IEEE Power Electronic Specialists Conference (PESC)*, vol. 1, June 1996, pp. 146 – 151.
- [12] P. Snary, B. Bhangu, C. Bingham, D. Stone, and N. Schofield, "Matrix converters for sensorless control of PMSMs and other auxiliaries on deep-sea ROVs," in *Proc. of the IEE Electric Power Applications Conference*, vol. 152, no. 2, March 2005, pp. 382 – 392.
- [13] W. Rohouma, S. Arevalo, P. Zanchetta, and P. Wheeler, "Repetitive control for a four leg matrix converter," in *Proc. of the IET Conference on Power Electronics, Machines and Drives (PEMD)*, April 2010.
- [14] R. Cardenas, R. Pena, P. Wheeler, and J. Clare, "Experimental validation of a space vector modulation method for a 4-leg matrix converter," in *Proc. of the IET Conference on Power Electronics, Machines and Drives (PEMD)*, April 2010.
- [15] X. Huang, K. Bradley, A. Goodman, C. Gerada, P. Wheeler, J. Clare, and C. Whitley, "Fault-tolerance analysis of multi-phase single sided matrix converter for brushless DC drives," in *Proc. of the IEEE International Symposium on Industrial Electronics*, June 2007, pp. 3168–3173.
- [16] A. Béguin, A. Rufer, and A. Lacaze, "Poly-phased matrix converter for large synchronous generators - design of the voltage surge protection," in *Proc. of the European Conference on Power Electronics and Applications*, September 2009.
- [17] S. Moin Ahmed, A. Iqbal, H. Abu-Rub, and M. Rizwan Khan, "Carrier based pwm technique for a novel three-to-seven phase matrix converter," in *International Conference on Electrical Machines (ICEM)*, September 2010.
- [18] L. Gyugyi and B. R. Pelly, *Static Power Frequency Changers - Theory Performance and Application*. John Wiley & Sons, 1976, ISBN 0-471-67800-7.
- [19] A. Alesina and M. Venturini, "Analysis and design of optimum-amplitude

- nine-switch direct AC/AC converters," *IEEE Transactions on Power Electronics*, vol. 4, no. 1, pp. 101 – 112, January 1989.
- [20] L. Huber and D. Borojevic, "Space vector modulator for forced commutated cycloconverters," in *Proc. of the IEEE Power Electronic Specialists Conference (PESC)*, vol. 1, June 1989, pp. 871 – 876.
- [21] N. Burany, "Safe control of 4-quadrant switches," in *Proc. of the IEEE Industry Applications Society (IAS)*, vol. 2, October 1989, pp. 1190 – 1194.
- [22] C. Klumpner, "An indirect matrix converter with a cost effective protection and control," in *Proc. of the European Power Electronic (EPE)*, September 2005.
- [23] S. Kwak, "Indirect matrix converter drives for unity displacement factor and minimum switching losses," *Electric Power Systems Research*, vol. 77, no. 5 - 6, pp. 447 – 454, April 2007.
- [24] J. Kolar, M. Baumann, F. Schafmeister, and H. Ertl, "Novel three-phase ac-dc-ac sparse matrix converter," in *Proc. of the IEEE Applied Power Electronics Conference and Exposition (APEC)*, vol. 2, 2002, pp. 777 – 791.
- [25] C. Klumpner and C. Pitic, "Hybrid matrix converter topologies: an exploration of benefits," in *Proc. of the IEEE Power Electronics Specialists Conference*, Rhodes, Greece, June 2008, pp. 2 – 8.
- [26] C. Pitic and C. Klumpner, "A new matrix converter-voltage source inverter hybrid arrangement for an adjustable speed-open winding induction motor drive with improved performance," in *Proc. of the IET Conference on Power Electronics, Machines and Drives (PEMD)*, 2008, pp. 60 – 65.
- [27] J. Bauer, "Development of a compact matrix converter," *Acta Polytechnica*, vol. 49, no. 2 - 3, pp. 64 – 69, 2009.
- [28] A. Rebsdorf and L. Helle, "Variable speed wind turbine having a matrix converter," United States patent 6856038, February 2005.
- [29] H. Nikkhajoei and M. R. Iravani, "A matrix converter based micro-turbine distributed generation system," *IEEE Transactions on Power Delivery*, vol. 20, no. 3, pp. 2182 – 2192, July 2005.
- [30] L. Neft and C. D. Shauder, "Theory and design of a 30 HP matrix converter," *IEEE Transactions on Industry Applications*, vol. 28, no. 3, pp. 546 – 551, May-June 1992.

- [31] P. Wheeler, J. Clare, M. Apap, and K. Bradley, "Harmonic loss due to operation of induction machines from matrix converters," *IEEE Transactions on Industrial Electronics*, vol. 55, no. 2, pp. 809 – 816, February 2008.
- [32] J. Itoh, A. Odaka, and I. Sato, "High efficiency power conversion using a matrix converter," *Fuji Electric Review*, vol. 50, no. 3, pp. 94 – 98, 2004.
- [33] P. Wheeler, J. Clare, L. de Lillo, K. Bradley, M. Aten, and C. Whitley, "A comparison of the reliability of a matrix converter and a controlled rectifier-inverter," in *Proc. of the European Conference on Power Electronics and Applications (EPE)*, 2005.
- [34] M. Aten, G. Towers, C. Whitley, P. Wheeler, J. Clare, and K. Bradley, "Reliability comparison of matrix and other converter topologies," *IEEE Transactions on Aerospace and Electronic Systems*, vol. 42, no. 3, pp. 867 – 875, July 2006.
- [35] J. Itoh, T. Hinata, K. Kato, and D. Ichimura, "A novel control method to reduce an inverter stage loss in an indirect matrix converter," in *Proc. of the Industrial Electronics Society Conference (IECON)*, November 2009, pp. 4511 – 4516.
- [36] F. Nakatani, "Technologies for energy saving in industrial field," *IEEJ Transactions on Electrical and Electronic Engineering*, vol. 3, pp. 190 – 198, 2008.
- [37] C. Klumpner, P. Nielsen, I. Boldea, and F. Blaabjerg, "A new matrix converter motor (MCM) for industry applications," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 2, pp. 325 – 335, April 2002.
- [38] A. Trentin, P. Zanchetta, P. Wheeler, and J. Clare, "Performance assessment of matrix converter and two stage matrix converter for ema in aircraft application," in *Proc. of the IEEE Power Electronics Specialists Conference (PESC)*, June 2008, pp. 2692 – 2697.
- [39] P. Wheeler, L. Empringham, M. Apap, J. Clare, K. Bradley, C. Whitley, and G. Towers, "A matrix converter permanent magnet motor drive for an aircraft actuator application with the ability to ride-through power supply loss," in *Proc. of the International Power Electronics and Motion Control Conference (EPE-PEMC)*, September 2004, pp. 78 – 82.
- [40] P. Wheeler, J. Clare, M. Apap, L. Empringham, K. Bradley, C. Whitley, and G. Towers, "A matrix converter based permanent magnet motor drive for an electro-hydrostatic aircraft actuator," in *Proc. of the Industrial*

- Electronics Society Conference (IECON)*, vol. 3, pp. 2072 – 2077, November 2003.
- [41] L. Large, A. Green, S. Mason, S. Bhatia, J. Clare, P. Zanchetta, L. Empringham, and P. Wheeler, “Matrix converter solution for aircraft starting,” in *Proc. of the IEE Seminar on Matrix Converters*, April 2003, pp. 5 – 11.
- [42] R. Bucknall and K. Ciaramella, “On the conceptual design and performance of a matrix converter for marine electric propulsion,” *IEEE Transactions on Power Electronics*, vol. 25, no. 6, pp. 1497 – 1508, June 2010.
- [43] D. Nicolae, C. Richards, and P. Ehlers, “Small power, three to one phase matrix converter for wind generators,” in *Proc. of the International Symposium on Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM)*, June 2010, pp. 1339 – 1343.
- [44] R. Cardenas, R. Pena, G. Tobar, J. Clare, P. Wheeler, and G. Asher, “Stability analysis of a wind energy conversion system based on a doubly fed induction generator fed by a matrix converter,” *IEEE Transactions on Industrial Electronics*, vol. 56, no. 10, pp. 4194 – 4206, October 2009.
- [45] R. Cardenas, R. Pena, P. Wheeler, and J. Clare, “Reactive power capability of wecs based on matrix converter,” *Electronics Letters*, vol. 44, no. 11, pp. 674 – 676, May 2008.
- [46] S. Barakati, M. Kazerani, and J. Aplevich, “Maximum power tracking control for a wind turbine system including a matrix converter,” *IEEE Transactions on Energy Conversion*, vol. 24, no. 3, pp. 705 – 713, September 2009.
- [47] E. Ibarra, I. Kortabarria, I. Martínez de Alegría, J. Andreu, and J. L. Martín, “Matrix converter fed small wind turbine farms: Optimization of the simulation process,” in *Proc. of the International Power Electronics and Motion Control Conference (EPE-PEMC)*, September 2010, pp. (T12) 143 – 148.
- [48] T. Podlesak, D. Katsis, P. Wheeler, J. Clare, L. Empringham, and M. Bland, “A 150-kva vector-controlled matrix converter induction motor drive,” *IEEE Transactions on Industry Applications*, vol. 41, no. 3, pp. 841 – 847, May-June 2005.
- [49] B. Bhangu, P. Snary, C. Bingham, and D. Stone, “Sensorless control of deep-sea ROVs PMSMs excited by matrix converters,” in *Proc. of the IEEE European Conference on Power Electronics and Applications*, September 2005.

- [50] P. Wheeler, J. Clare, L. Empringham, M. Apap, and M. Bland, "Matrix converters," *Power Engineering Journal*, pp. 273 – 282, December 2002.
- [51] K. Sun, D. Zhou, L. Huang, and K. Matsuse, "Compensation control of matrix converter fed induction motor drive under abnormal input voltage conditions," in *Proc. of the IEEE Industry Applications Society (IAS)*, Seattle, WA, USA, October 2004, pp. 623 – 630.
- [52] M. de Oliveira Filho, E. Filho, K. Quindere, and J. Gazoli, "A simple current control for matrix converter," in *Conference Record of the IEEE Industry Applications Conference*, vol. 4, October 2006.
- [53] C. Klumpner and F. Blaabjerg, "Short term braking capability during power interruptions for integrated matrix converter-motor drives," *IEEE Transactions on Power Electronics*, vol. 19, no. 2, pp. 303 – 311, March 2004.
- [54] J. Jugo and I. Arredondo, "Kojinete magnetikoak: marruskadurarik gabeko teknologia," *Ekaita*, vol. 21, pp. 107 – 130, 2008.
- [55] L. Empringham, P. Wheeler, and J. Clare, "Bidirectional switch current commutation for matrix converter applications," in *Proc. of the International Power Electronics and Motion Control Conference (EPE-PEMC)*, September 1998, pp. 42 – 47.
- [56] C. Klumpner and F. Blaabjerg, "Using reverse-blocking IGBTs in power converters for adjustable-speed drives," *IEEE Transactions on Industry Applications*, vol. 42, no. 3, pp. 807 – 816, May 2006.
- [57] M. Takei, T. Naito, and K. Ueno, "Reverse blocking IGBT for matrix converter with ultra-thin wafer technology," in *Proc. of the IEEE International Symposium on Power Semiconductor Devices and ICs*, August 2003, pp. 156 – 159.
- [58] J. Andreu, I. Martínez de Alegría, I. Kortabarria, S. Ceballos, and I. Gabiola, "Switching frequency behaviour for a practical matrix converter," in *Proc. of the Industrial Electronics Society Conference (IECON)*, November 2006, pp. 1667 – 1671.
- [59] P. Wheeler and D. Grant, "Optimised input filter design and low-loss switching techniques for a practical matrix converter," in *Proc. of the IEE Electric Power Applications*, vol. 144, January 1997, pp. 53 – 60.
- [60] L. Empringham, L. de Lillo, P. Wheeler, and J. Clare, "Matrix converter protection for more electric aircraft applications," in *Proc. of the IEEE*

- Industrial Electronics Society Conference (IECON)*, November 2006, pp. 2564 – 2568.
- [61] C. Neft and M. Boro, “Ac power supplied static switching apparatus having energy recovery capability,” United States patent 4.697.230, 1987, Westinghouse Electric Corp.
- [62] H. J. Cha and P. Enjeti, “Matrix converter fed ASDs,” *IEEE Industrial Applications Magazine*, vol. 10, no. 4, pp. 33–39, July 2004.
- [63] S. Bernet, S. Ponnaluri, and R. Teichmann, “Design and loss comparison of matrix converters, and voltage-source converters for modern ac drives,” *IEEE Transactions on Industrial Electronics*, vol. 49, no. 2, pp. 304 – 314, April 2002.
- [64] P. Nielsen, F. Blaabjerg, and J. Pedersen, “New protection issues of a matrix converter, design considerations for adjustable speed drives,” *IEEE Transactions on Industry Applications*, vol. 35, no. 5, pp. 1150 – 1161, September-October 1999.
- [65] ———, “Novel solutions for protection of matrix converter to the three phase induction machine,” in *Proc. of the IEEE Industry Applications Society (IAS)*, vol. 2, October 1997, pp. 1447 – 1454.
- [66] A. Schuster, “A matrix converter without reactive clamp elements for an induction motor drive system,” in *Proc. of the IEEE Power Electronic Specialists Conference (PESC)*, vol. 1, May 1998, pp. 714 – 720.
- [67] J. Mahlein, M. Bruckmann, and M. Braun, “Passive protection strategy for a drive system with a matrix converter and an induction machine,” *IEEE Transactions on Industrial Electronics*, vol. 49, no. 2, pp. 297 – 303, April 2002.
- [68] D. Casadei, G. Serra, A. Tani, and L. Zarri, “Matrix converter modulation strategies: A new general approach based on space-vector representation of the switch state,” *IEEE Transactions on Industrial Electronics*, vol. 49, no. 2, pp. 370 – 381, April 2002.
- [69] L. Huber and D. Borojevic, “Space vector modulation with unity input power factor for forced commutated cycloconverters,” in *Proc. of the IEEE Industry Applications Society Conference (IAS)*, vol. 1, September-October 1991, pp. 1032 – 1041.
- [70] M. Ziegler and W. Hofmann, “Semi natural two step commutation strategy for matrix converters,” in *Proc. of the IEEE Power Electronic Specialists Conference (PESC)*, vol. 1, May 1998, pp. 727 – 731.

- [71] J. H. Youm and B. H. Kwon, "Switching technique for current controlled AC to AC converters," *IEEE Transactions on Industrial Electronics*, vol. 46, no. 2, pp. 309 – 318, April 1999.
- [72] K. Kerris, P. Wheeler, F. Clare, and L. Empringham, "Implementation of a matrix converter using P channel MOS controlled thyristors," in *Proc. of the IEEE Power Electronics and Variable Speed Drives Conference (PEVD)*, September 2000, pp. 35 – 39.
- [73] M. H. Kang and Y. C. Park, "A real time control platform for rapid prototyping of induction motor vector control," *Electrical Engineering*, vol. 88, no. 6, pp. 473 – 483, June 2006.
- [74] E. H. Miliani, D. Depernet, and J. M. Kauffmann., "New control strategy and its DSP implementation for a naturally commutated matrix converter in a variable speed constant frequency generating system," in *Proc. of the European Power Electronic Conference (EPE)*, September 2005.
- [75] Y. Deng, Y. Sun, and L. Huang, "DSP-based implementation of matrix converter," in *Proc. of the IEEE Region 10 Conference on Computer, Communications, Control and Power Engineering*, vol. 3, October 2002, pp. 2046 – 2049.
- [76] M. Gonzalez, M. Funes, R. Petrocelli, and M. Benedetti, "FPGA modulator for matrix converter," in *Proc. of the 3rd Southern Conference on Programmable Logic*, February 2007, pp. 207 – 210.
- [77] A. Dasgupta, S. Mukherjee, M. Sengupta, P. Syam, and A. Chattopadhyay, "Implementation of a universal logic system of generating commutating pulses in matrix converters using FPGAs," in *Proc. of the IEEE International Conference on Information Technology*, December 2007, pp. 1436 – 1441.
- [78] C. Klumpner, F. Blaabjerg, and P. Nielsen, "Speeding up the maturation process of the matrix converter technology," in *Proc. of the IEEE Power Electronic Specialists Conference (PESC)*, vol. 2, June 2001, pp. 1083 – 1088.
- [79] S. Mohammad Noor, M. Hamzah, and A. Saparon, "Single phase matrix converter for inverter operation controlled using Xilinx fpga," in *Proc. of the IEEE International Power and Energy Conference*, December 2008, pp. 764 – 769.
- [80] J. Andreu, U. Bidarte, A. Astarloa, I. Martínez de Alegría, and P. Ibañez, "FPGA solution for matrix converter double sided space vector modulation

- algorithm,” *International Journal of Electronics*, vol. 95, no. 11, pp. 1181 – 1200, November 2008.
- [81] M. Su, L. Xia, Y. Sun, H. Qin, and H. Xie, “Carrier modulation of four-leg matrix converter based on fpga,” in *Proc. of the International Conference on Electrical Machines and Systems*, October 2008, pp. 1247 – 1250.
- [82] E. Ormaetxea, E. Ibarra, J. Andreu, I. Kortabarria, E. Planas, and J. R. Etxebarria, “Fpga gailu birkonfiguragarriak: Kontrol sistema konplexuak implementatzeko aukera berriak,” *Ekaia*, vol. 23, pp. 199 – 217, December 2010.
- [83] E. Ormaetxea, J. Andreu, I. Kortabarria, U. Bidarte, I. Martínez de Alegría, E. Ibarra, and E. Olaguenaga, “Matrix converter protection and computational capabilities based on a system on chip design with an fpga.” *IEEE Transactions on Power Electronics*, vol. 26, no. 1, pp. 272 – 287, January 2011.
- [84] M. Venturini, “A new sine wave in, sine wave out conversion technique that eliminates reactive elements,” in *Proc. of the International Conference on Power System Technology (POWERCON)*, vol. E3, March 1980, pp. 1 – 15.
- [85] M. Venturini and A. Alesina, “The generalized transformer: a new bidirectional, sinusoidal waveform frequency converter with continuously adjustable input power factor,” in *Proc. of the IEEE Power Electronic Specialists Conference (PESC)*, vol. 1, June 1980, pp. 237 – 247.
- [86] T. Satish, K. Mohapatra, and N. Mohan, “Steady state over-modulation of matrix converter using simplified carrier based control,” in *Proc. of the Industrial Electronics Society Conference (IECON)*, November 2007, pp. 1817 – 1822.
- [87] —, “Modulation methods based on a novel carrier-based pwm scheme for matrix converter operation under unbalanced input voltages,” in *Proc. of the IEEE Applied Power Electronics Conference and Exposition (APEC)*, March 2005.
- [88] A. Accioly, F. Bradaschia, M. Cavalcanti, F. Neves, and V. Lima, “Generalized modulation strategy for matrix converters - part I,” in *Proc. of the IEEE Power Electronics Specialists Conference (PESC)*, June 2007, pp. 646 – 652.
- [89] F. Bradaschia, M. Cavalcanti, F. Neves, V. Lima, and A. Accioly, “Generalized modulation strategy for matrix converters - part II,” in *Proc. of*

- the IEEE Power Electronics Specialists Conference (PESC)*, June 2007, pp. 665 – 671.
- [90] F. Bradaschia, M. Cavalcanti, F. Neves, and H. de Souza, “A modulation technique to reduce switching losses in matrix converters,” *IEEE Transactions on Industrial Electronics*, vol. 56, no. 4, pp. 1186 – 1195, April 2009.
- [91] C. Ortega, A. Arias, C. Caruana, M. Apap, and J. Balcells, “Torque ripple reduction in pmsm dtc drives using matrix converters,” in *Proc. of the European Conference on Power Electronics and Applications*, September 2007, pp. 4889 – 4898.
- [92] K. Lee, C. Bae, and F. Blaabjerg, “An improved DTC-SVM method for matrix converter drives using a deadbeat scheme,” *International Journal of Electronics*, vol. 93, no. 11, pp. 737 – 753, November 2006.
- [93] K. Lee, F. Blaabjerg, and K. Lee, “A simple DTC-SVM method for matrix converter drives using a deadbeat scheme,” in *Proc. of the European Power Electronics Conference (EPE)*, September 2005.
- [94] M. Matteini, “Control techniques for matrix converter adjustable speed drives,” Ph.D. dissertation, University of Bologna, 2001.
- [95] R. Vargas, J. Rodriguez, U. Ammann, and P. Wheeler, “Predictive current control of an induction machine fed by a matrix converter with reactive power control,” *IEEE Transactions on Industrial Electronics*, vol. 55, no. 12, pp. 4362 – 4371, December 2008.
- [96] R. Vargas, M. Rivera, J. Rodriguez, J. Espinoza, and P. Wheeler, “Predictive torque control with input pf correction applied to an induction machine fed by a matrix converter,” in *Proc. of the IEEE Power Electronics Specialists Conference (PESC)*, June 2008, pp. 9 – 14.
- [97] D. Cook, M. Catucci, P. Wheeler, J. Clare, J. Przybyla, and B. Richardson, “Development of a predictive controller for use on a direct converter for high-energy physics applications,” *IEEE Transactions on Industrial Electronics*, vol. 55, no. 12, pp. 4325 – 4334, December 2008.
- [98] F. Morel, J. M. Retif, X. Lin-Shi, B. Allard, and P. Bevilacqua, “A predictive control for a matrix converter-fed permanent magnet synchronous machine,” in *Proc. of the IEEE Power Electronics Specialists Conference (PESC)*, June 2008, pp. 15 – 21.
- [99] R. Vargas, U. Ammann, J. Rodriguez, and J. Pontt, “Predictive strategy to control common-mode voltage in loads fed by matrix converters,” *IEEE*

- Transactions on Industrial Electronics*, vol. 55, no. 12, pp. 4372 – 4380, December 2008.
- [100] C. Ortega, A. Arias, and J. Espina, “Predictive vector selector for direct torque control of matrix converter fed induction motors,” in *Proc. of the Industrial Electronics Society Conference (IECON)*, November 2009, pp. 1236 – 1241.
- [101] M. Apap, J. Clare, P. Wheeler, and K. Bradley, “Analysis and comparison of AC/AC matrix converter control strategies,” in *Proc. of the IEEE Power Electronic Specialists Conference (PESC)*, vol. 3, June 2003, pp. 1287 – 1292.
- [102] K. Sun, L. Huang, K. Matsuse, and T. Ishida, “Combined control of matrix converter fed induction motor drive system,” in *Conference Record of the IEEE Industry Applications Conference*, vol. 3, January 2003, pp. 1723 – 1729.
- [103] D. Casadei, G. Serra, A. Tani, and L. Zarri, “Optimal use of zero vectors for minimizing the output current distortion in matrix converters,” *IEEE Transactions on Industrial Electronics*, vol. 56, no. 2, pp. 326 – 336, February 2009.
- [104] L. Huber and D. Borojevic, “Space vector modulated three phase to three phase matrix converter with input power factor correction,” *IEEE Transactions on Industry Applications*, vol. 31, no. 6, pp. 1234 – 1246, November-December 1995.
- [105] E. Ibarra, J. Andreu, E. Ormaetxea, I. Kortabarria, I. Martínez de Alegría, J. L. Martín, and J. R. Etxebarria, “Potentzia-bihurgailu matriziala: teknologia eraginkor eta konpaktua,” *Ekaia*, vol. 23, pp. 173 – 197, December 2010.
- [106] C. Klumpner, I. Boldea, F. Blaabjerg, and P. Nielsen, “A new modulator for matrix converters with input current ripple reduction,” in *Proc. of the Optimization of Electrical and Electronic Equipment Conference (OPTIM)*, vol. 2, May 2000, pp. 487 – 492.
- [107] K. B. Larsen, A. H. Jorgensen, L. Helle, and F. Blaabjerg, “Analysis of symmetrical pulse width modulation strategies for matrix converters,” in *Proc. of the IEEE Power Electronic Specialists Conference (PESC)*, vol. 2, June 2002, pp. 899 – 904.
- [108] J. Espina, A. Arias, J. Balcells, and C. Ortega, “Common mode output waveforms reduction for matrix converters drives,” in *Proc. of the IEEE*

- Industrial Electronics Society Conference (IECON)*, November 2009, pp. 4535 – 4540.
- [109] J. Espina, C. Ortega, A. Arias, and J. Balcells, “Space vector modulation strategy to reduce the common mode perturbations in matrix converters,” *IEICE Electronics Express*, vol. 7, no. 4, pp. 281 – 287, 2010.
- [110] C. Jacobina, A. Nogueira Lima, E. da Silva, R. Alves, and P. Seixas, “Digital scalar pulse-width modulation: a simple approach to introduce nonsinusoidal modulating waveforms,” *IEEE Transactions on Power Electronics*, vol. 16, no. 3, pp. 351 – 359, May 2001.
- [111] F. Bradaschia, “Estratégia de modulação escalar generalizada para conversores matriciais,” Master’s thesis, Universidad Federal de Pernambuco, March 2008.
- [112] S. Sunter and H. Altun, “Control of a permanent magnet synchronous motor fed by a direct AC-AC converter,” *Electrical Engineering*, vol. 87, no. 2, pp. 83 – 92, February 2005.
- [113] M. Chinchilla, S. Arnaltes, and J. Burgos, “Control of permanent-magnet generators applied to variable-speed wind-energy systems connected to the grid,” *IEEE Transactions on Energy Conversion*, vol. 21, no. 1, pp. 130 – 135, March 2006.
- [114] J. Andreu, I. Martínez de Alegría, J. Martín, S. Ceballos, and I. Gabiola, “Matrix converter double sided space vector modulation: a fast way to synthesize via S-Function,” in *Proc. of the IEEE International Symposium on Industrial Electronics (ISIE)*, July 2006, pp. 779 – 784.
- [115] S. Kwak, R. Dabbousi, and H. Toliyat, “An instantaneous compensation technique for supply disturbances in direct frequency converters,” in *Proc. of the IEEE Industrial Electronics Society Conference (IECON)*, vol. 2, November 2002, pp. 956 – 960.
- [116] A. Dastfan and M. Haghshenas, “Improvement of direct method modulation technique in a three-phase matrix converter,” in *Proc. of the IEEE International Electric Machines and Drives Conference*, May 2007, pp. 892 – 896.
- [117] D. Casadei, G. Grandi, G. Serra, and A. Tani, “Analysis of space vector modulated matrix converters under unbalanced supply voltages,” in *Proc. of the International Symposium on Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM)*, vol. 1, 1994, pp. 39 – 44.

- [118] E. Ibarra, J. Andreu, I. Kortabarria, E. Ormaetxea, and S. Apiñaniz, “Convertidor matricial: Técnicas de compensación ante perturbaciones en la red,” in *Proc. of Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI)*, July 2009.
- [119] H. Karaca and R. Akkaya, “An approach for controlling of matrix converter in input voltage variations,” *Engineering Letters*, vol. 17, no. 2, pp. 146 – 150, June 2009.
- [120] H. Karaca, R. Akkaya, and H. Dogan, “A novel compensation method based on fuzzy logic control for matrix converter under distorted input voltage conditions,” in *Proc. of the International Conference on Electrical Machines*, September 2008.
- [121] P. Nielsen, F. Blaabjerg, and J. Pedersen, “Space vector modulated matrix converter with minimized number of switchings and feedforward compensation of input voltage unbalance,” in *Proc. of the IEEE International Conference on Power Electronics, Drives and Energy Systems for Industrial Growth (PEDES)*, vol. 2, January 1996, pp. 833 – 839.
- [122] Y. Mei, K. Sun, D. Zhou, and L. Huang, “Analysis and compensation of matrix converter operation under abnormal input voltage conditions,” in *Proc. of the International Power Electronics and Motion Control Conference (EPE-PEMC)*, vol. 3, Xi’an, China, September 2004, pp. 1311 – 1315.
- [123] D. Casadei, G. Serra, A. Tani, and P. Nielsen, “Theoretical and experimental analysis of SVM controlled matrix converters under unbalanced supply conditions,” *Electromotion Journal*, vol. 4, no. 1 - 2, pp. 28 – 37, January-June 1997.
- [124] D. Casadei, G. Serra, and A. Tani, “A general approach for the analysis of the input power quality in matrix converters,” *IEEE Transactions on Power Electronics*, vol. 13, no. 5, pp. 882 – 891, September 1998.
- [125] G. Yang, J. Wu, Y. Chen, and N. Cheung, “An automatic disturbance rejection controller for matrix converter,” in *Proc. of the International Conference on Power Electronics Systems and Applications*, November 2004, pp. 119 – 124.
- [126] H. Ohguchi, J. Itoh, I. Sato, A. Odaka, H. Kodachi, and N. Eguchi, “An improvement scheme of control performance for matrix converter,” in *Proc. of the International Power Electronics and Motion Control Conference (EPE-PEMC)*, vol. 1, September 2004, pp. 83 – 91.
- [127] I. Sato, J. Itoh, H. Ohguchi, A. Odaka, and H. Mine, “An improvement

- method of matrix converter drives under input voltage disturbances,” *IEEE Transactions on Power Electronics*, vol. 22, no. 1, pp. 132 – 138, January 2007.
- [128] J. Kang, H. Hara, A. Hava, E. Yamamoto, E. Watanabe, and T. Kume, “The matrix converter drive performance under abnormal input voltage conditions,” *IEEE Transactions on Power Electronics*, vol. 17, no. 5, pp. 721 – 730, September 2002.
- [129] B. Wang and G. Venkataramanan, “Dynamic voltage restorer utilizing a matrix converter and flywheel energy storage,” *IEEE Transactions on Industry Applications*, vol. 45, no. 1, pp. 222 – 231, January 2009.
- [130] P. Wheeler, J. Clare, M. Apap, L. Empringham, C. Whitley, and G. Towers, “Power supply loss ride-through and device voltage drop compensation in a matrix converter permanent magnet motor drive for an aircraft actuator,” in *Proc. of the IEEE Power Electronic Specialists Conference (PESC)*, vol. 1, June 2004, pp. 149 – 154.
- [131] V. Kumar, R. Bansal, and R. Joshi, “Experimental realization of matrix converter based induction motor drive under various abnormal voltage conditions,” *International Journal of Control, Automation, and Systems*, vol. 6, no. 5, pp. 670 – 676, October 2008.
- [132] E. Wiechmann, R. Burgos, and J. Rodriguez, “Continuously motor-synchronized ride-through capability for matrix-converter adjustable-speed drives,” *IEEE Transactions on Industrial Electronics*, vol. 49, no. 2, pp. 390 – 400, April 2002.
- [133] C. Klumpner and F. Blaabjerg, “Experimental evaluation of ride through capabilities for a matrix converter under short power interruptions,” *IEEE Transactions on Industrial Electronics*, vol. 49, no. 2, pp. 315 – 324, April 2002.
- [134] C. Klumpner, I. Boldea, and F. Blaabjerg, “Limited ride-through capabilities for direct frequency converters,” *IEEE Transactions on Power Electronics*, vol. 16, no. 6, pp. 837 – 845, November 2001.
- [135] —, “Short term ride-through capabilities for direct frequency converters,” in *Proc. of the IEEE Power Electronic Specialists Conference (PESC)*, vol. 1, June 2000, pp. 235 – 241.
- [136] H. J. Cha and P. Enjeti, “A new ride-through approach for matrix converter fed adjustable speed drives,” in *Proc. of the IEEE Industry Applications Society Conference (IAS)*, vol. 4, October 2002, pp. 2555 – 2560.

- [137] V. Kaura and V. Blasko, "Operation of a phase locked loop system under distorted utility conditions," *IEEE Transactions on Industry Applications*, vol. 33, no. 1, pp. 58 – 63, January 1997.
- [138] M. Karimi-Ghartemani and M. Iravani, "A method for synchronization of power electronic converters in polluted and variable-frequency environments," *IEEE Transactions on Power Systems*, vol. 19, no. 3, pp. 1263 – 1270, August 2004.
- [139] S. Chung, "A phase tracking system for three phase utility interface inverters," *IEEE Transactions on Power Electronics*, vol. 15, no. 3, pp. 431 – 438, May 2000.
- [140] W. V. Lyon, *Application of the Method of Symmetrical Components*. McGraw-Hill, 1937.
- [141] S. J. Lee, J. K. Kang, and S. K. Sul, "A new phase detecting method for power conversion systems considering distorted conditions in power system," in *Conference Record of the IEEE Industry Applications Conference*, vol. 4, 1999, pp. 2167 – 2172.
- [142] P. Rodriguez, A. Luna, M. Ciobotaru, R. Teodorescu, and F. Blaabjerg, "Advanced grid synchronization system for power converters under unbalanced and distorted operating conditions," in *Proc. of the IEEE Industrial Electronics Society Conference (IECON)*, November 2006, pp. 5173 – 5178.
- [143] F. Rodriguez, E. Bueno, M. Aredes, L. Rolim, F. Neves, and M. Cavalcanti, "Discrete time implementation of second order generalized integrators for grid converters," in *Proc. of the IEEE Industrial Electronics Society Conference (IECON)*, November 2008, pp. 176 – 181.
- [144] M. Ciobotaru, R. Teodorescu, and F. Blaabjerg, "A new single-phase pll structure based on second order generalized integrator," in *Proc. of the IEEE Power Electronics Specialists Conference (PESC)*, June 2006.
- [145] P. Rodriguez, R. Teodorescu, I. Candela, A. Timbus, M. Liserre, and F. Blaabjerg, "New positive-sequence voltage detector for grid synchronization of power converters under faulty grid conditions," in *Proc. of the IEEE Power Electronics Specialists Conference (PESC)*, June 2006.
- [146] A. Gole, "Simulation tools for system transients: an introduction," in *Proc. of the Power Engineering Society Summer Meeting*, vol. 2, July 2000, pp. 761 – 762.
- [147] D. Maksimovic, A. Stankovic, V. Thottuvelil, and G. Verghese, "Modeling

- and simulation of power electronic converters,” *Proceedings of the IEEE*, vol. 89, no. 6, pp. 898 – 912, June 2001.
- [148] D. Casadei, G. Serra, and A. Tani, “Reduction of the input current harmonic content in matrix converters under input output unbalance,” *IEEE Transactions on Industrial Electronics*, vol. 45, no. 3, pp. 401 – 411, June 1998.
- [149] M. Ferreira, S. Cruz, and A. Cardoso, “Modeling and simulation of matrix converter drives for diagnostic purposes,” in *Proc. of the International Conference on Electrical Machines*, September 2008.
- [150] D. Linzen and R. De Doncker, “Simulation of power losses with matlab/simulink using advanced power device models,” in *Proc. of the IEEE Workshop on Computers in Power Electronics*, June 2002, pp. 71 – 75.
- [151] T. Matsuo, S. Bernet, R. Colby, and T. Lipo, “Modeling and simulation of matrix converter/induction motor drive,” *Mathematics and Computers in Simulation*, vol. 46, no. 3 - 4, pp. 175 – 195, May 1998.
- [152] A. Prodic and D. Maksimovic, “Mixed-signal simulation of digitally controlled switching converters,” *Proc. of the IEEE Workshop on Computers in Power Electronics*, pp. 100 – 105, June 2002.
- [153] J. Jacobs, D. Detjen, C. U. Karipidis, and R. De Doncker, “Rapid prototyping tools for power electronic systems: demonstration with shunt active power filters,” *IEEE Transactions on Power Electronics*, vol. 19, no. 2, pp. 500 – 507, March 2004.
- [154] H. Kanaan, H. Fortin-Blanchette, K. Al-Haddad, R. Chaffai, L. Duguay, and F. Fnaiech, “Linear control design for a current-injection-based three-phase unity-power-factor rectifier,” *IEEE Transactions on Industrial Electronics*, vol. 51, no. 2, pp. 429 – 438, April 2004.
- [155] J. Andreu, I. Martínez de Alegría, J. L. Martín, P. Ibañez, and J. L. Villate, “Flexible and reduced modulation and simulation method for a matrix converter-dfm modulator,” in *Proc. of the IEEE Industrial Electronics Society Conference (IECON)*, November 2007, pp. 1829 – 1834.
- [156] M. Hamouda, F. Fnaiech, and K. Al-Haddad, “A dsp based real-time simulation of dual-bridge matrix converters,” in *Proc. of the IEEE International Symposium on Industrial Electronics*, June 2007, pp. 594 – 599.
- [157] C. Dufour, L. Wei, and T. Lipo, “Real time simulation of matrix converter drives,” in *Proc. of the European Power Electronic Conference (EPE)*, September 2005.

- [158] L. Yong and H. Yikang, "The modeling and simulation of a three-phase matrix converter," in *Proc. of the International Conference on Electrical Machines and Systems (ICEMS)*, vol. 1, August 2001, pp. 592 – 595.
- [159] Y. Tatar and S. Sunter, "Pspice modelling and simulation of a matrix converter-fed induction motor drive," *Electrical Engineering*, vol. 84, no. 5, pp. 295 – 301, December 2002.
- [160] J. Galvez, X. Jorda, M. Vellvehi, P. Godignon, J. Rebollo, M. Prieto, and J. Lopera, "A spice simulation method of matrix converters for power device analysis in bidirectional switches," in *Proc. of the International Power Electronics and Motion Control Conference*, vol. 1, September 2004, pp. 25 – 30.
- [161] L. de Lillo, P. Wheeler, J. Clare, L. Empringham, M. Apap, K. Bradley, P. Robson, C. Whitley, and G. Towers, "An accurate saber simulation of matrix converter drive systems for more electric aircraft applications," in *Proc. of the International Power Electronics and Motion Control Conference (EPE-PEMC)*, vol. 1, September 2004, pp. 27 – 31.
- [162] H. Nikkhajoei, A. Tabesh, and R. Iravani, "Dynamic model of a matrix converter for controller design and system studies," *IEEE Transactions on Power Delivery*, vol. 21, no. 2, pp. 744 – 754, April 2006.
- [163] J. Andreu, I. Kortabarria, I. Martínez de Alegría, I. Gabiola, and S. Ceballos, "Estados de conmutación semisuave en el convertidor matricial," in *Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI)*, September 2005, pp. 100 – 105.
- [164] A. Sokolovs and I. Galkin, "Cost and space effective igtb gate drive circuit for bi-directional switch of matrix converter," in *Proc. of the International Biennial Baltic Electronics Conference*, October 2008, pp. 293 – 296.
- [165] M. Y. Lee, P. Wheeler, and C. Klumpner, "Space-vector modulated multilevel matrix converter," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 10, pp. 3385 – 3394, October 2010.
- [166] M. Ortega and F. Jurado, "Improvement of output voltage using six-phase matrix converter," in *Proc. of the IEEE International Conference on Emerging Technologies and Factory Automation*, September 2008, pp. 524 – 529.
- [167] E. Erdem, Y. Tatar, and S. Stinter, "Modeling and simulation of matrix converter using space vector control algorithm," in *Proc. of the International Conference on Computer as a Tool (EUROCON)*, November 2005.

- [168] F. Luo and Z. Pan, "Sub-envelope modulation method to reduce total harmonic distortion of AC/AC matrix converters," *IEE Proceedings-Electric Power Applications*, vol. 153, no. 6, pp. 856 – 863, November 2006.
- [169] H. Camblong, I. Martínez de Alegría, M. Rodriguez, and G. Abad, "Experimental evaluation of wind turbines maximum power point tracking controllers," *Energy Conversion and Management*, vol. 47, no. 18 - 19, pp. 2846 – 2858, November 2006.
- [170] E. Ibarra, I. Kortabarria, J. Andreu, I. Martínez de Alegría, J. L. Martín, and P. Ibañez, "Improvement of the design process of matrix converter platforms using the switching state matrix averaging simulation method," *IEEE Transactions on Industrial Electronics*, DOI: 10.1109/TIE.2011.2130504.
- [171] C. Dufour, J. Belanger, and S. Abourida, "Accurate simulation of a 6-pulse inverter with real-time event compensation in artemis™" *Mathematics and Computers in Simulation*, vol. 63, no. 3 - 5, pp. 161 – 172, November 2003.
- [172] B. De Kelper, L. Dessaint, K. Al-Haddad, and H. Nakra, "A comprehensive approach to fixed-step simulation of switched circuits," *IEEE Transactions on Power Electronics*, vol. 17, no. 2, pp. 216 – 224, March 2002.
- [173] B. De Kelper, L. Dessaint, V. Do, and J. Soumagne, "An algorithm for accurate switching representation in fixed-step simulation of power electronics," in *Proc. of the IEEE Power Engineering Society Winter Meeting Conference*, vol. 1, January 2000, pp. 762 – 767.
- [174] K. Lian and P. Lehn, "Real-time simulation of voltage source converters based on time average method," *IEEE Transactions on Power Systems*, vol. 20, no. 1, pp. 110 – 118, February 2005.
- [175] I. Van der Hoven, "Power Spectrum of Horizontal Wind Speed in the Frequency Range from 0.0007 to 900 Cycles per Hour," *Journal of Metereology*, vol. 14, pp. 160 – 164, 1957.
- [176] P. Rosas, "Dynamic influences of wind power on the power system," Ph.D. dissertation, Technical University of Denmark, 2003.
- [177] H. Ayano, H. Inaba, and S. Ogasawara, "A parallel matrix converter system," in *Proc. of the IEEE Power Electronics Specialists Conference*, June 2006.
- [178] E. Planas, E. Ibarra, E. Ormaetxea, J. Andreu, and I. Gabiola, "Implementation of an electrical micro-grid through matrix converters connected

- in parallel,” in *Proc. of the International Power Electronics and Motion Control Conference (EPE-PEMC)*, September 2010.
- [179] E. Ibarra, E. Ormaetxea, J. Andreu, I. Kortabarria, and I. Martínez de Alegria, “Potentzia-bihurgailuen diseinu-prozesuan, simulazioa bidaide,” *Elhuyar. Zientzia eta Teknologia*, vol. 268, pp. 47 – 50, October 2010.
- [180] A. Monti, E. Santi, R. Dougal, and M. Riva, “Rapid prototyping of digital controls for power electronics,” *IEEE Transactions on Power Electronics*, vol. 18, no. 3, pp. 915 – 923, May 2003.
- [181] M. Faruque, V. Dinavahi, M. Sloderbeck, and M. Steurer, “Geographically distributed thermo-electric co-simulation of all-electric ship,” in *Proc. of the IEEE Electric Ship Technologies Symposium (ESTS)*, April 2009, pp. 36 – 43.
- [182] C. Larose, S. Guerette, F. Guay, A. Nolet, T. Yamamoto, H. Enomoto, Y. Kono, Y. Hasegawa, and H. Taoka, “A fully digital real-time power system simulator based on pc-cluster,” *Mathematics and Computers in Simulation*, vol. 63, pp. 151 – 159, November 2003.
- [183] S. Abourida, C. Dufour, J. Belanger, and V. Lapointe, “Real-time pc-based simulator of electric systems and drives,” in *Proc. of the International Conference on Power Systems Transients (IPST)*, July 2003.
- [184] W. Li, L. Snider, J. Paquin, J. Bélanger, and C. Pirolli, “Monte-carlo study on a large-scale power system model in real-time using emegasim,” *Proc. of the Energy Conversion Congress (ECCE)*, pp. 3194–3202, September 2009.
- [185] J. Paquin, W. Li, J. Belanger, L. Schoen, I. Peres, C. Olariu, and H. Kohmann, “A modern and open real-time digital simulator of all-electric ships with a multi-platform co-simulation approach,” in *Proc. of the IEEE Electric Ship Technologies Symposium (ESTS)*, April 2009, pp. 28 – 35.
- [186] N. Lechevin, C. Rabbath, and P. Baracos, “Distributed real-time simulation of power systems using off-the-shelf software,” *IEEE Canadian Review*, no. Summer, pp. 5 – 8, 2001.
- [187] C. Dufour, V. Lapointe, J. Belanger, and S. Abourida, “Hardware-in-the-loop closed-loop experiments with an fpga-based permanent magnet synchronous motor drive system and a rapidly prototyped controller,” in *Proc. of the IEEE International Symposium on Industrial Electronics (ISIE)*, June 2008, pp. 2152 – 2158.
- [188] C. Dufour, J. Belanger, and V. Lapointe, “Fpga-based ultra-low latency hil

- fault testing of a permanent magnet motor drive using rt-lab-xsg,” *Simulation*, vol. 84, no. 2 - 3, pp. 161 – 171, February 2008.
- [189] E. Ormaetxea, E. Ibarra, J. Andreu, I. Kortabarria, and M. Santos, “Fpga based real time simulation of a matrix converter,” in *Proc. of the International Power Electronics and Motion Control Conference (EPE-PEMC)*, September 2010, pp. (S2) 14 – 20.
- [190] S. Krishnamurthy, V. V. Sastry, and V. Ajjarapu, “An innovative rapid prototyping tool for power electronic circuits,” in *Proc. of the American Society for Engineering Education Annual Conference & Exposition*, June 2003.
- [191] L. F. Pak, M. Faruque, X. Nie, and V. Dinavahi, “A versatile cluster-based real-time digital simulator for power engineering research,” *IEEE Transactions on Power Systems*, vol. 21, no. 2, pp. 455 – 465, May 2006.
- [192] E. Ibarra, I. Kortabarria, J. Andreu, E. Planas, and I. Martínez de Alegría, “A fast and accurate simulation method for matrix converters,” in *Proc. of the Power Electronics, Machines and Drives Conference (PEMD)*, April 2010.
- [193] R. Champagne, L. A. Dessaint, H. Fortin-Blanchette, and G. Sybille, “Analysis and validation of a real-time ac drive simulator,” *IEEE Transactions on Power Electronics*, vol. 19, no. 2, pp. 336 – 345, March 2004.
- [194] N. Stannard and J. Bumby, “Energy yield and cost analysis of small scale wind turbines,” in *Proc. of the International Universities Power Engineering Conference*, September 2006.
- [195] WINEUR, “Urban wind turbines: Guidelines for small wind turbines in the built environment,” Tech. Rep., February 2007.
- [196] J. Andreu, I. Martínez de Alegría, I. Kortabarria, J. L. Martín, and S. Ceballos, “Improvement of the matrix converter start-up process,” in *Proc. of the IEEE Industrial Electronics Society Conference (IECON)*, November 2007, pp. 1811 – 1816.
- [197] C. Klumpner and F. Blaabjerg, “The matrix converter: overvoltages caused by the input filter, bidirectional power flow, and control for artificial loading of induction motors,” *EMPS Journal (Electric Machines & Power Systems)*, vol. 28, no. 2, pp. 129 – 142, February 2000.
- [198] E. Chekhet, V. Mikhalsky, S. Peresada, I. Shapoval, and V. Sobolev, “Application of the matrix converter for vector controlled doubly-fed induction

- machine,” in *Proc. of the International Power Electronics and Motion Control Conference (EPE-PEMC)*, vol. 1, September 2004.
- [199] J. Andreu, I. Kortabarria, E. Ormaetxea, E. Ibarra, J. L. Martín, and S. Apiñaniz, “A step forward towards the development of reliable matrix converters,” *IEEE Transactions on Industrial Electronics*, DOI: 10.1109/TIE.2011.2146217.
- [200] L. de Lillo, L. Empringham, P. Wheeler, S. Khwan-On, C. Gerada, M. Othman, and X. Huang, “Multiphase power converter drive for fault-tolerant machine development in aerospace applications,” *IEEE Transactions on Industrial Electronics*, vol. 57, no. 2, pp. 575 – 583, February 2010.
- [201] B. A. Welchko, T. A. Lipo, T. M. Jahns, and S. E. Schulz, “Fault tolerant three-phase ac motor drive topologies: A comparison of features, cost, and limitations,” *IEEE Transactions on Power Electronics*, vol. 19, no. 4, pp. 1108 – 1116, July 2004.
- [202] S. Bolognani, M. Zordan, and M. Zigliotto, “Experimental fault-tolerant control of a PMSM drive,” *IEEE Transactions of Industrial Electronics*, vol. 47, no. 5, pp. 1134 – 1141, October 2000.
- [203] T. Liu, J. Fu, and T. A. Lipo, “A strategy for improving reliability of field-oriented controlled induction motor drive,” *IEEE Transactions of Industry Applications*, vol. 29, no. 5, pp. 910 – 918, September 1993.
- [204] S. Kwak and H. Toliyat, “A matrix converter for fault tolerant strategies and two-phase machine drives,” in *Proc. of the IEEE Industrial Electronics Society Conference (IECON)*, vol. 1, November 2002, pp. 251 – 256.
- [205] C. Chuah, D. Howe, K. Atallah, and D. Stone, “Modular matrix converter drive for fault tolerant applications,” in *Proc. of the International Universities Power Engineering Conference*, vol. 1, 2005, pp. 305 – 309.
- [206] X. Huang, K. Bradley, A. Goodman, C. Gerada, P. Wheeler, J. Clare, and C. Whitley, “Fault-tolerant brushless DC motor drive for electrohydrostatic actuation system in aerospace application,” in *Proc. of the IEEE Industry Applications Society Conference (IAS)*, vol. 1, October 2006, pp. 473–480.
- [207] S. Kwak and H. Toliyat, “An approach to fault-tolerant three-phase matrix converter drives,” *IEEE Transactions on Energy Conversion*, vol. 22, no. 4, pp. 855 – 863, December 2007.
- [208] S. Kwak and T. Kim, “Design of matrix converter topology and modulation algorithms with shorted and opened failure tolerance,” in *Proc. of the IEEE*

- Power Electronics Specialists Conference (PESC)*, June 2008, pp. 1734 – 1740.
- [209] J. Andreu, I. Kortabarria, E. Ibarra, I. Martínez de Alegría, and E. Robles, “A new hardware solution for a fault tolerant matrix converter,” *Proc. of the IEEE Industrial Electronics Society Conference (IECON)*, pp. 4469 – 4474, November 2009.
- [210] S. Khwan-on, L. de Lillo, L. Empringham, P. Wheeler, C. Gerada, N. Othman, O. Jasim, and J. Clare, “Fault tolerant power converter topologies for pmsm drives in aerospace applications,” in *Proc. of the European Conference on Power Electronics (EPE)*, September 2009.
- [211] S. Kwak, “Fault-tolerant structure and modulation strategies with fault detection method for matrix converters,” *IEEE Transactions on Power Electronics*, vol. 25, no. 5, pp. 1201 – 1210, May 2010.
- [212] S. Kwak, T. Kim, and G. Park, “Phase-redundant-based reliable direct ac/ac converter drive for series hybrid off-highway heavy electric vehicles,” *IEEE Transactions on Vehicular Technology*, vol. 59, no. 6, pp. 2674 – 2688, July 2010.
- [213] E. Ibarra, J. Andreu, I. Kortabarria, E. Ormaetxea, I. Martínez de Alegría, J. L. Martín, and P. Ibañez, “New fault tolerant matrix converter,” *Electric Power Systems Research*, vol. 81, no. 2, pp. 538 – 552, February 2011.
- [214] E. Ibarra, J. Andreu, I. Kortabarria, E. Ormaetxea, and E. Robles, “A fault tolerant space vector modulation strategy for matrix converters,” in *Proc. of the IEEE Industrial Electronics Society Conference (IECON)*, November 2009, pp. 4463 – 4468.
- [215] I. Lorzadeh, E. Farjah, and O. Lorzadeh, “Fault-tolerant matrix converter topologies and switching function algorithms for ac motor drives with delta connection windings,” in *Proc. of the International Symposium on Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM)*, June 2010, pp. 1651 – 1657.
- [216] P. Potamianos, E. Mitronikas, and A. Safacas, “A fault tolerant modulation strategy for matrix converters,” in *Proc. of the IET Conference on Power Electronics, Machines and Drives (PEMD)*, April 2010.
- [217] D. Campos-Delgado, D. Espinoza-Trejo, and E. Palacios, “Fault-tolerant control in variable speed drives: a survey,” *IET Electric Power Applications*, vol. 2, no. 2, pp. 121 – 134, March 2008.

- [218] J. Andreu, I. Martínez de Alegría, I. Kortabarria, U. Bidarte, and S. Ceballos, “Matrix converter protection: active and passive strategy considerations,” *WSEAS Transactions on Power Systems*, vol. 1, no. 10, pp. 1698 – 1706, December 2006.
- [219] G. Flury, B. Gollentz, and C. Conilh, “Fault-tolerant inverter for subsea applications,” in *Proc. of the European Conference on Power Electronics (EPE)*, September 2009.
- [220] L. Wang, F. Xu, K. Sun, and L. Huang, “A novel safe shutdown strategy for matrix converter even under fault condition,” in *Proc. of the Applied Power Electronics Conference and Exposition (APEC)*, vol. 3, March 2005, pp. 1786 – 1790.
- [221] B. Augdahl, H. Hess, and B. Johnson, “Output protection strategies for matrix converters in distributed generation applications,” in *Proc. of the IEEE Industry Applications Society Conference (IAS)*, vol. 4, October 2006, pp. 2082 – 2089.
- [222] E. Ibarra, J. Andreu, I. Kortabarria, I. Martínez de Alegría, and S. Ceballos, “Estrategias tolerantes a fallos en convertidores matriciales: Análisis de alternativas,” in *Proc. of Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI)*, July 2010, pp. 353 – 358.
- [223] L. Wang and H. Lipei, “Matrix type converter fault protecting method and circuit for supporting fault-tolerant operation,” Patent 200510086750 (CN100372201C), May 2006, Tsinghua Univ.
- [224] H. Ayano, H. Inaba, I. Yamato, N. Onuma, T. Yoshikawa, and A. Fujino, “Power conversion device using matrix converter,” Patent WO/2005/015726, February 2005, HITACHI, LTD.
- [225] J. Andreu, J. L. Martín, I. Kortabarria, E. Ibarra, U. Bidarte, I. Martínez de Alegría, and P. Ibañez, “Convertidor matricial,” Patente ES 2341693 A1, October 2008, UPV/EHU, Fundación Robotiker.
- [226] E. Ibarra, J. Andreu, I. Kortabarria, I. Martínez de Alegría, and E. Robles, “A diagnosis method for open circuit faults in matrix converters,” in *Proc. of the Power Conversion, Intelligent Motion, Power Quality Conference (PCIM)*, May 2009, pp. 258 – 263.
- [227] S. Cruz, M. Ferreira, and A. Cardoso, “Diagnosis of open-circuit faults in matrix converters,” in *Proc. of the European Conference on Power Electronics (EPE)*, September 2009.
- [228] —, “Output error voltages - a first method to detect and locate faults

in matrix converters,” in *Proc. of the IEEE Industrial Electronics Society Conference (IECON)*, November 2008, pp. 1319 – 1325.