



**BILBOKO INDUSTRIA INGENIARITZA TEKNIKOKO
UNIBERTSITATE ESKOLA**

INDUSTRIA INGENIARITZA TEKNIKOA: INDUSTRIA ELEKTRONIKA
KARRERA AMAIERAKO PROIEKTUA



KARRERA AMAIERAKO PROIEKTUAREN LABURPENA

Kontrol esparruan ikasketa eta garapenerako
oinarrizko ingurune praktiko, ireki eta askea



discrete_control, PID, real_time, matlab_simulink, xilinx_ise, fpga_spartan3

IKASLEAREN DATUAK

UNAI MARTÍNEZ CORRAL

SIN.:
DATA: 2013ko apirilaren 14a

ZUZENDARIAREN DATUAK

Koldo Basterretxea Oyarzabal
koldo.basterretxea@ehu.es
Teknologia Elektronikoa

SIN.:
DATA:

Gaien Aurkibidea	i
1. Helburuak	1
2. Deskribapen orokorra	3
3. Metodologia eta erabilitako tresnak	4
4. Korrante zuzeneko motorra	7
4.1. Abiadura-kontrola gauzatzea	7
4.2. Kontrol sistemaren ezaugarriak	8
4.2.1. Kontrol begitzaren egikaritze denbora	9
4.2.2. Erabilitako azalera	10
4.2.3. Xahututako potentzia	10
5. Garapenerako zerbitzariaren estatistikak	14
6. Erabilitako baliabide grafikoak	17
6.1. Modeloak	17
6.2. Grafikoak	18
6.3. Diagramak	22
7. Ondorioak	27
7.1. Wishlist	28
8. Informazio-iturriak	29
9. Baldintza orokorrak	32
9.1. GNU [Lesser] General Public License ([L]GPLv3)	32
9.2. Creative Commons Attribution-ShareAlike (CC-BY-SA)	33
9.3. Aitorpen zuzenak	33
9.4. Zeharkako aitorpenak	34
A. Karrera Amaierako Proiektuak idazteko txantiloia	35

Letra larriak

$E(x)$	—	e seinalea x operadorearen menpe.
F_{cl}	—	Doitutako sistemaren banda-zabalera begizta itxian (jarraitua).
F_o	—	Plantaren elikadura seinalearen maiztasuna.
F_p	—	Plantaren banda-zabalera ($-3dB$).
F_{pwm}	—	PWM modulagailuaren erlojuaren maiztasuna.
F_s	—	Laginketa-maiztasuna, T_s^{-1} .
K	—	Hardwareak edo diseinuak baldintzatutako konstantea.
$K_{p,i,d}$	—	PID kontrolagailuaren irabazi finkoak.
P, I, D	—	<i>Matlab</i> lan-eremuan adierazitako PID jarraituaren irabaziak.
S	—	Sistema jarraituak lantzeko domeinu konplexua.
T_c	—	Sistemak kontrol begizta egikaritzeko behar duen denbora tartea.
T_f	—	PID-aren adierazpen jarraitu inpropio osoaren iragaziaren parametroa.
$T_{i,d}$	—	Hurrenez hurren, $\frac{K_p}{K_i}$ eta $K_p \cdot T_d$.
T_s	—	Laginketa-periodo finkoa.
$U(x)$	—	u seinalea x operadorearen menpe.
$U_{p,i,d}$	—	Gainezarmena aplikatuz kontrolagailuaren adar bakoitzeko U -ren osagaia.
$Y(x)$	—	y seinalea x operadorearen menpe.
Z	—	Sistema diskretuak lantzeko domeinu konplexua.

Letra xeheak

bp	—	<i>binary-point</i> (koma bitarra).
e	—	Kontrolerako errore-seinale jarraitua: $r - y$.
dc	—	<i>duty-cycle</i> , PWM seinalearen lan-erregimena.
k	—	Diskretizatutako seinalearen lagina.
r	—	Kontrol begiztaren erreferentziako seinalea (jarraitua).
s	—	S domeinuko operadorea.
u	—	Kontrolagailuaren irteerako seinalea (jarraitua).
$u_{p,i,d}$	—	Gainezarmena aplikatuz kontrolagailuaren adar bakoitzeko u -ren osagaia.
wl	—	<i>word-length</i> (hitzaren luzera).
y	—	Plantaren irteerako seinalea (jarraitua).
z	—	Z domeinuko operadorea.

Letra grekoak

ω	—	Abiadura angeluarra.
Θ	—	Fasea.

Akronimoak

ADC	—	<i>Analog-to-Digital Converter</i> .
ADQ	—	<i>Data Acquisition</i> .
$APES$	—	<i>Adaptive Electronic Systems</i> ikerketa-taldea.
ARM	—	<i>ARM Holdings</i> konpainia britaniarraren <i>RISC</i> egituran oinarritutako mikro-prozesadore familia.
ASM	—	<i>Algorithmic State Machine</i> .
CPU	—	<i>Central Processing Unit</i> .
DAC	—	<i>Digital-to-Analog Converter</i> .
DCM	—	<i>Digital Clock Manager</i> .

<i>FPGA</i>	—	<i>Field Programmable Gate Array.</i>
<i>FROH</i>	—	<i>FRactional Order Hold.</i>
<i>FSM</i>	—	<i>Finite State Machine.</i>
<i>HIL</i>	—	<i>Hardware-In-the-Loop.</i>
<i>HW</i>	—	<i>Hardware.</i>
<i>KAP</i>	—	<i>Karrera Amaierako Proiektua.</i>
<i>LCD</i>	—	<i>Liquid Crystal Display.</i>
<i>PID</i>	—	<i>Proportional Integral Derivative.</i>
<i>PWM</i>	—	<i>Pulse Width Modulation.</i>
<i>SW</i>	—	<i>Software.</i>
<i>SysGen</i>	—	<i>Xilinx System Generator for DSPs.</i>
<i>VGA</i>	—	<i>Video Graphics Array.</i>
<i>VHDL</i>	—	<i>VHSIC Hardware Description Language.</i>
<i>VHSIC</i>	—	<i>Very High Speed Integrated Circuit.</i>
<i>x86</i>	—	<i>Intel 8086 CPUan oinarritutako mikroprozesadore familia.</i>
<i>ZI</i>	—	<i>Zirkuitu Integratua.</i>
<i>ZOH</i>	—	<i>Zero Order Hold.</i>

1. Helburuak

1.1. irudiak adierazten duenez, *Anie* proiektua ingurune handiagoa den *Pierre St. Martinen* atala da, eta ondorengo da helburu nagusia:

Benetako denborak aginduta, kontrolagailu jarraituaren erantzun baliokidea duen kontrol-sistema digital modularra, txertatua eta autonomoa FPGA batean inplementatzea eta kontrola gauzatzea.

Zehaztasunean behera, prozedura kronologiko teorikoak bigarren mailako hurrengo helburuak ezartzen ditu:

- Korrante zuzeneko motorra [1] azterketa kasu, plantaren modelo ahalik eta egiazkoa lortzea (sarrerren/irteeren moduluak barne).
- Kontrolagailua doitzea eta modelo diskretuarekin ezberdintasunak aztertzea.
- Autonomia bermatzeko, monitorizazio eta kontrolerako modulu periferikoak deskribatzea (VGA, LCD, etab.).
- Sistema parametrizatu eta erabilerraza garatzea.
- Arkitektura ezberdinak konparatzea: konbinazional hutsa, erregistroetan oinarritutakoa, VHDL kodea, *System Generator* blokeak, mikrokontrolagailu/mikroprozesadoreak...

Ingurunearen diseinurako baldintzen arabera, erabilera errazteko, ahal den heinean, sistemen osagai guztiak parametrizatuta daude. Trebakuntza-denbora aurrezteaz gain, hardwarea sakonean ezagutzen ez duenari diseinuan moldaketa txikiak egiteko aukera emateko.

Azterketa eta ulertzea argitzeko, eta proiektuaren izaera praktikoak aginduta, abstrakzio-maila gorenetik hasita eta erregistroetara heldu arte urratsez-urrats azalduko dira aldaketak. 1.2. irudiak adierazten du proiektuaren mamiak zein esparru hartzen duen egituraren, jokaeraren eta inplementazio fisikoaren ikuspuntuetatik.

Badago *Pierre St. Martin* ingurunean zeharkako proiektu bat, informazioaren sostenguak baldintzatzen dituenak: inguruneari dagozkion dokumentazio eta iturri guztiak, ahal den heinean, estandarrak diren formatuetan gordeko dira, ez denboraren poderioz hedatuenetan.

Besteak beste, irakurleak eskuartean duen dokumentua egiteko \LaTeX ¹ baliatuz Bilboko IITUEen Karrera Amaierako Proiektuak aurkezteko jarraitu beharreko maketazio-argibideak betetzen dituen txantiloia egin da².

¹itsas.ehu.es/workgroups/latex

²A. eranskinean ITSASeko web-gunean \LaTeX lan-taldearen *Euskaraz* atalean txantiloia txostena dago.

Pierre St. Martin

Helburuak

Hurbiltzeko bide ezberdinak jarraitu dituzten ingeniari eta teknikoentzat kontrol, erregulazio eta komunikazio esparruetan ikasketa eta garapenerako oinarritzko dokumentatutako abstrakzio maila baxuan ingurune praktiko, ireki eta askea sortzea.



Modularra



Real-time



Txertatua



Autonoma



Hiztuna



Erabilerraza



anie

hardware garapena



Vumeter / LCD / Rheobus
2005



OHKIS
2009



Control de velocidad de un motor CC: NI Labview
2012



añelarra

hard-soft co-design



Bicicleta uControlador
2010



Autotuning
2013



larra

(tele)komunikazioak

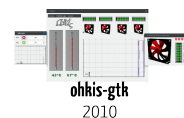


Acher
2011



arlas

informatika aplikazioak



ohkis-gth
2010

Garapenerako tresnak

Karrera Amaierako Proiektuak idazteko LaTeX txantiloia



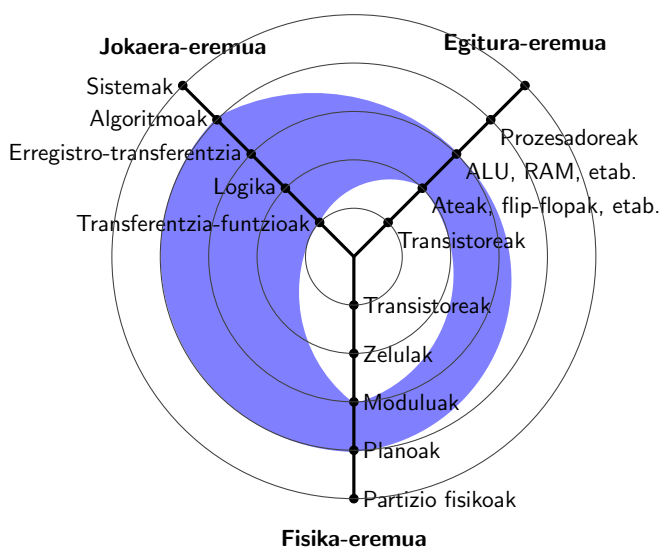
UNE
57001
2002
Acher
2011



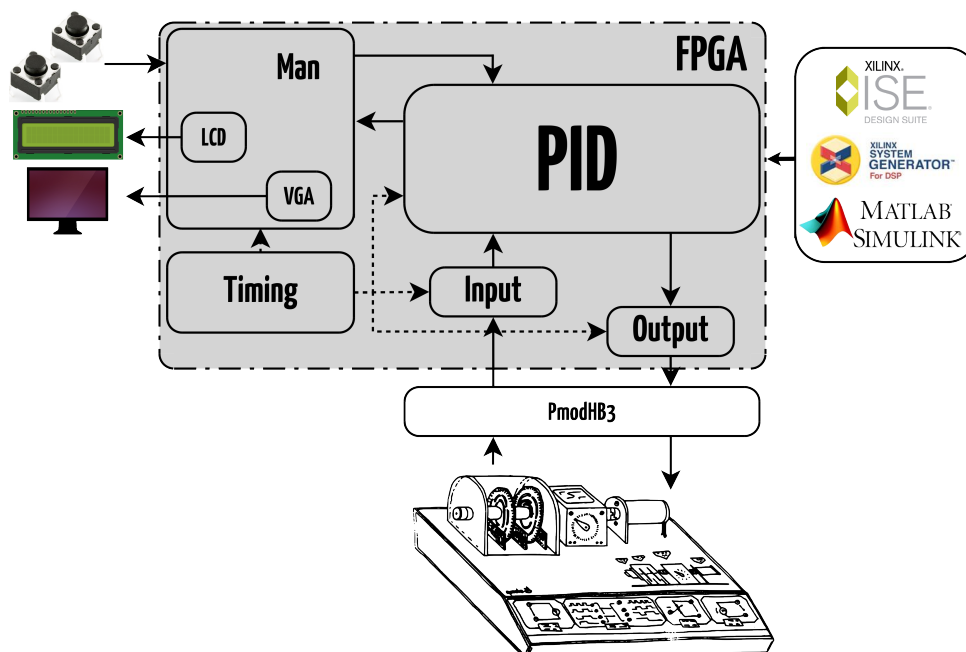
ITSAS
Grupo de trabajo: Plantillas para PFCs
2007
Grupo de trabajo: LaTeX
2010-2013



1.1. Irudia: Pierre St. Martin ingurunearen helburu, atal eta tresnak.



1.2. Irudia: Gajski-Kuhn Y-grafikoan proiektuaren abstrakzio-maila.



2.1. Irudia: Sistemaren osagai nagusiak eta elkarren arteko funtsezko informazio-fluxuak.

2.1. irudiak adierazi bezala, sistema bost oinarrizko osagaitan deskribatu da funtzionaltasunaren arabera:

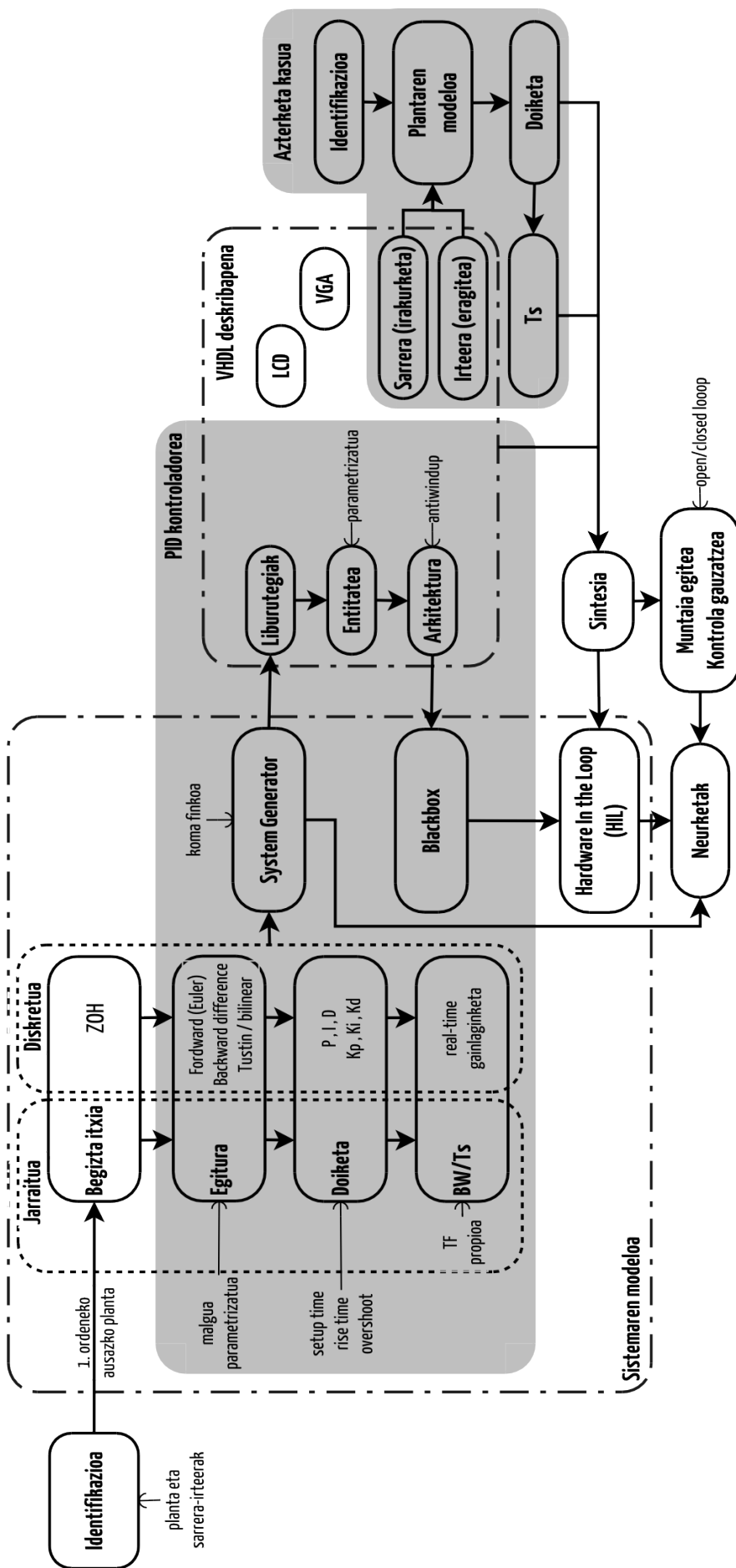
- **Timing:** txartelaren 50 MHz-eko erloju seinalean oinarrituta, FPGAk dituen DCMak eta kontagailuak erabilia, beste osagaiak behar dituzten maiztasunetako seinale periodikoak sortzea.
- **Man:** erabiltzaileak sistema kudeatu (erreferentzia-seinalea sortzea) eta aldagaiak ikuskatzeko interfazeen kudeaketa (sakagailuak, kodetzaile birakaria, LCD, VGA, etab.).
- **Input:** plantaren kontrolatu nahi den aldagaia irakurtzea eta kontrolagailuaren berrelidura seinalea sortzea.
- **PID:** kontrolagailua.
- **Output:** PIDaren irteeraren arabera eragingailuaren agindu seinalea sortzea (DAC, PWM, etab.)

Plantaren arabera sarrerako/irteerako osagai ezberdinak inplementatzea beharrezkoa bada ere, azterketa kasu guztietako sistemek hainbat osagai komun dute: aukeratutako txartelaren erlojuan oinarritutako maiztasun ezberdinak sortzea, esaterako. Hori dela eta, azterketa kasua edozein dela ere moldaketa errazteko, plantarekiko menpekotasunik ez dituztenak (*PID*, *Man-LCD* eta *VGA* barne- eta *Timing*) banaturik landu dira. Azterketa kasuak garatzean planta zehatzek behar dituzten gehikuntzak egin dira, izaera modularrari eskerrak.

1. Begizta osatzen duten elementuen modelo matematikoak aztertzea, aukeratzea eta parametroak identifikatzea.
2. Konputagailuz burututako simulazio numerikoaz sistema osoaren modeloa balidatzea eta PID kontrolagailu jarraitua doitztea.
3. PID kontrolagailu diskretuaren egitura aukeratzea eta laginketa-maiztasunaren ikasketa burutzea.
4. Arkitektura ezberdinetan kalkuluak koma finkoan egiteko adierazpenak aukeratzea.
5. Bit-zehatza eta ziklo-zehatza den simulazio ingurunean modelo ezberdinen erantzunak konparatzea.
6. Sintesarako, mapa egiteko eta diseinua inplementatzeko software ingurune integratuan PID kontrolagailua VHDL lengoiaian deskribatzea.
7. Sistema osatzeko, egoera finituko makinetan (*Máquina de Estados Finitos, MEF, edo Finite State Machine, FSM*) eta erregistroetan oinarritutako modulu periferikoak deskribatzea: kodetzaile inkremental birakariak, PWM modulagailua, H-zubia babesteko logika, VGA, LCD...
8. Sistema balidatzea
 - (a) *HW/SW co-simulation (blackbox)*.
 - (b) *HW-in-the-loop (HIL) (blackbox)*.
 - (c) Sistema errealaren balidatzea (parametroen identifikazioa, doiketa eta azkeneko frogak).



3.1. Irudia: Garapenerako erabili den Xilinxen Spartan3E Starter Kit txartela.



3.2. Irudia: Garapenean jarraitutako metodologiaren fluxu-diagrama.

Sistema osoa *Digilenten*³ **Spartan3E Starter Kit** txartel bakarrean inplementatu baino lehen, azterketa arindu eta errazteko, simulazioan oinarritu da garapena; eta begizta osatzen duten elementuak identifikatu eta modelatu dira horretarako.

Modeloak *Laplaceren* S domeinuan baliatuta, *Mathworks*⁴ **Matlab/Simulink** inguru-nean PID kontrolagailua doitu da. Modelo jarraitutik abiatuta, eta beti erreferentzia- izanik, kontrolagailuaren egitura diskretua eskuratu da, Z planoan adierazita. Modelo digitala osatzeko laginketa-maiztasuna eta koma finkoko aritmetikak agindutako hitz-luzerak ezarri dira. *Xilinx*⁵ **System Generator** bitartez, *Matlab* eta **ISE/ISim** lotuz, liburutegiko blokeak zein idatzitako VHDL kodea erabilia deskribatutako kontrolagailuen erantzuna aztertu da. Erreferentziarekiko erantzunen konparaketa oniritzitakoan, tresna berdinak medio, hardware kosisimulazioa burutu da helburuko plataformarekin.

Sistemak helburuak bete ditzan plantarekiko menpekotasunik ez duten moduluak VHDL lengoian deskribatu dira (LCD, VGA, sakagailuak, kommutadoreak, etab.). Azterketa kasuaren, *Alecop, S. Coopren MV541* maketaren, araberako sarrerako/irteerako osagaiak egin dira azkenik, eta plantaren araberako doiketa eta parametrizazioa ezarri. Hauekin, alde batetik oinarritzko sistema (VGA gabekoa) eta bestetik aukera guztiak dituen sintetizatu dira.

Inplementazioek ezarritako helburuak eta azterketa teorikoan adierazitako mugak betetzen dituztela baieztatu ostean, eta praktikan kontrola zuzena izanik, emaitzak aztertu dira (hala nola, erabilitako azalera eta prozesatze abiadura mugak). Azkenik, *System Generatoren* kodea zuzenean sortzeko aukeraren implementazioaren emaitza zuzenean VHDL lengoiaz garatutakoarekin konparatu da.

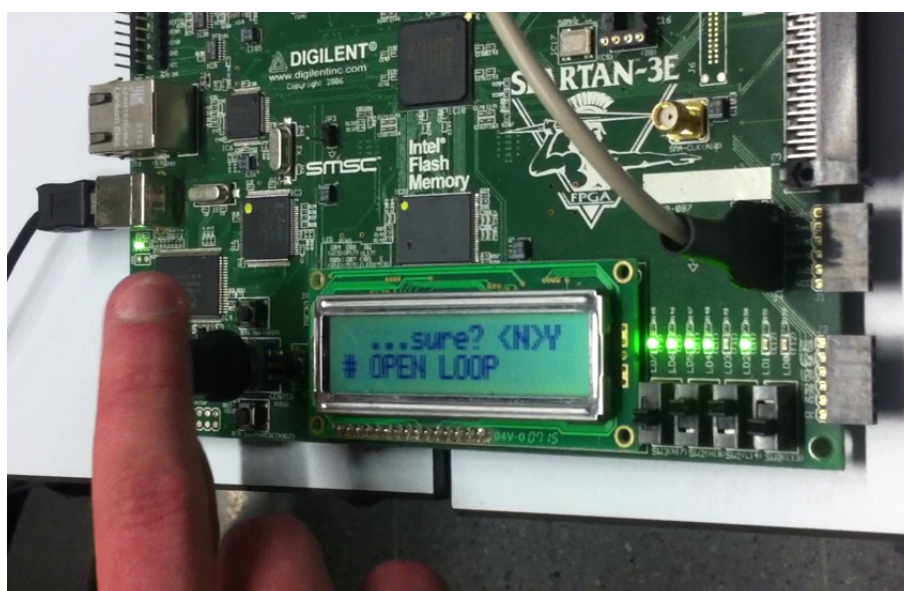
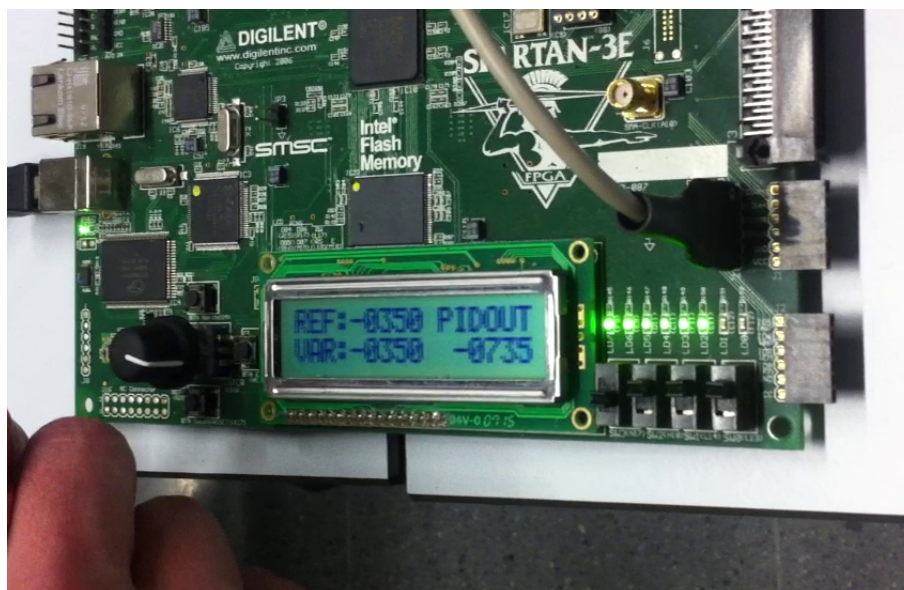
³www.digilentinc.com

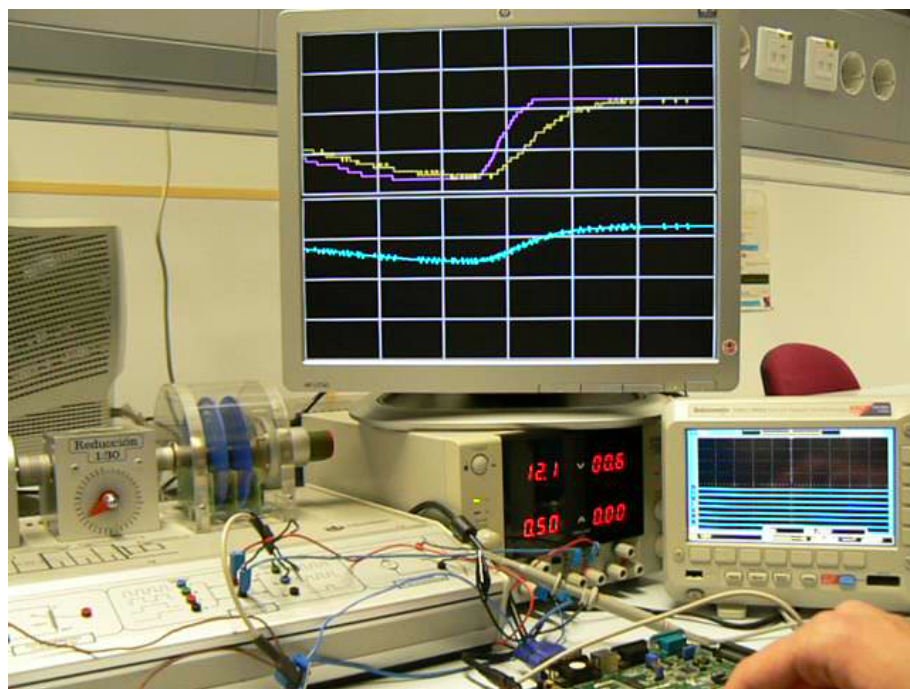
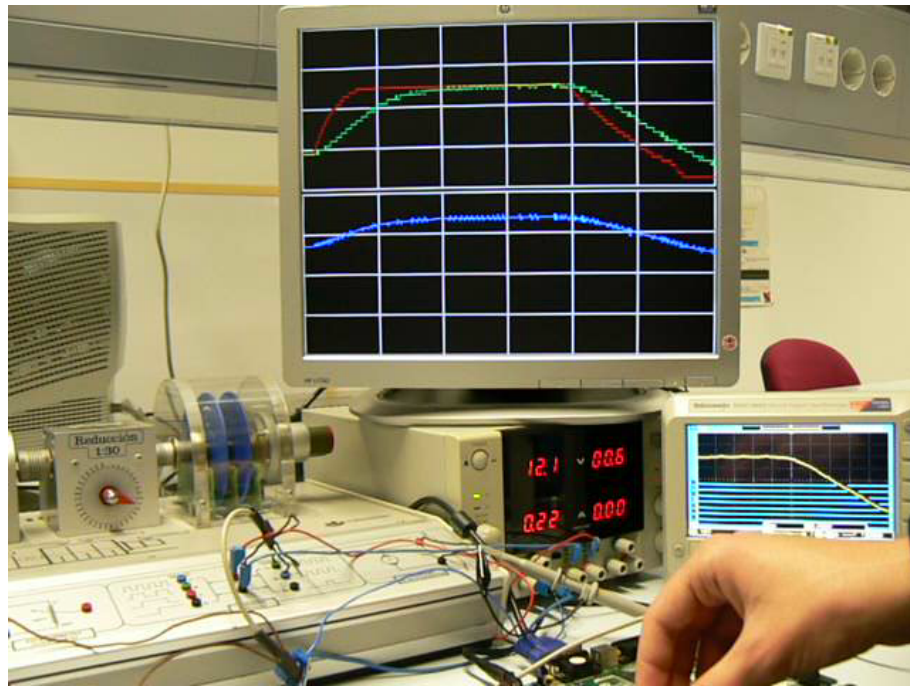
⁴www.mathworks.com

⁵www.xilinx.com

4.1. Abiadura-kontrola gauzatzea

Bilboko IITUEko APESek duen laborategian proiektuaren balidazioa gauzatu da. Sostengu digitalean, emandako CDan edo vimeo.com/unaimartinezcorral orrialdean, egindako frogen bideoa dago eskuragarri, funtzionalitate guztiak laburbilduz. Jarraian horren bideo-kapturak azaltzen dira:





4.2. Kontrol sistemaren ezaugarriak

Target Device: xc3s500e-4fg320
Design Goal: Balanced
Design Strategy: Xilinx Default (unlocked)

4.1. Taula: ISE: sintesi eta inplementaziorako baldintzak.

Bi diseinu ezberdin inplementatu dira:

- **anie-tiny:** kontrol begiztarako ezinbestekoak direnak (VGArrik ez).

- **anie**: osagai guztiak ditu.

Parsers Errors:	No Errors
Warnings:	11 <i>anie-tiny</i> , 8 <i>anie</i>
Routing Results:	All Signals Completely Routed
Timing Constraints:	All Constraints Met

4.2. Taula: ISE: *sintesi eta implementazioaren txostenen ondorioak.*

4.2. taulan adierazitako *warning* gehienak diseinuaren modularitasunari atxikitu behar zaizkio. zenbait osagairen irteerak erabilgarriak ez izateagatik aske utzi baitira. Azkena, aldiz, PID kontrolagailuaren irteera PWM maiztasunera moldatzean egindako mozketak adierazten du.

Warnings:

- Unconnected output port 'U1_CLKIN_IBUFG_OUT' of component 'anie_dcm'.
- Unconnected output port 'U2_CLK0_OUT' of component 'anie_dcm'.
- Unconnected output port 'count' of component 'anie_counter' (3).
- Unconnected output port 'tc' of component 'anie_counter' (2).
- Unconnected output port 'sout' of component 'anie_bcdshift'.
- Dangling pin *DOA3* on block: RAMB16_RAMB16A (2).
- Signal <out_sat<3:0>> is assigned but never used. This unconnected signal will be trimmed during the optimization process.

4.2.1. Kontrol begiztaren egikaritze denbora

Deskribatutako sistemaren lan-maiztasun maximoa 50 MHz ingurukoa da⁶, **4.3. taulak** adierazi bezala. *anie-tiny* zein *anie* sintesiek abiadura maximoa izanik, izaera modularra medio, VGA kontrolagailuak sistema geldotzen ez duela ondorioztatu deaiteke. Hala ere, txartelak duen erlojua 50 MHz-eko maiztasuna eskaintzen du, eta sistema ez da abiadura maximoan arituko.

Speed Grade:	-4
Minimum period:	19,410 ns
Maximum Frequency:	51,520 MHz
Min. input arrival time before clock:	20,314 ns 19,267 ns
Max. output required time after clock:	40,600 ns
Max. combinational path delay:	14,622 ns 14,632 ns
	<i>anie-tiny anie</i>

4.3. Taula: ISE: *Timing Summary.*

Kontrol begiztari dagokionean, laginketaren *trigger* seinaleak maila altua hartzen duenetik normalizazio osagaiak baldintzatzen du. Barneko *FSM*ak 4 – 6 ziklo behar ditu aldagaia eta erreferentzia irakurri, kontrolagailuaren sarrerak berri eta konputatutako irteera berritzeko. 5 MHz-eko erloju seinaleak agintzen duenez, egoerarik txarrean $\frac{1}{5\text{MHz}} \cdot 6 = 1,2\ \mu\text{s}$ behar ditu sistemak erantzuteko.

⁶*Design Goal* gisa *Timing* ezarritik gero 80 MHz arteko maiztasun maximoak erdietsi daitezke.

Irteera PWM bitartez eragiten denez, ziklo oso bat bukatzea ezinbestekoa da aldaketa benetakotzat jotzeko. Honetan ere erlojua 5 MHz-ekoa da eta 10biteko bereizmena izanik $\frac{1}{5\text{MHz}} \cdot 2^{10} = 204,8 \mu\text{s}$ ko periodoa du.

Hortaz, bi faktoreak kontuan hartuz, 206 μs behar dira kontrol begizta egikaritzeko. Benetako denbora ziurtatzeko eta kontrolagailuaren erantzuna jarraituaren baliokidea dela onartzeko egikaritze denbora $\frac{T_s}{100}$ izan behar da. Aukeratutako balioek ez dute baldintza hori betetzen, $\frac{10\text{ms}}{206\mu\text{s}} \approx 50$. Berezimenari bit bat kentzearekin nahikoa litzateke, baina kontrolagailuaren aldaketak nabarmentzeko nahiago izan da bereizmena mantentzea.

4.2.2. Erabilitako azalera

Logic Utilization	<i>anie-tiny</i> Used		<i>anie</i> Used		Available
Number of Slice Flip Flops	412	4%	583	6%	9,312
Number of 4 input LUTs	938	10%	1,529	16%	9,312
Number of occupied Slices	624	13%	1,009	21%	4,656
Total Number of 4 input LUTs	1,004	10%	1,665	17%	9,312
Number used as logic	903		1,492		
Number used as a route-thru	66		136		
Number used for Dual Port RAMs	32		32		
Number used as Shift registers	3		5		
Number of bonded IOBs	29	12%	36	15%	232
Number of RAMB16s			4	20%	20
Number of BUFGMUXs	7	29%	9	37%	24
Number of DCMs	2	50%	2	50%	4
Number of MULT18X18SIOs	7	35%	10	50%	20
Average Fanout of Non-Clock Nets	3.24		3.21		

4.4. Taula: ISE: Device Utilization Summary.

Sintesiak %12 eta %21 azalera erabilera emaitzak eman dituzte *anie-tiny* eta *anierentzan*, hurrenez hurren. 4.4. taulak erabilera logikoaren arabera azaltzen ditu baliabideen zenbakia eta ehunekoa.

4.1. eta 4.2. irudiek implementazioen mapak agertzen dituzte. Bertan argi antzeman daiteke erabilitako azalera.

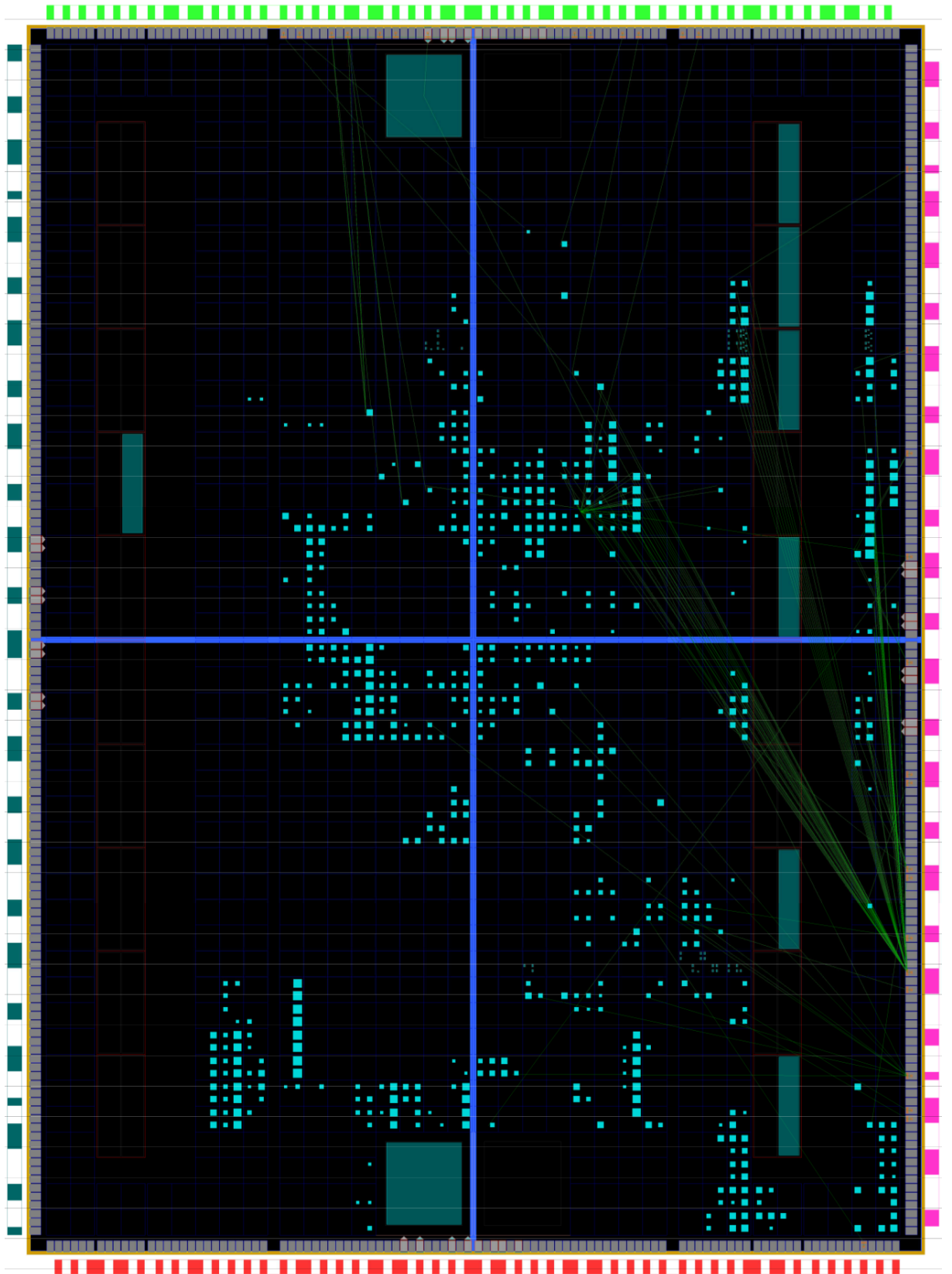
4.2.3. Xahututako potentzia

*Xilinx*ek web-gunean⁷ *Microsoft Excel 2003 (.xls)* formatuan banatutako *Xilinx Power Estimator (XPE)*⁸ tresna eskaintzen du. Implementazioek erabilitako baliabideen arabera gutxi gora beherako potentzia xahutzea kalkulatzeko ahalbidetzen du, hardwarearen diseinuan zer nolako aireztapena behar den jakiteko xedez. Helburu berberarekin, *ISE* inguruneak *Place & Route* atalean *Xilinx XPower Analyzer (XPA)* tresna dauka, inplementatutako proiektutik datuak zuzenean hartzen dituena.

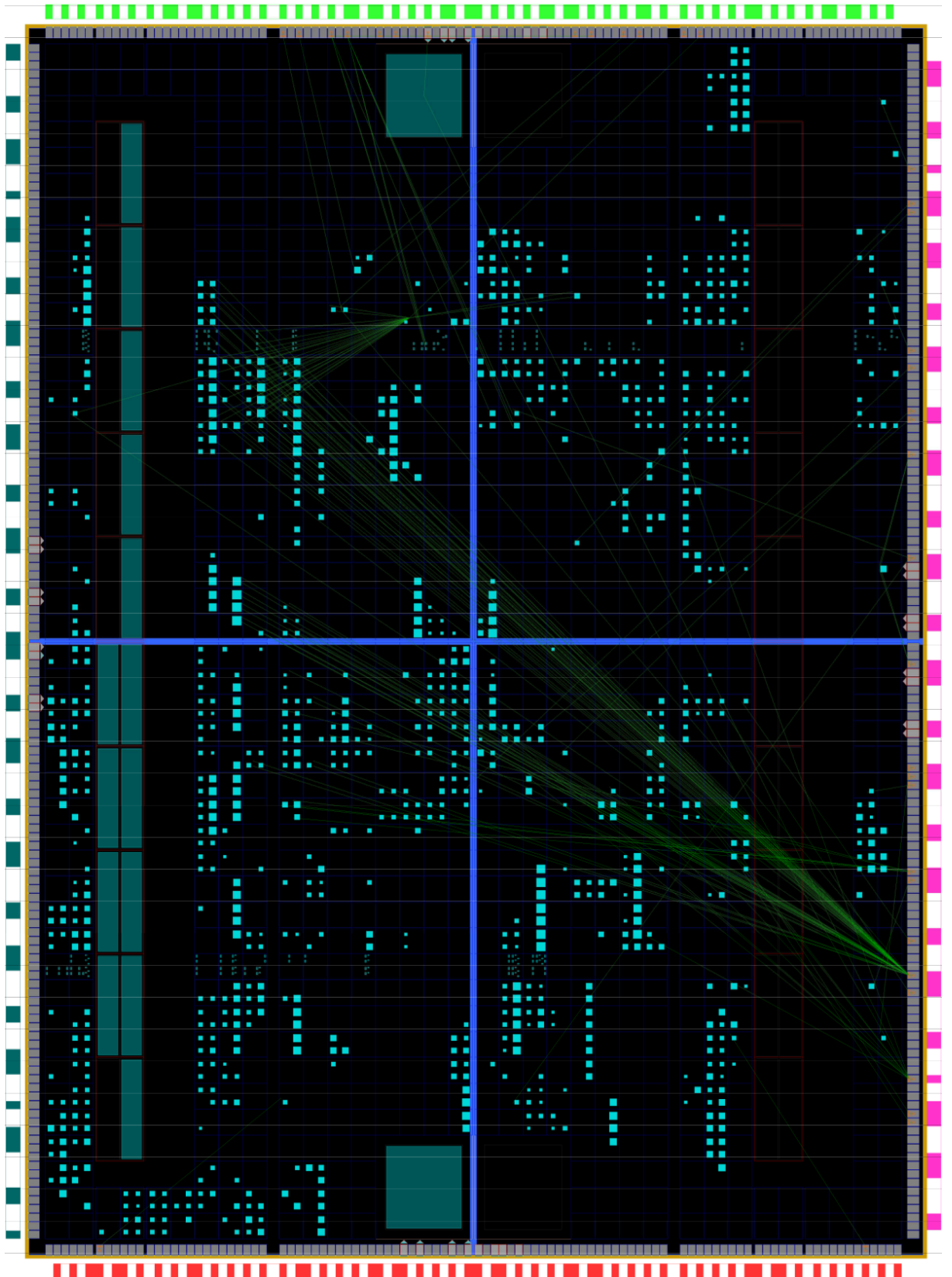
Philofsky [2] azaldutako argibideak jarraituz, *ISE* ingurunean sintetizatu eta inplementatu ostean *.mrp* formatuan emandako *Map* txostenak erabili dira *XPE* tresnan eta *XPA* ere abiatu

⁷xilinx.com/products/design_tools/logic_design/xpe.htm

⁸Version: 11.1 ; Release Date: Apr 8, 2009.



4.1. Irudia: *Implementazioa: anie-tiny diseinuaren FPGAREN erabilera.*



4.2. Irudia: Implementazioa: anie diseinuaren FPGAren erabilera.

da. Biek oso antzeko emaitzak eman dituzte, *XPA*ek xehetasun gehiago izanik gutxi gora behera 10 mW gutxiagoko kontsumo osoa emanez.

Proiektu honetan produktu komertziala den txartela erabili denez, eta ez zaionez inolako aireztapen sistematik ezta xahutzailerik gehitu, 0 LFM adierazi dira. Egoerarik txarrean kontsumoa aztertzeke, 50 °C-eko giro tenperatura adierazi da eta bi tresnen emaitzetatik baliu altuenak hartu dira. Honek jarraian adierazitako maximoak eman ditu *anie-tiny* eta *anie* implementazioentzat:

Device		Block Summary	
Part:	XC3S500E	Clock	0,009 W 0,011 W
Package:	FG320	Logic	0,003 W 0,005 W
Grade:	Commercial	IO	0,010 W 0,014 W
Process:	Maximum	BRAM	- 0,004 W
Speed Grade:	-4	DCM	0,034 W
		MULT	0,006 W 0,008 W
Thermal Information			
Ambient Temp:	50 °C	Power Summary	
Airflow:	0 LFM	Optimization:	None
ΘJA:	25,9 $\frac{^{\circ}\text{C}}{\text{W}}$	Data:	Production
		Quiescent:	0,155 W
Max Ambient:	79,4 °C 79,0 °C	Dynamic:	0,063 W 0,075 W
Junction Temp:	55,6 °C 56,0 °C	Total	0,217 W 0,231 W
	<i>anie-tiny anie</i>		<i>anie-tiny anie</i>

Voltage Source Information

				ICC	ICCQ
VCCAUX	2,5 V	0,110 W		0,013 A	0,031 A
VCCINT	1,2 V	0,094 W	0,104 W	0,017 A	0,025 A
VCCO 3.3	3,3 V	0,013 W	0,016 W	0,003 A	0,004 A
		<i>anie-tiny</i>	<i>anie</i>	<i>anie-tiny</i>	<i>anie</i>

FPGA familiaren ezaugarri orrietan begiratzuz gero [3], erdietsitako balioak adierazitako mugen barnean daudela ikus daiteke, eta koherenteak direla.

Atal honetan azaldutako emaitzak Xilinxen ISE inguruneke tresnen bitartez eskuratu dira: implementazioan sortutako txostenak zein PlanAhead Floorplanner edo Xilinx XPower Analyzer. Formatuaren mugak direla eta, laburpena baino ez da azaltzen hemen. Sostengu digitalean txosten osoak aurkitu daitezke. Xehetasun txikiagoak aztertzeke eranskinetan azaldutako iturriak baliatuz ISE ingurunean proiektua eginez gero, tresna guztiek bereizmen osoko informazioa emango dute.

Garapenerako zerbitzariaren estatistikak

sourceforge.net : ZTPK, OHKIS eta ohkis-gtk

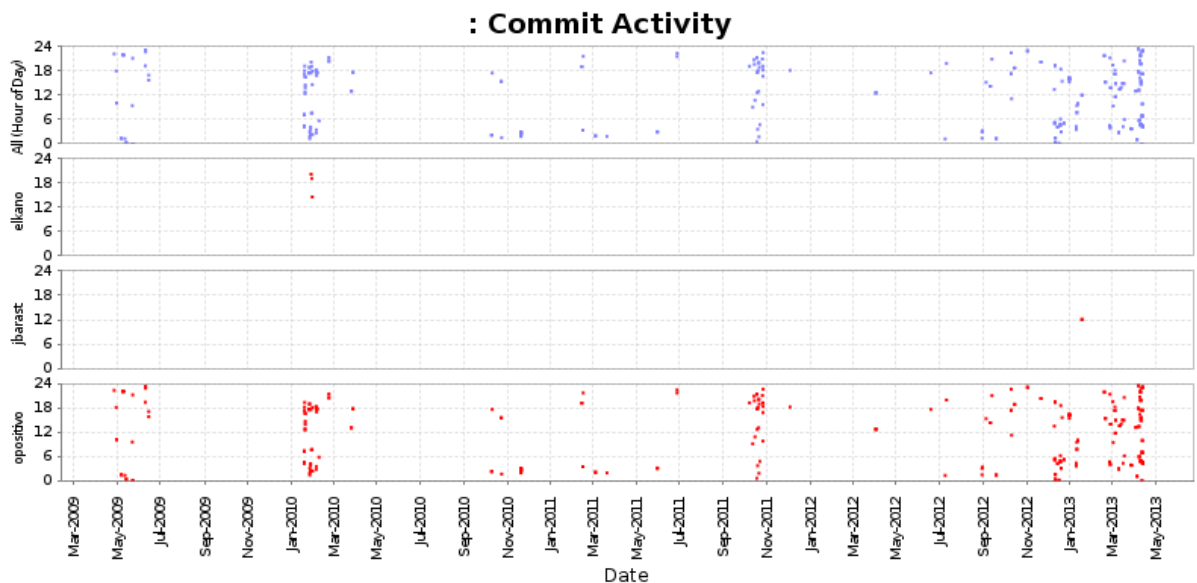
laforja.rediris.es : B μ C

lokala : Acher

Lehenengo bietan, bertsio kontrolaz gain, beste hainbat baliabide daude eskuragarri, hala nola, baimen ezberdineko hainbat erabiltzaileen kudeatzailea, web gunea, banaketa zerrenda, erroreen konponketa eskaera eta jardueren jarraitzailea (*Trackera*), edota foroak.

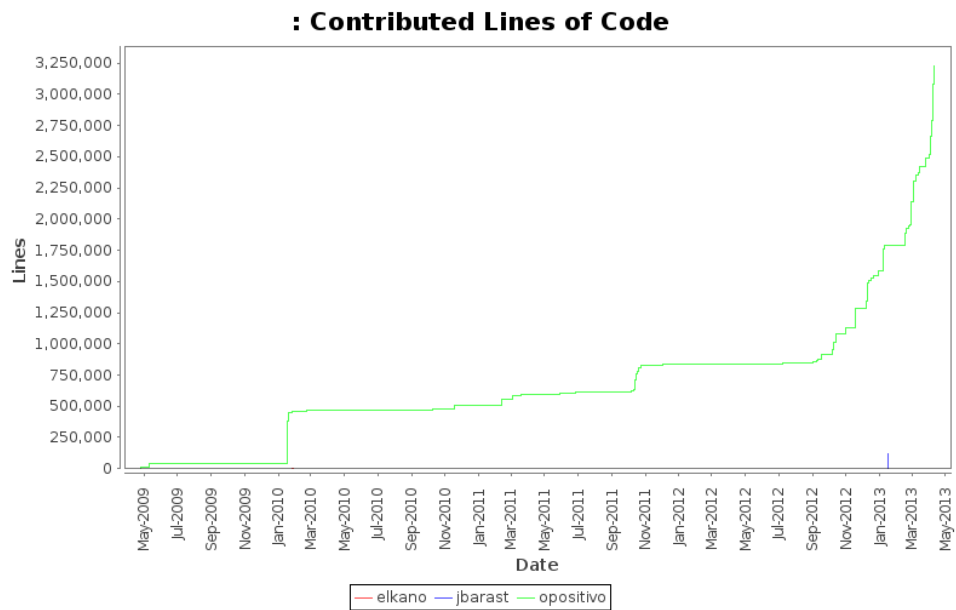
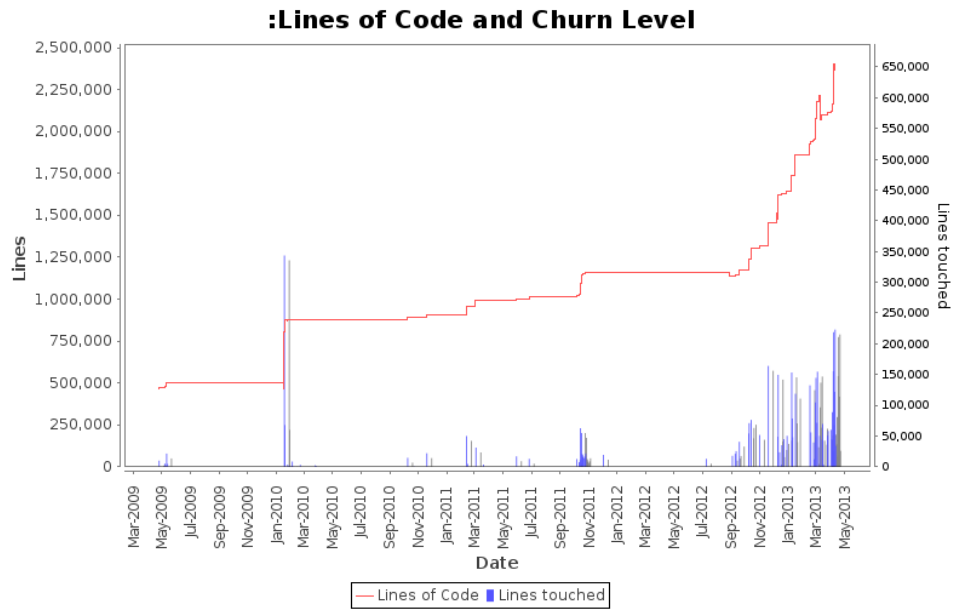
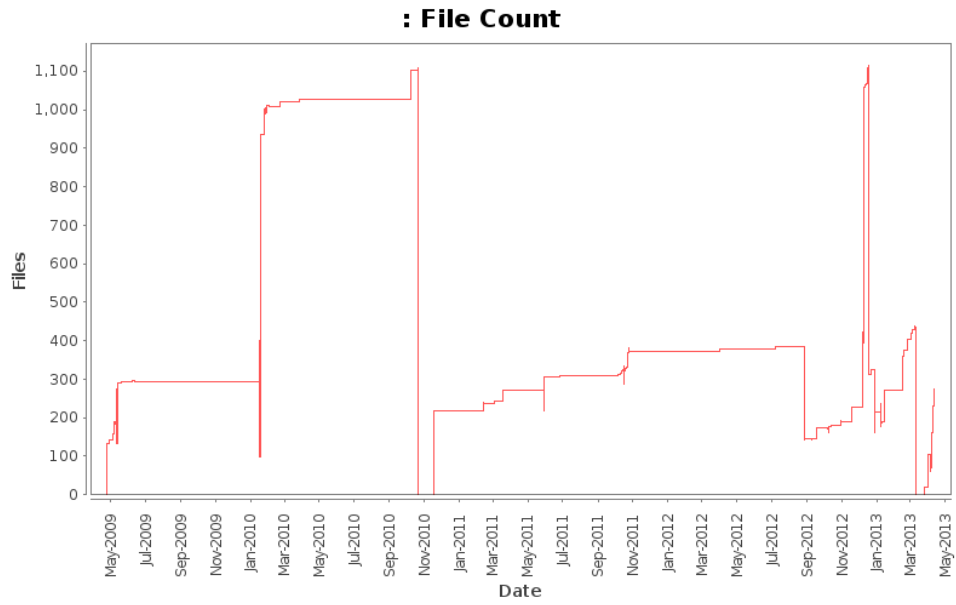
laforja.rediris.es plataforma *sourceforge.net*en oinarrituta egoteagatik bigarrena aukeratu da *Anieren* garapenerako. Proiektu honek *OHKIS*en hainbat atal dituenaz, eta *ohkis-gtk* ere zerbitzari eta proiektu berdinean gordeta dagoenez, eskaera berria egin ordez **ohkis.sourceforge.net** erabili da.

Honetan, hiru erabiltzailek hartu dute parte guztira. *elkanok* eta *jbarastek*, soilik eta hurrenez hurren, *ohkis-gtk* eta *auto* proiektuak landu dituztenaz, txosten honetan ez dira horiei eta soilik horiei dagozkienak adierazi⁹. Jarraian orokorrak eta autoreari, *opositivo* erabiltzaileari, dagozkionak aurkezten¹⁰ dira:

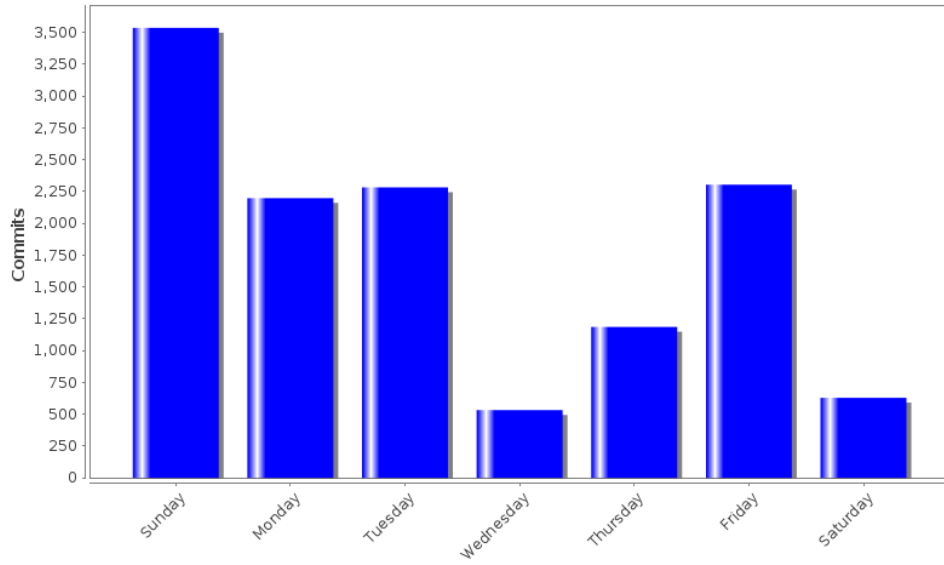


⁹Estatistika osoak ikusteko, jo proiektuaren zerbitzariko erregistro irekietara. Tresna zehatzak: *statsvn*, *gource*, *allura*...

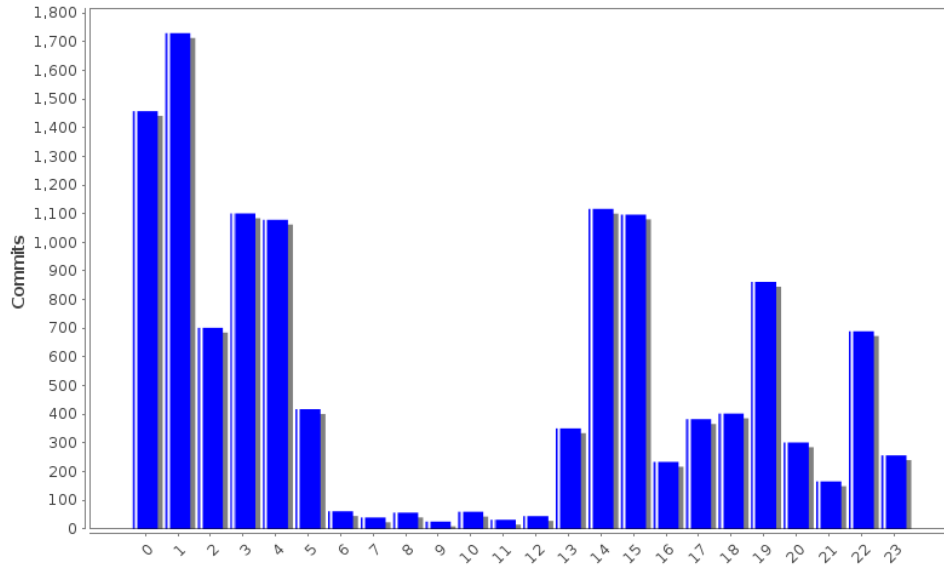
¹⁰2009 urteko jarduerak *OHKIS* proiektuari dagozkio, 2010eko irailera bitartekoak *ohkis-gtk* atalari, eta ordutik gaurrerakoak *Anieri*.



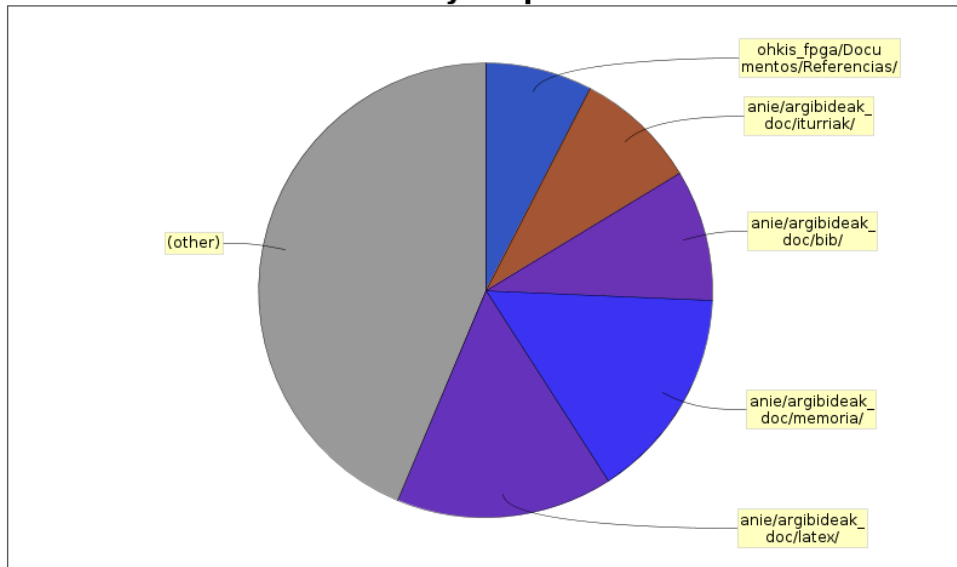
: Activity by Day of Week for opositivo



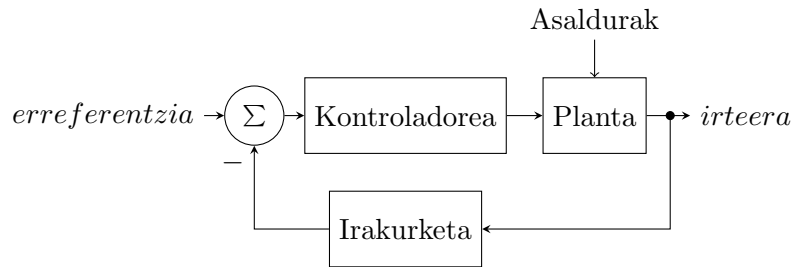
: Activity by Hour of Day for opositivo



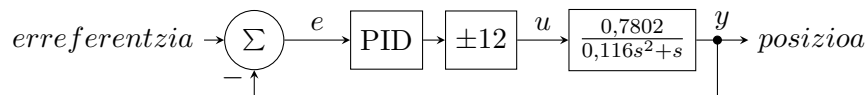
: Activity of opositivo



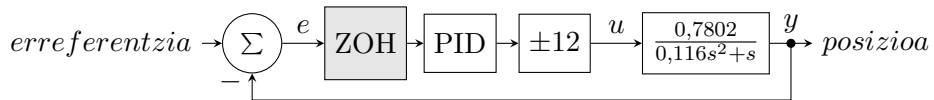
6.1. Modeloak



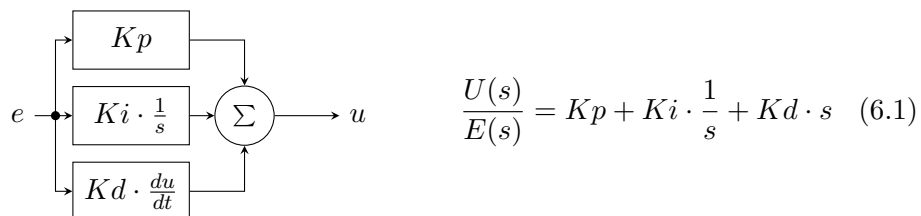
6.1. Irudia: Oinarrizko berrelikatutako kontrol sistema.



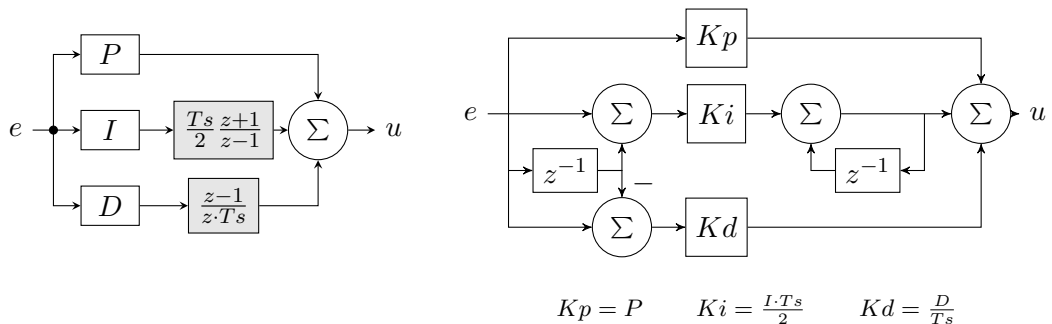
6.2. Irudia: Azterketarako erabilitako sistemaren modelo jarraitua.



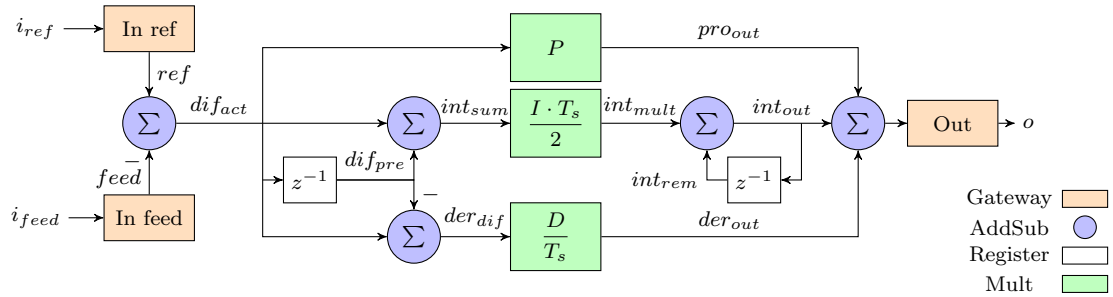
6.3. Irudia: Azterketarako erabilitako sistemaren modelo diskretua.



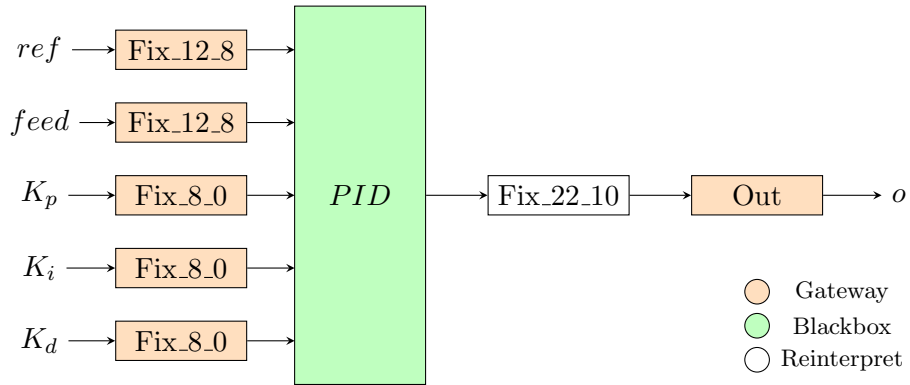
6.4. Irudia: Azterketarako erabilitako PID kontroladorearen modelo jarraitua.



6.5. Irudia: Garapenean erabilitako PID kontroladorearen modelo diskretua.

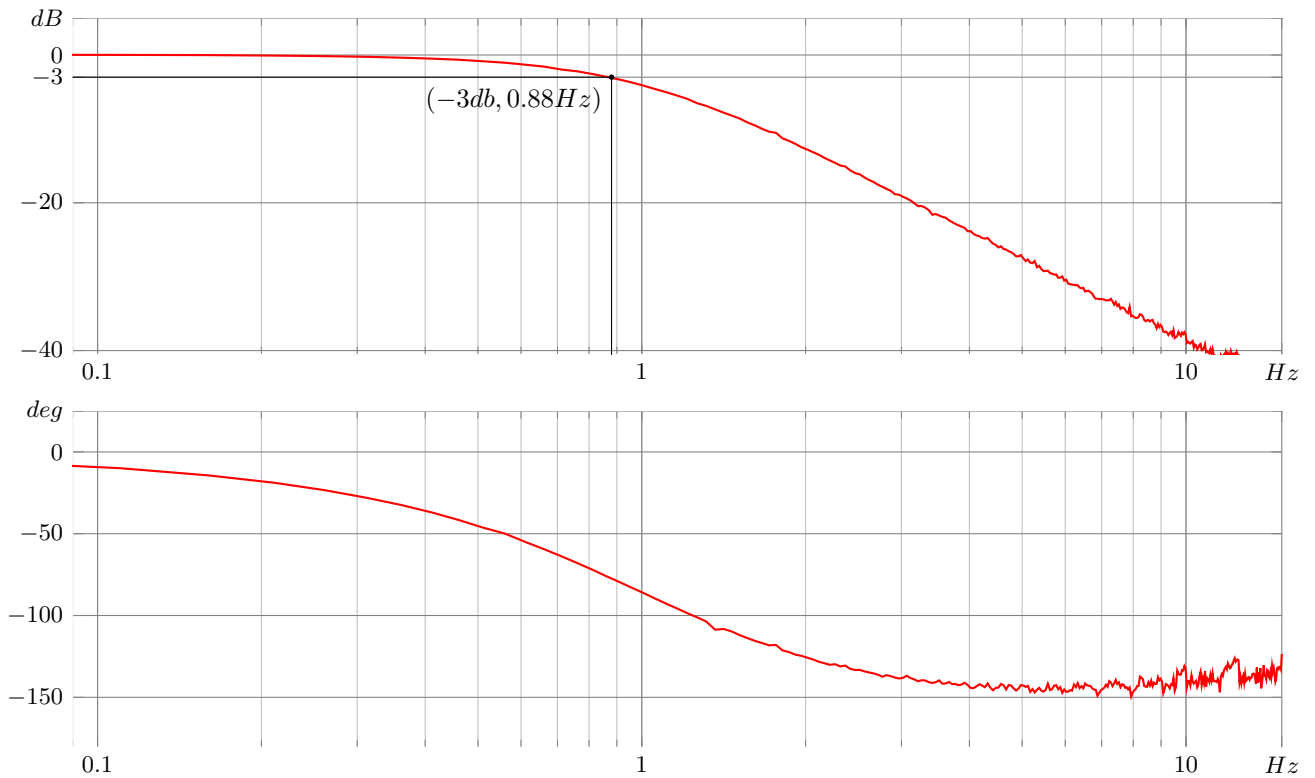


6.6. Irudia: PID diskretuaren Simulink modeloa Xilinx Blockset erabilia.

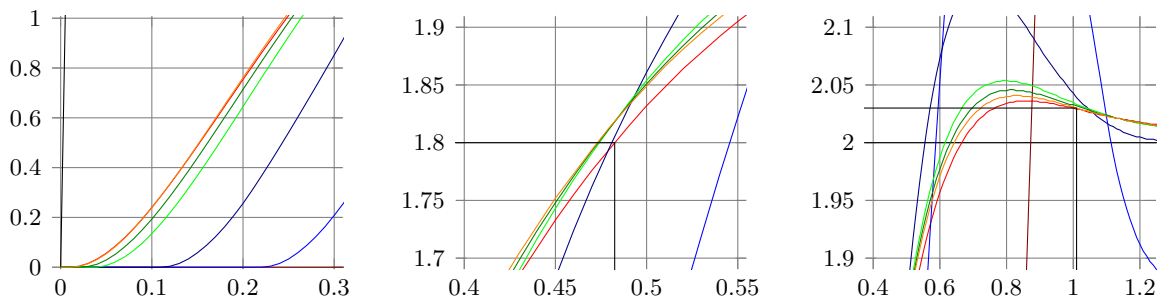
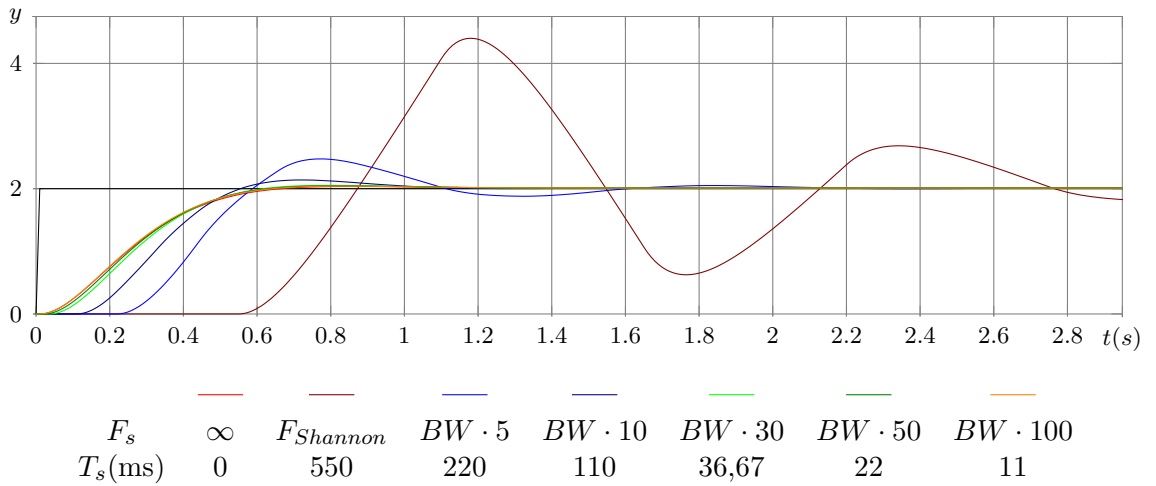


6.7. Irudia: Blackbox blokea erabiltzeko kontroladorearen modeloa ($K_p = 24$ eta $K_i = K_d = 91$).

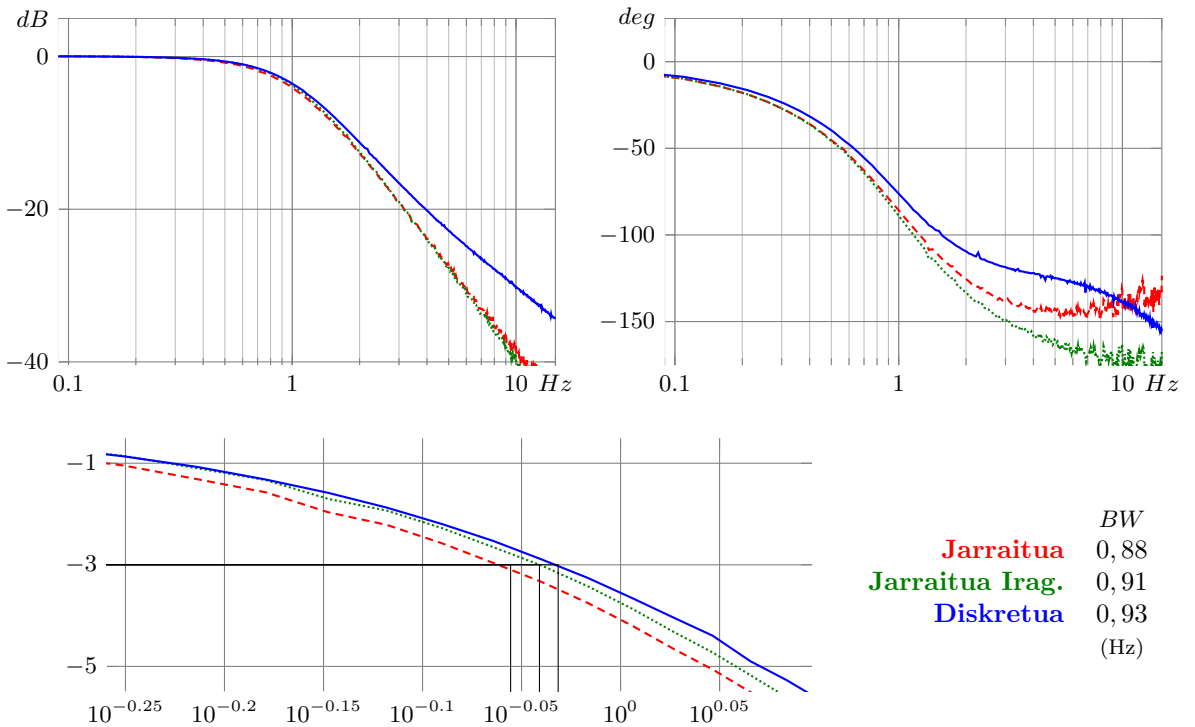
6.2. Grafikoak



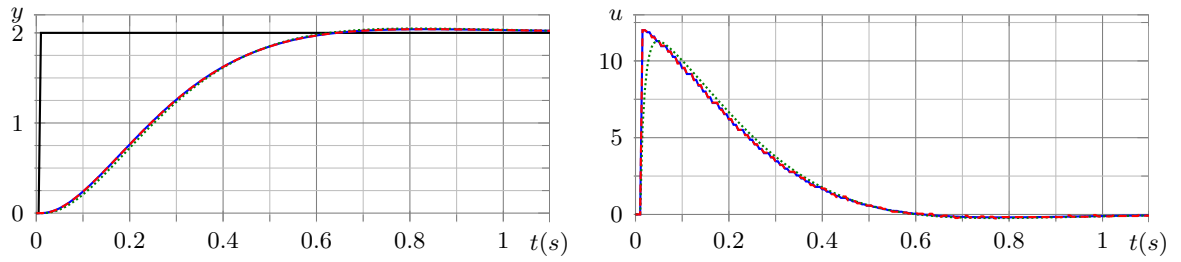
6.8. Irudia: Modelo jarraituaren banda zabaleraren azterketa begizta itxian.



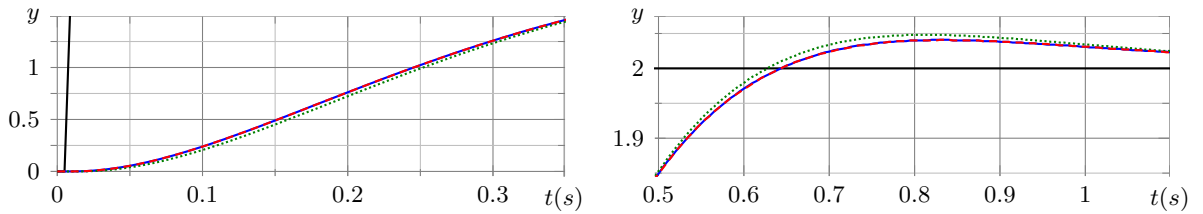
6.9. Irudia: Laginketa maiztasun ezberdinekin modelo diskretuaren eta modelo jarraituaren erantzumen konparaketa.



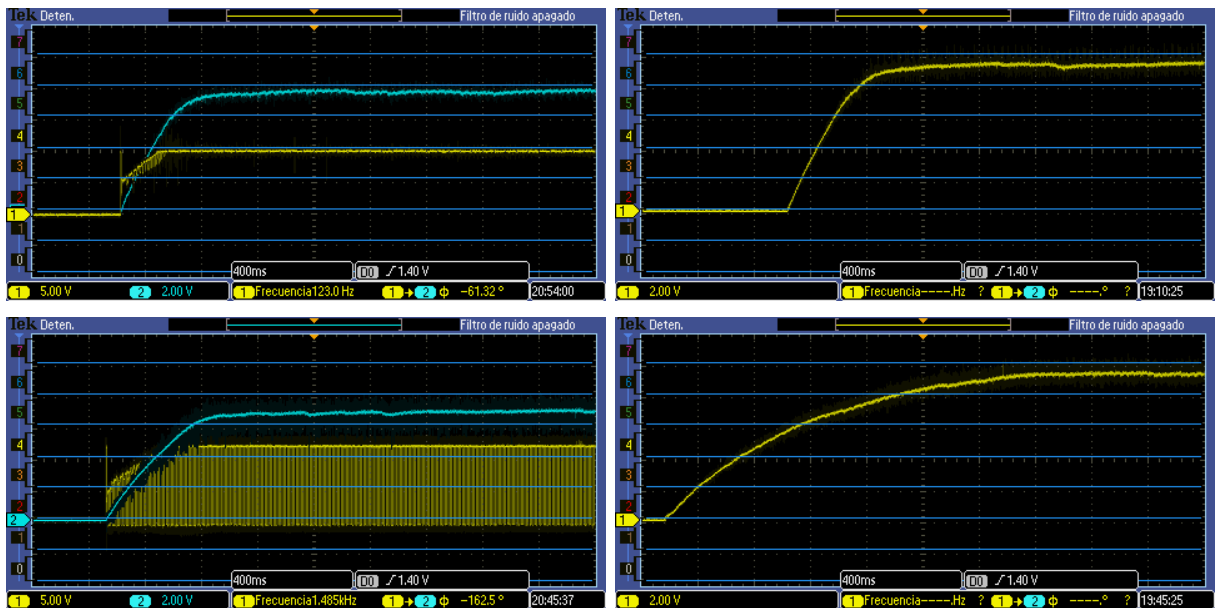
6.10. Irudia: Modelo jarraitu eta diskretuen frekuentzia erantzumen konparaketa.



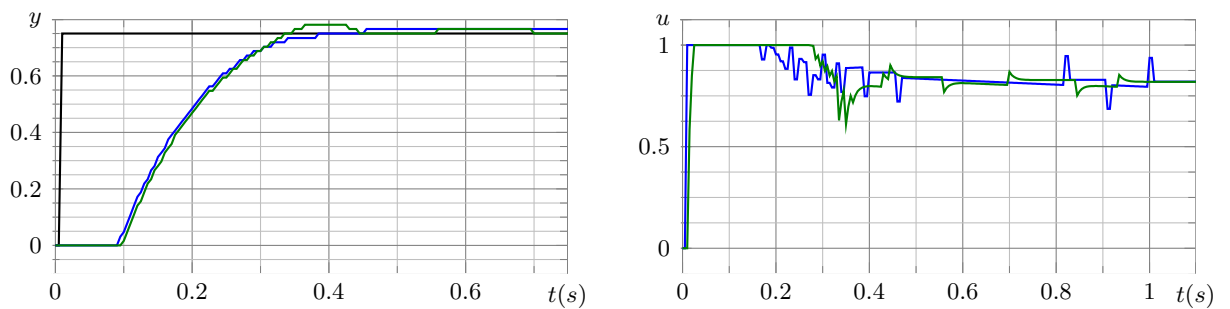
Jarraitua Iragazia Diskretua Diskretua (sysgen)



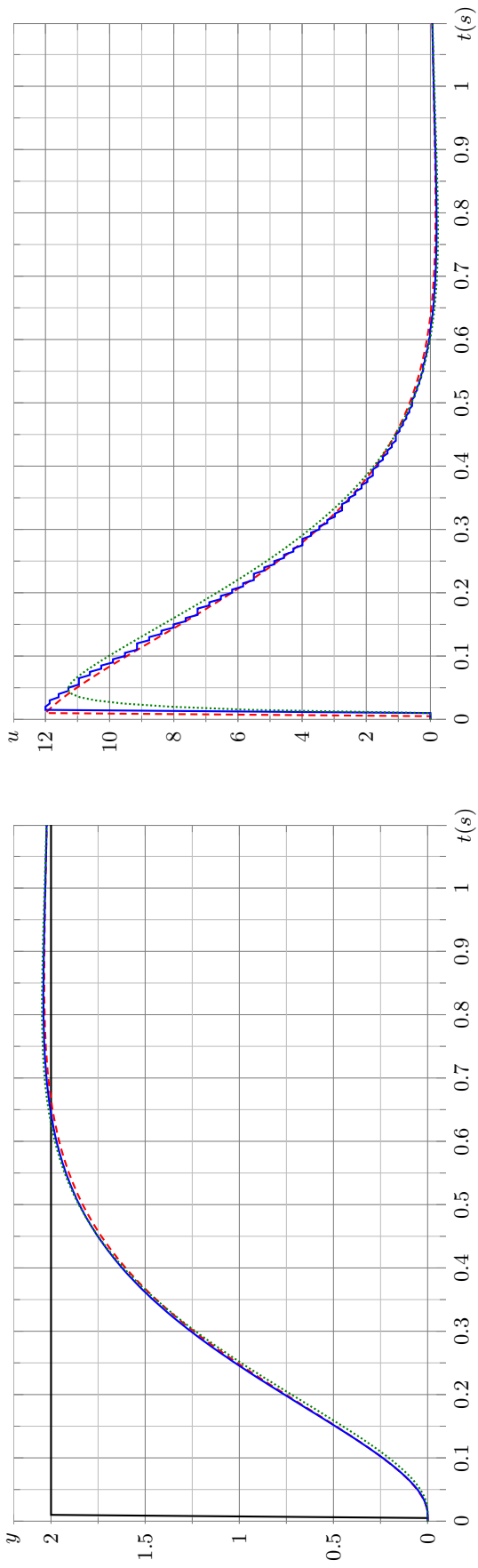
6.11. Irudia: System Generator blokeez egindako modeloaren eta aurrekoen arteko konparaketa.



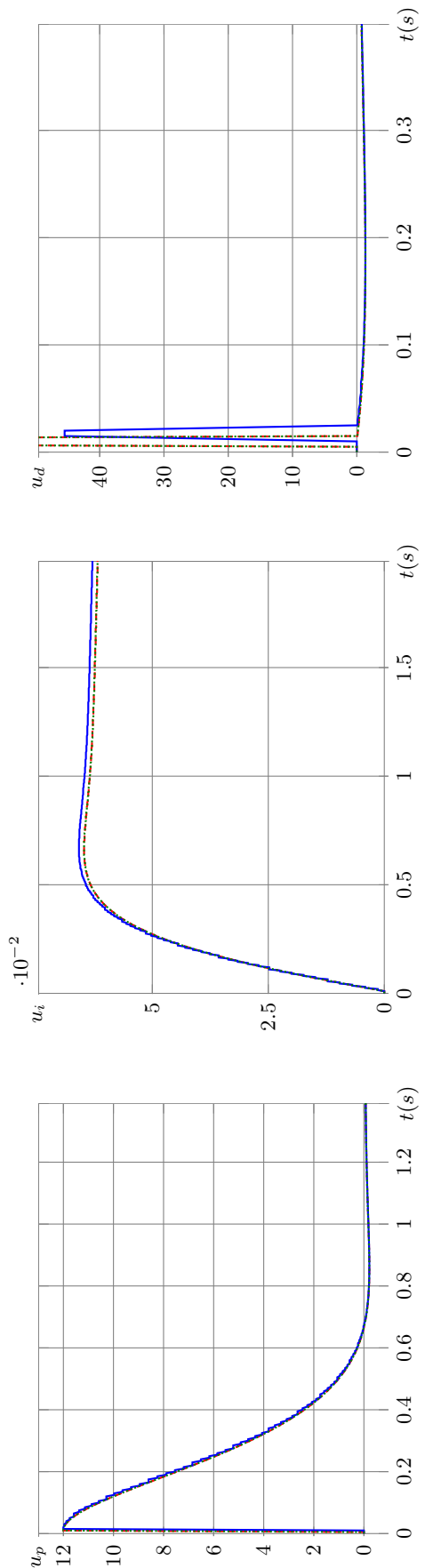
6.12. Irudia: Identifikazioa: osziloscopia bitartez jasotako erantzunak (korronte zuzenarekin, goian, eta kontroladorearekin, behean).



6.13. Irudia: Doiketa: maila sarrerari erantzuna (iragazitako jarraitua eta diskretua).

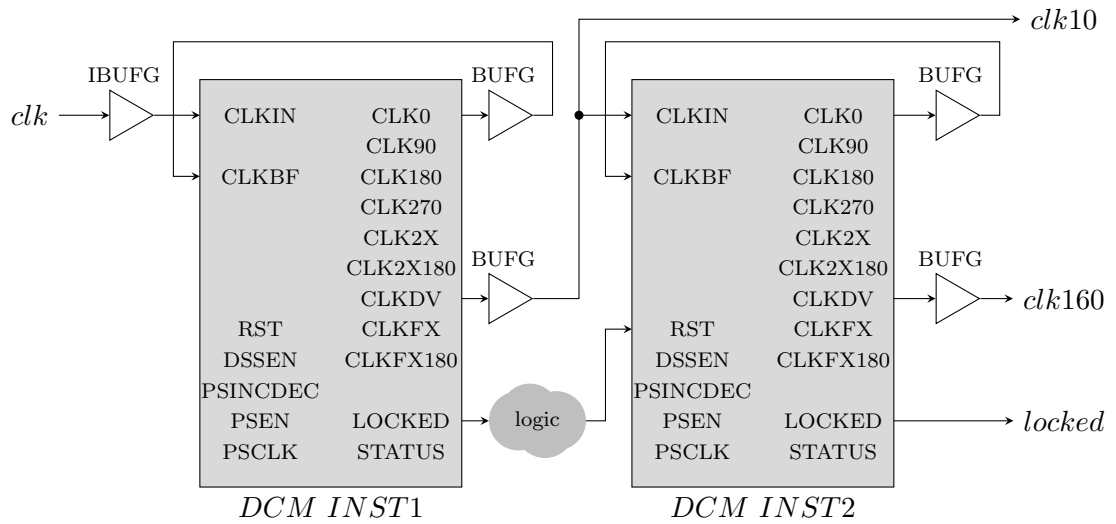


Jarraitua Jarraitua Iragazia Diskretua



6.14. Irudia: Modelo jarraitu eta diskretuen denbora erantzunen konparaketa. u_p , u_i eta u_d seinaleak adierazten dituzten emaitzak eskuratzeko hiru egituretan e seinale berdina sartu da. y eta u seinaleenak, aldiiz, simulazio bereizietan egin dira.

6.3. Diagramak



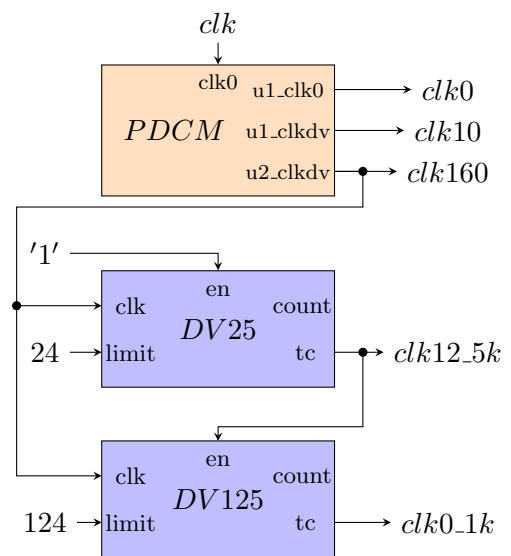
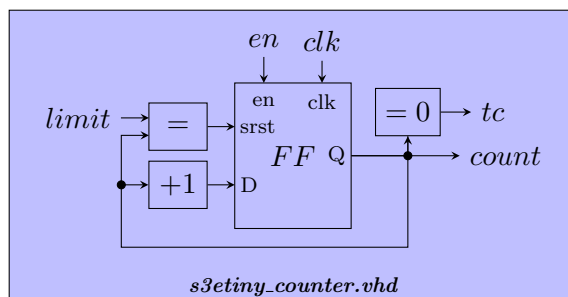
6.15. Irudia: Xilinx Clocking Wizard bidez seriean konfiguratutako bi DCM.

Cascading in series with two DCM

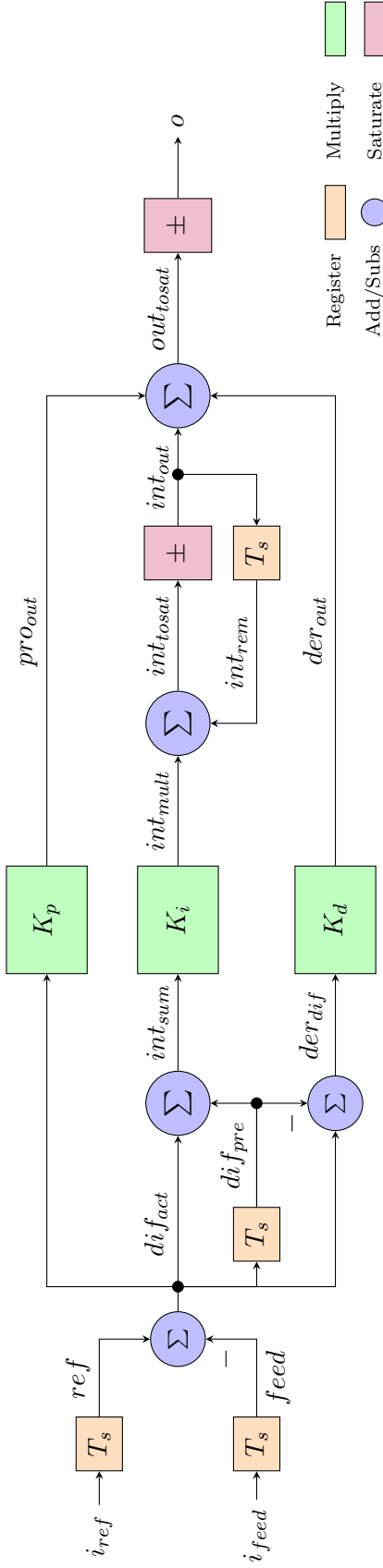
Clock to be used for cascading: CLKDV
 Input clock frequency: 50MHz
 Use duty cycle correction

	INST1	INST2
Phase shift:	none	none
Divide by value:	10	16

s3etiny_dcm.xaw



6.16. Irudia: Timing atalaren funtsezko egitura eta oinarrizko osagaiak.



```

-- r(k) - y(k)
dif_act <= resize(ref,aswl) - resize(feed,aswl);
-- e(k)+e(k-1)
int_sum <= resize(dif_act,aswl+1) + resize(dif_pre,aswl+1);
-- e(k)-e(k-1)
der_dif <= resize(dif_act,aswl+1) - resize(dif_pre,aswl+1);
-- up(k)=Kp*e(k)
pro_out <= shift_right(resize(kp*dif_act,mwl),pbp-minbp);
-- Ki*(e(k)+e(k-1))
int_mult <= shift_right(resize(ki*int_sum,mwl+1),ibp-minbp);
-- ud(k)=Kd*(e(k)-e(k-1))
der_out <= shift_right(resize(kd*der_dif,mwl+1),dbp-minbp);
-- ui(k)=Ki*(e(k)+e(k-1))+ui(k-1)
int_tosat <= resize(int_mult,oswl+1) + resize(int_rem,oswl
+1);
-- u(k)=up(k)+u(k)+uisat(k)
out_tosat <= resize(pro_out,oswl+1) +
  resize(int_out,oswl+1) +
  resize(der_out,oswl+1);
-- Kontrol seinalea moztea
o <= out_sat(oswl-1 downto oswl-o_wl);

```

$$K_p = P \quad K_i = \frac{I \cdot T_s}{2} \quad K_d = \frac{D}{T_s}$$

$$pro_{out} \quad U_p(k) = K_p \cdot E(k)$$

$$int_{out} \quad U_i(k) = K_i \cdot (E(k) + E(k-1)) + U_i(k-1)$$

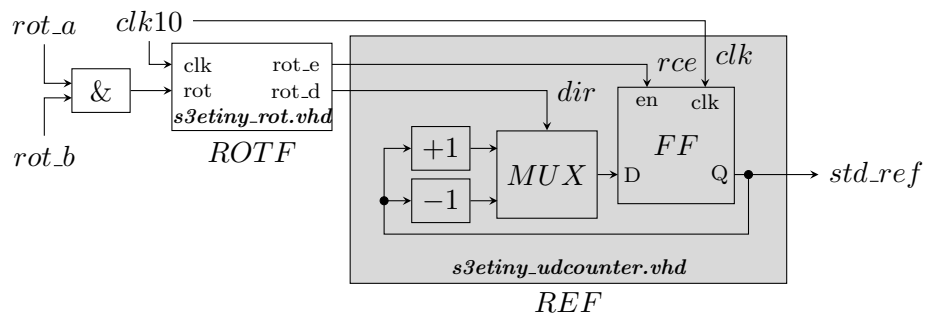
$$der_{out} \quad U_d(k) = K_d \cdot (E(k) - E(k-1))$$

```

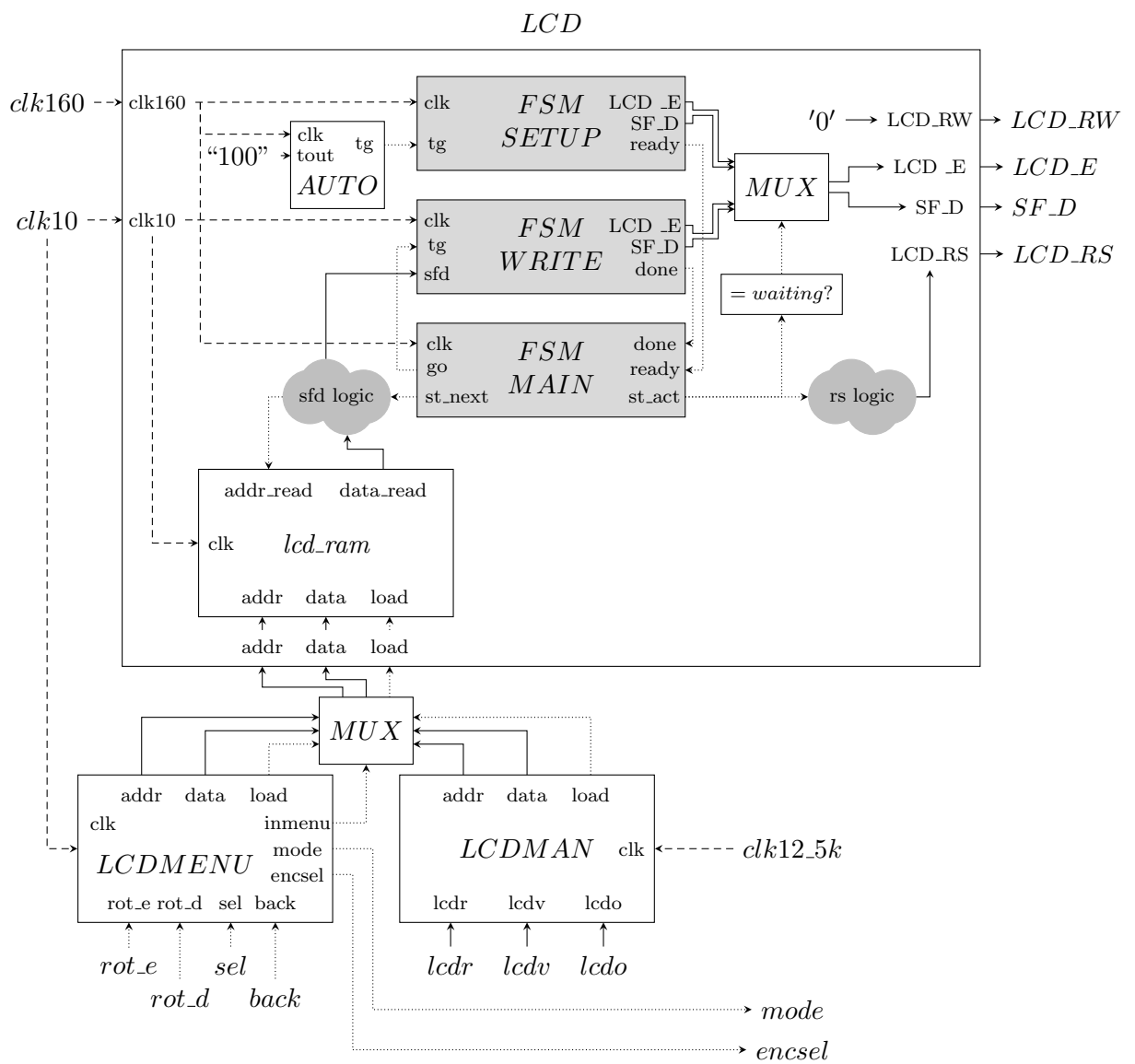
-- ui(k) -> uisat(k)
INTSAT: anie_sat
  generic map (oswl+1,oswl)
  port map (int_tosat,int_out);
-- u(k) -> usat(k)
OUTSAT: anie_sat
  generic map (oswl+1,oswl)
  port map (out_tosat,out_sat);

```

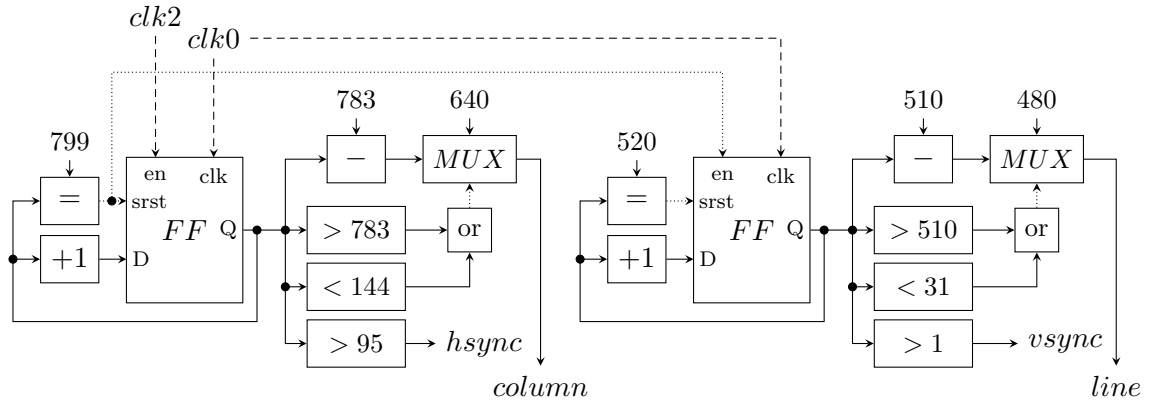
6.17. Irudia: Kontroladorearen algoritmoaren deskribapen estrukturala.



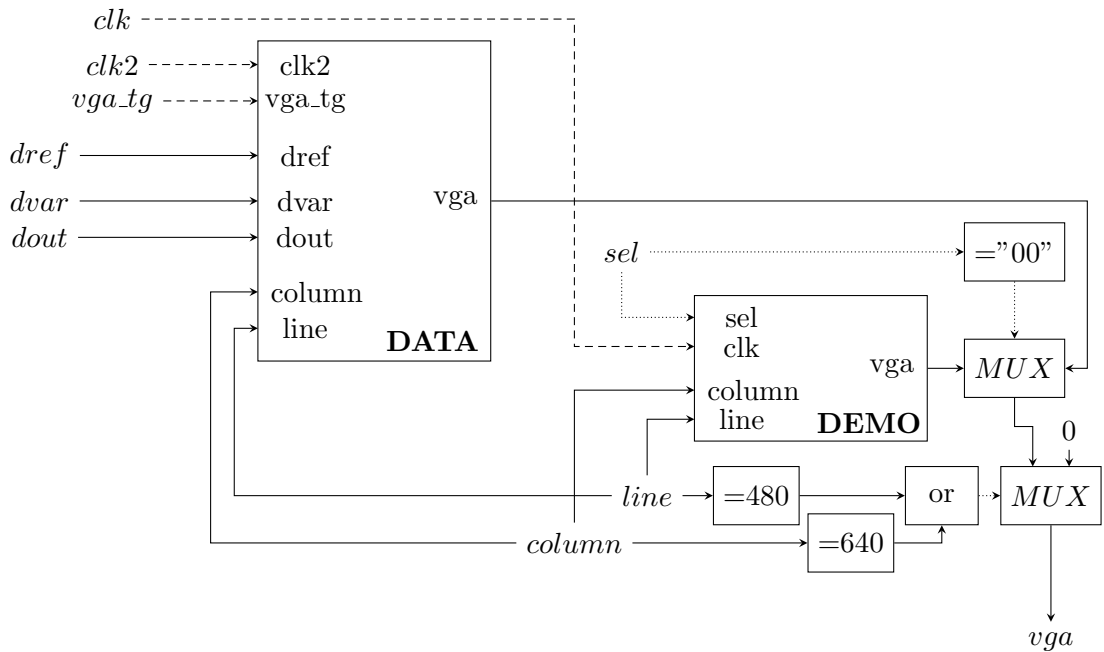
6.18. Irudia: Txarteleko pultsadore birakariaren bitartez erreferentzia seinalea ezartzea.



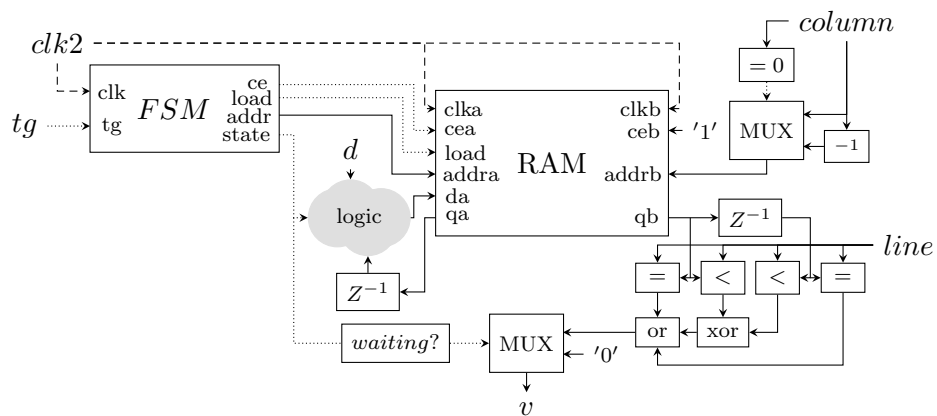
6.19. Irudia: LCD kudeatzailearen egitura orokorra: erlojuak (marrak), agindu seinaleak (puntuak) eta informazioa (solidoa).



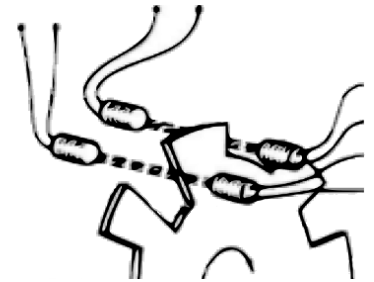
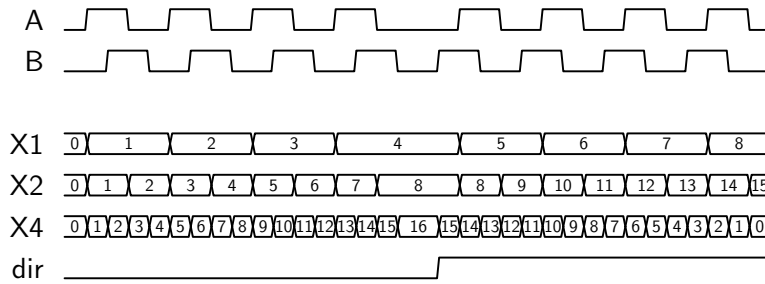
6.20. Irudia: VGASYNC, 25 MHz-eko gaitze seinalearekin 640x480 60 Hz VGA seinalea kudeatzeko sinkronismo seinaleak (hsync eta vsync) eta dagozkien koordinatuak (column eta line) sortzea: erlojuak (marrak), agindu seinaleak (puntuak) eta informazioa (solidoa).



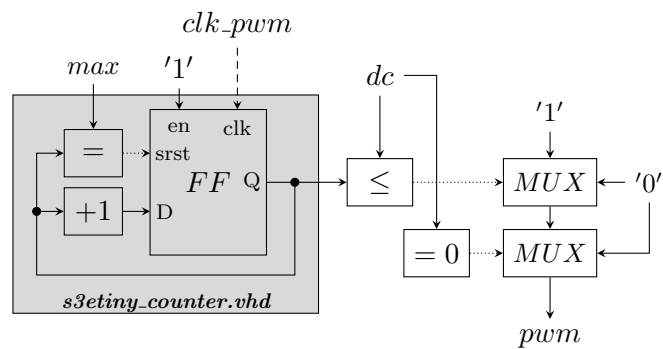
6.21. Irudia: VGAMAN, momentuan kolorea definitzeko logika eta osagaiak: erlojuak (marrak), agindu seinaleak (puntuak) eta informazioa (solidoa).



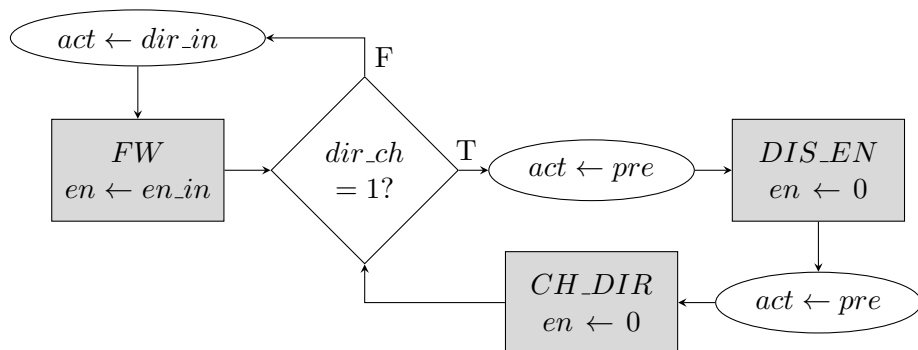
6.22. Irudia: VGASHIFT, ataka multzo bikoitzeko RAM batean oinarritutako shift-registroa eta column eta line seinaleen arabera edukia aztertzen duena.



6.23. Irudia: sa eta sb sentsoreak dituen encoder inkrementalaren irakurketa moduak.



6.24. Irudia: dc lan erregimeneke eta $\frac{clk_pwm}{2dc_wl}$ maiztasuneko PWM seinalea sortzea.



6.25. Irudia: H-zubia ez erretzeko noranzkoa aldatzeko kudeatzeko FSMa.

Proiektuaren garapenean emandako hilabetetan ikasitakoa balioestean, memorian agertzea zaila direnak dabilta garunean bueltaka. Ezinezkoa izango litzateke hitz hauek idaztea zeharkako tresnak diren *sourceforge.net* orrialdeko *Subversion* eta *Allura* barik. Euskarriaren optimizazioa, aldiz, \LaTeX eta *Texmaker*-ek ahalbidetu dute. *Dia*, *GIMP*, *Inkscape* eta *QtikZ* erabili dira irudi eta diagramak egiteko. Eta *BibTeX* izan da erreferentzia bibliografikoen kudeatzailea.

Matlab/Simulink eta *ISE/System Generator*-ekin batera, aipatutako tresna guztiak aldi berean erabili izana, eta horrek behartuta planifikazioa jarraitzeko eta baliabideak kudeatzeko prozedurak ikasi izana dira ondorio preziatuenak.

Sarreran adierazitako helburuei begira (1. atala), kontrolagailu jarraituaren erantzun balio-kidea duen kontrol-sistema modularra, txertatuta eta autonomoa erdietsi da, *Matlab/Simulink*, *ISE/System Generator* eta VHDL lengoia medio *Spartan3E Starter Kit* txartelean inplementatu da eta, *MV-541 maketa* azterketa kasu, kontrola gauzatu da.

Aurrezarritako metodologia jarraituz atal bakoitzaren aurretiko azterketa teorikoa burutu da, izaera anitzeko hamaika erreferentzia bibliografikotan aurkitutako laguntzari eskerrak. Bil-dutakoen sintesia egituratu da irakurketa zuzena errazteko eta argi banatuta ager daitezen azterketa teorikoa eta garapen praktikoa.

Kontrolagailu diskretuaren egitura eta VHDL deskribapenera zuzendutako prozeduretan arreta handiena jarri bada ere, plantaren modelo ahalik eta egiazkoena lortzeko argibideak garatu dira.

Ezaugarriei dagokionean, bi inplmentazio garatu dira: *anie-tiny* eta *anie*. Batak LCDa, lau interruptore eta lau sakagailu biltzen ditu, PWM/H-zubia eta kodetzaile inkrementala medio, korrante zuzeneko motorraren kontrola ahalbidetzeko. Bigarrenak, berriz, VGA irteerara konektatutako edozein pantailan 640x480 eta 60 Hz-eko benetako denboran berritutako grafikoa aurkezten du. Bi sakagailu gehiagok kudeatzen dute *anie*: grafikoa hobeto aztertu nahi izatekotan geldi mantentzeko eta pantailak irudiak ondo agertzen dituen ziurtatzeko hiru patroi ezberdin aurkezteko.

Normalizatuta eta norantza kontuan izanik agertzen dira bietan erreferentzia-seinalea, kontrolatu nahi den aldagaia eta kontrolagailuaren irteera. Bietan ere kontrola begizta irekian zein itxian egiteko eta kodetzailearen bereizmena (X1, X2 edo X4) aldatzeko aukera eskaintzen da.

Parametrizazioari esker doiketa eta sarrerako/irteerako osagaiak aldatzeagatik burutu beharreko moldaketak azkar egin daitezkeela ziurtatu da, eta garapenean erabilitako iturri guztiak daude eskuragarri ahal den heinean erabilera errazteko.

FPGAren %12 – 21 azalera hartzen duten sistemak direnez, hardwarea aldatzeko beharrik gabe, sistema hazteko baliabide ugari daude erabilgarri. Hainbat PID darabiltzaten egitura konplexuagoek edo txertatutako mikrokontrolagailuek tokia dute kasu konplexuagoetara moldatzeko, adibidez. *anie-tiny* eta *anie* konparatuz, benetako denboran aldagaiak grafikatzten dituen VGA sistemak baliabideen %10 inguru hartzen duela ondorioztatu daiteke, beste proiektuetan integratzeko aproposa izanik. Kontrolagailuak, berez, 36 flip-flop, 6 batutzaile/kentzaile, 4 konparadore eta 3 biderkatzaile baino ez ditu erabiltzen.

Potentziari dagokionean, 0,25 W baino gutxiago xahutzen dute egoerarik txarrean, xedean autonomoak izanik baterien iraupena bermatuz. Nahiz eta kontuan hartu behar den, aldakorrek edo ezinbestekoak ez direnez, kalkulu horrek ez dituela kontuan hartzen plantari dagozkion kontsumoak, ezta monitore edo LCD pantailarenak.

Azterketa kasu izan den maketak eta aukeratutako sarrerek/irteerek erabat mugatzen dute

sistemaren eraginkortasuna. Lehenengo hurrenerako egokia bada ere, ez du abiadura handiko kontrolik ahalbidetzen. Hau dela eta, ez da sistemaren ahalera osoa frogatzeko paradarik egon. Zuzena bada ere, horren planta motela kudeatzeko zeharo geldoagoak diren plataformak erabili daitezke.

7.1. Wishlist

Etengabeen hobetzeko irrikak bultzatuta, aurrekoa eta beste hainbat osatzeko hau da aurreztean autorearen etorkizunerako gurari zerrenda:

- Azterketa kasuak
 - Daudenekin egin daitezkeen ariketak osatzeko modulu berriak garatzea.
 - Kasu berriak lantzea.
- Mikrokontrolagailu eta mikroprozesadoreekin elkarlana
 - Komunikazioa
 - Hardwarea
- Autonomia
 - Erabiltzailearen kudeaketa hobetzeko moduluak hobetzea/garatzea.
 - Gailu periferiko berriak erabiltzeko moduluak garatzea.
- Dokumentazioa
 - Trebatzeko gidak, praktikak, laburpenak, etab. idaztea.
 - Formatu elektronikoko dinamikoak baliatuz trebakuntzarako baliabideak sortzea.

*Pierre St. Martin*en baitan, elektronikan ingeniari-tza ikasleentzat ikasgai ezberdinetan ikusitako ezagutza teoriko banatuak elkarrekin aztertu eta barneratzeko bidea nahi du izan. Behin eta berriz gorpila asmatu ordez, urte batetik bestera egindako garapenak integratuz. Bide batez, taldeen tamaina dela eta maiz behar bezala garatu gabe geratzen diren zeharkako kompetentzien jabetze-prozesua bultzatuz. Hala nola, proiektu zehatzak osotasunean egokitzea edo paraleloan dabiltzan eta klase bereko kideak ez diren garatzaileekin, urruneko tresnak medio, talde-lana burutzea.

Azken lerroak profitatuz, nahiz eta proiektuarekin erlazio zuzena ez izan, beti laguntza adi eta zintzoa eskaini duela gogora, *Iñigo Oleagordia Aguirreri* esker onik beroenak. *Koldori*, bidai luze honetan karburuari eutsi dion gidariari, mirespen osoa.

- [1] Alecop, S. Coop., *Descripción del equipo MV-541*.
- [2] B. Philofsky, *Seven Steps to an Accurate Worst-Case Power Analysis Using Xilinx Power Estimator (XPE)*. Xilinx, Inc., September 2008.
- [3] Xilinx, Inc., *Spartan-3E FPGA Family, Data Sheet*, October 2012.
- [4] A. Visioli, *Practical PID Control*. Advances in industrial control (AIC), Springer-Verlag London Limited, 2006. Edited by M.J. Grimble and M.A. Johnson.
- [5] G. F. Franklin, J. D. Powell, and M. L. Workman, *Digital Control of Dynamic Systems*. Prentice-Hall, 3 ed., 2006.
- [6] A. Aguado Behar and M. Martínez Iranzo, *Identificación y Control Adaptativo*. Automática Robótica, Prentice-Hall, 2003.
- [7] M. Santina and A. R. Stubberud, *The Control Handbook, Control System Fundamentals*, ch. 12. Discrete-Time Equivalents of Continuous-Time Systems. CRC Press, imprint of Taylor & Francis Group, LLC, 2 ed., 2011. Edited by W.S. Levine.
- [8] M. Santina and A. R. Stubberud, *The Control Handbook, Control System Fundamentals*, ch. 15. Sample-Rate Selection. CRC Press, imprint of Taylor & Francis Group, LLC, 2 ed., 2011. Edited by W.S. Levine.
- [9] L. Moreno Fernández, S. Garrido Bullón, and C. Balaguer Bernaldo de Quirós, *Ingeniería de control: modelado, análisis y control de sistemas*, ch. 7.4.2 Métodos de Ziegler-Nichols and 7.5 Métodos analíticos de diseño de controladores PID. Editorial Ariel, S.A., 2003.
- [10] B. C. Kuo, *Sistemas de Control Automático*, ch. 2-11 La transformada z . Prentice-Hall, Inc., 7 ed., 1995.
- [11] K. J. Åström, *Control System Design, Lecture Notes for ME 155A*, ch. 6. PID Control. Department of Mechanical and Environmental Engineering - University of California, 2002.
- [12] K. J. Åström and R. M. Murray, *Feedback Systems, An Introduction Scientists and Engineers*. Princeton University Press, 2009.
- [13] J. O. Hamblen and M. D. Furman, *Rapid prototyping of digital systems, a tutorial approach*, ch. 9. VGA Video Display Generation. Kluwer Academic, 2 ed., 2006.
- [14] I. Grout, *Digital Systems Design with FPGAs and CPLDs*, ch. 7. Introduction to Digital Signal Processing. Newnes, imprint of Elsevier B.V., 2008.
- [15] A. Whitworth *et al.*, *The Wikibook of automatic Control Systems*, ch. Introduction to Digital Controls/Sampled Data Systems/Reconstruction. Wikimedia Foundation, Inc., 2012.
- [16] A. Whitworth *et al.*, *Wikibook, Floating Point (IEEE 754 standard)*, ch. 1. Number Representation. Wikimedia Foundation, Inc., 2011.
- [17] T. Murata *et al.*, *Wikipedia, Type system*, ch. 2.5 Strong and weak typing: Liskov Definition, 2.6 Strong and weak typing, 2.7 Safely and unsafely typed systems. Wikimedia Foundation, Inc., 2012.

- [18] D. Seborg, T. Edgar, and D. Mellichamp, *Process Dynamics and Control*, ch. 22. Sampling and Filtering of Continuous Measurements. John Wiley & Sons, Inc., 1 ed., 1989.
- [19] G. De Micheli and R. K. Gupta, "Hardware/software co-design," in *Proceedings of the IEEE*, vol. 85, pp. 349–365, March 1997.
- [20] U. Ugalde, R. Bárcena, and K. Basterretxea, "Generalized sampled-data hold functions with asymptotic zero-order hold behavior and polynomial reconstruction," *Automatica*, vol. 48, pp. 1171–1175, March 2012.
- [21] G. Zito, I. Dore Landau, F. Bouziani, and A. Voda-Besançon, "Digital PID tuning by controller complexity reduction," *Technical report*, vol. Laboratoire d'Automatique de Grenoble, March 2005.
- [22] P. Piqtek and W. Grega, "Speed analysis of a digital controller in time critical applications," *Journal of Automation, Mobile Robotics & Intelligent Systems*, vol. 3, pp. 57–61, 2009.
- [23] T. L. Lagö, "Digital Sampling According to Nyquist and Shannon," *Sound and vibration*, February 2002.
- [24] Xilinx, Inc., *System Generator for DSP, Getting Started Guide*, March 2008.
- [25] Xilinx, Inc., *System Generator for DSP, User Guide*, April 2012.
- [26] Xilinx, Inc., *System Generator for DSP, Performing Hardware-in-the-Loop With the Spartan-3E Starter Kit*, 2006.
- [27] Xilinx, Inc., *Spartan-3E Starter Kit Board, User Guide*, March 2006.
- [28] K. Chapman, *Rotary Encoder Interface for Spartan-3E Starter Kit*. Xilinx, Inc., February 2006.
- [29] Digilent, Inc., *Digilent PmodHB3, 2A H-Bridge Reference Manual*, February 2012.
- [30] G. Frantz and R. Simar, *Comparing Fixed- and Floating-Point DSPs. Does your design need a fixed- or floating-point DSP?* Texas Instruments, Inc., 2004.
- [31] J. Lewis, *VHDL Math Tricks of the Trade*. SynthWorks Design Inc., 2003.
- [32] D. W. Bishop, *VHDL-2008 Support Library*. EDA Industry Working Groups. <http://vhdl.org/fphdl/>.
- [33] D. W. Bishop, *Fixed point package user's guide*. EDA Industry Working Groups.
- [34] IEEE DASC Synthesis Working Group - PAR 1076.3, *Standard VHDL Synthesis Package (1076.3, NUMERIC_STD)*. IEEE, 1995.
- [35] B. Lerner, *Fixed vs. floating point: a surprisingly hard choice*. Analog Devices, February 2007. <http://eetimes.com/design/>.
- [36] R. Cofer and B. Harding, *Fixed-Point DSP and Algorithm Implementation*. Avnet, October 2006. <http://eetimes.com/design/>.
- [37] T. Wescott, *Sampling: What Nyquist Didn't Say, and What to Do About It*. Wescott Design Services, Inc., December 2012.
- [38] B. Beauregard, *Improving the Beginner's PID: Reset Windup*. <http://brettbeauregard.com>.
- [39] *Conversions, Binary to Bcd - Bcd to Binary*. <http://jjmk.dk>.

- [40] B. Artaloytia Encinas, *Laboratorio de Ingeniería Eléctrica*, 4. *Electrónica de excitación empleada en la actuación de motores de corriente continua de baja potencia*. Dpto. TEAT-UPM. <http://etsit.upm.es/departamentos/teat>.
- [41] M. Schmidt, “Derivative action in discrete PID controllers.” Faculty of Electrical Engineering and Communication - Brno University of Technology.
- [42] U. Martinez Corral, L. Ranero Santisteban, and I. Sarramian Olmos, “Control de velocidad de un motor CC: NI Labview.” *Sistemas Digitales en la Medida y Control de Procesos Industriales - EUITI de Bilbao - UPV/EHU*, June 2012.
- [43] U. Martinez Corral and A. Martin Uribarri, “Ordenagailu-Haizagailuak Kontrolatu eta Ikusteko Sistema (OHKIS).” *Eragingailu Logiko Programagarriak Ditutzen Sistema Digitalak - Bilboko IITUE - UPV/EHU*, June 2009.
- [44] A. Martin Uribarri, “Ordenagailu Haizagailuak Kontrolatu eta Ikusteko Sistema.” *Karrera Amaierako Proiektua - Bilboko IITUE - UPV/EHU*, July 2009.
- [45] U. Martinez Corral, “Vumeter / LCD 3310 / ReoBus.” *Teknologia - Ander Deuna Ikastola*, June 2005.
- [46] U. Martinez Corral, “Acher v0.1.” *Empleo del Ordenador Personal en la Instrumentación de Panel - Bilboko IITUE - UPV/EHU*, January 2011.
- [47] U. Martinez Corral, “Acher, serie komunikazio bitartez LED matrizea kudeatzeko sistema.” *Bulego Teknikoa - Bilboko IITUE - UPV/EHU*, June 2011.
- [48] B. Iglesias Rozas and U. Martinez Corral, “Bicicleta μ Controlador v1.1.” *Informática Industrial - EUP Ferrol - Universidade da Coruña*, June 2010.

Copyright © 2013 Unai Martinez Corral <umartinez012@ikasle.ehu.es>

Txosten oso honen, diru-trukerik edo bestelako aitoren gabeko, zuzeneko kopia eta banaketa baimentzen dira mundu osoan, eta edozein sostengutan, ohar hau mantendu bitartean.

Hardware deskribapenaren edota dokumentazioaren zatien banaketa, erabilera edota moldaketa agirik *Free Software Foundation*¹¹ erakundeak definitutako lau oinarrizko askatasunak/eskubideak bermatzen dituzte:

0. edozein xederako erabiltzeko askatasuna,
1. lagun eta kideekin elkarbanatzeko askatasuna,
2. zure beharretara moldatzeko askatasuna, eta
3. egindako aldaketak banatzeko askatasuna.

Hala ere, materialek izaera ezberdina dutenez, hiru lizentzia ezberdinen arabera banatzen dira proiektua eta iturriak¹²:

9.1. GNU [Lesser] General Public License ([L]GPLv3)

VHDL iturriari eta hardware deskribapenei¹³ dagokienean:

GNU GPLv3	GNU LGPLv3		
anietiny	sat	lcd	
anie	counter	setup	
pid	rot	writing	vgasync
norm	udcounter	autoinit	vgademo
timing	bintobcd		vgadata
man	bcdshift	trigger	vgashift
lcdman	lcdmenu	adq	vgasimpgrid
vgaman	switch		vgasignshift
input	btndeb	pwm	
output	debounce	hbridge	

9.1. Taula: VHDL deskribapenak erabili, aldatu eta hedatzeko baldintzak osagaien arabera adierazita.



¹¹fsf.org/licensing/essays/free-sw

¹²M scriptak Matlaben dokumentazioan eta *Mathwork*sek sarean eskainitako plataformetan aurkitutako edukiak baliatuz idatzi dira. Inolako baldintzarik gabe eskaintzan dira, beraz.

¹³Eranskinetan adierazitakoak, txosteneko beste ataletan adierazitako zatiak zein sostengu digitalean (zerbitzarian edo fisikoan -CDa kasu-) bildutakoak.

This description is free hard-software: you can redistribute it and/or modify it under the terms of the GNU [Lesser] General Public License (according to Table 9.1.) as published by the Free Software Foundation, either version 3 of the License, or (at your option) any later version.

This description is distributed in the hope that it will be useful, but WITHOUT ANY WARRANTY; without even the implied warranty of MERCHANTABILITY or FITNESS FOR A PARTICULAR PURPOSE. See the GNU General Public License for more details.

You should have received a copy of the GNU GPLv3¹⁴ and GNU LGPLv3¹⁵ along with this description. If not, see gnu.org/licenses.

9.2. Creative Commons Attribution-ShareAlike (CC-BY-SA)

9.1. eta 9.3. azpiataletan adierazitako edukiak izan ezik, txosten hau osatzen duten guztiak¹⁶ CC-BY-SA-3.0 lizentziaren arabera ematen dira:



Attribution-ShareAlike 3.0 Unported¹⁷
(CC-BY-SA-3.0)

- Egin ditzakezunak:

Banatzea Kopiatu, banatu eta hedatzea

Moldatzea Lana egokitzea eta eratorriak egitea

Lana merkataritza helburuekin erabiltzea

- Hurrengoak bete bitartean:

Aitortzea Lanaren iturria aitortu behar da, *Unai Martinez Corral* eta *Koldo Basterretxea Oyarzabali* eta *APES* taldeari erreferentzia eginez, eta ehu.es/apes orrialdea aipatuz (baina lan eratorriek edo lanaren erabilerekin hauen babesaren dutela adierazi barik).

Berdin partekatzea Lan hau moldatu edo egokituz gero, edo lan eratorririk sortzekotan, egindakoa banatzeko honetan erabilgaitako lizentzia berdina erabili behar da.

9.3. Aitorpen zuzenak

Hurrengoak eta aipatutako erakundeekin zein hauek garatutako produktuen logotipo eta irudiak haiei dagozkie, eta bakoitzak adierazitako baldintzen arabera banatzen dira:

- 3.1. irudia [27] dokumentutik kopiatu da, eta *Xilinx, Inc.* erakundeari dagokio.

¹⁴Ikus gnu.org/licenses/gpl-3.0.html.

¹⁵Ikus gnu.org/licenses/lgpl-3.0.html.

¹⁶Azalpen, irudi, taula, diagrama, eta grafikoak.

¹⁷Ikus creativecommons.org/licenses/by-sa/3.0/.

- *Subversion* zerbitzariaren estatistiken grafikoak *StatSVN*¹⁸ programarekin egin dira eta zuzenean itsatsi.
- 6.12. irudiko edukia *Tektronix MSO2024* osziloskopioarekin sortu da eta zuzenean itsatsi, *Tektronix, Inc.*¹⁹ erakundeari dagozkio.
- 2.1. irudiko maketa eta 6.23. irudiko *encodera* [1] dokumentutik hartu eta moldatu dira, eta *Alecop, S. Coop.* erakundeari dagozkio.
- The Noun Project²⁰: Laptop and iPhone *iconoci*, Sync *P.J. Onori*, Robot *Luis Prado*, Network *Jerry Wang*, Time *Richard de Vos*, Puzzle *Dmitry Baranovskiy*, Conversation *Sébastien Desbenoit*, Memory *Andrew J. Young*, Data *United Nations OCHA*
- TeXample²¹: Gajski-Kuhn Y-chart *Ivan Griffin*
- GNU - Christian Cadena²²: GNU License Alternative Logos

9.4. Zeharkako aitorpenak

- 6.1. irudiak *Arturo Urquizori* dagokion *Wikipediako*²³ *PID.svg*, *Controlador PID en lazo cerrado* irudia du oinarri.
- 6.15. irudia *Xilinx*ek dokumentazioko *Clocking Wizard - Cascading In Series With Two DCMs* atalean aurkeztutako *Cascading in Series with Two DCMs* irudian oinarrituta dago.

Txostena egiteko jarraian zerrendatutako tresnak erabili dira:

- gedit (projects.gnome.org/gedit) / Notepad++ (notepad-plus-plus.org)
- TeXmaker (xm1math.net/texmaker) / BibTeX (bibtex.org) / L^AT_EX paketeak (ctan.org/pkg/): import, inputenc, babel, geometry, graphicx, natbib, caption, indentfirst, multirow, amsmath, rotating, subfig, eurofont, siunitx, longtable, xcolor, listings, tikz, pgfplots, tikz-timing, url, hyperref, etoolbox, eso-pic, fancyhdr, minitoc
- QtikZ (hackenberger.at/blog/ktikz-editor-for-the-tikz-language)
- Dia (live.gnome.org/Dia) / Inkscape (inkscape.org) / GIMP (gimp.org)

Eta *Subversion* zerbitzaria kudeatzeko:

- RapidSVN (rapidsvn.tigris.org) / TortoiseSVN (tortoisesvn.net)
- Meld (meldmerge.org/) / WinMerge (winmerge.org)
- StatSVN (statsvn.org) / Gource (code.google.com/p/gource)

¹⁸statsvn.org

¹⁹tek.com

²⁰thenounproject.com

²¹texample.net/tikz/examples/

²²<http://www.gnu.org/graphics/license-logos.en.html>

²³wikipedia.org

Karrera Amaierako Proiektuak idazteko txantiloia

2007 urtean zehar *Iñaki Silanese*k, **ITSAS** Software Libre Taldeko kideak, \LaTeX eta *Open-Document* formatuetan Unibertsitatean gazteleraz, euskaraz zein ingelesez Karrera Amaierako Proiektuak zein Doktorego Tesiak aurkezteko txantiloiak eskaintzeko helburuarekin *Plantillas para Proyecto de Fin de Carrera* lan taldea²⁴ osatu zuen.

2010 urtean *Digna González* eta *Unai Martinez*ek lan talde berrian²⁵ *Iñaki Silanese*n lana \LaTeX erabiltzeko hainbat argibide, erreferentzia, aurkezpen eta abarrekin bateratu zuten eta material bera baliatuz zenbait ikastaro eman.

Idazleak, **Bilboko Industria Ingeniaritza Teknikoko Unibertsitate Eskolan**²⁶ Karrera Amaierako Proiektua euskaraz idazteko orduan eskuragarri zeuden txantiloiek premia²⁷ guztiak asetzen ez zituztenez, aipatutako lan taldeetan bildutakoak oinarri, eskuartean duzun txantiloia berria egin du. Hurrengo berrikuntzak ditu honek:

- BI-IITUEko web gunean soilik DOC formatuan eskuragarri dauden txantiloiak erabili dira *Kapitulu/Dokumentuen* portadak diseinatzeko.
- *UNE 157001-2002* araua erreferentzia izanik banatu da edukia. Hala ere, txantiloia honek ez du araua betetzen. Karrera Amaierako Proiektuen helburu nagusia hezkuntza eta ikastea izanik, edukia aurkitzea eta dokumentuen banakako azterketa errazteko diseinuan zenbait erabaki ezberdin hartu dira:
 - Dokumentuen ordena aldatu da eta zenbait ezabatu.
 - Portadak ez daude zenbakituta.
 - Orrialde, irudi, taula eta ekuazioen zenbakitzea kapitulu bakoitzean berrabiatzen da.
 - Zenbakitzea 0an hasten da.
 - Aurkibideen orrialdeak zenbaki erromatarrez daude adierazita.
 - Eranskinen dokumentuan atalak alfabetoz izendatzen dira.
 - Goiburu eta orri oinen edukiak tokiz aldatuta daude eta dokumentu, atal zein azpiatalen arabera berritzen dira.

Hau dela eta, araua betetzeko *config* karpeta fitxategietan moldaketak egin behar ditu txantiloia erabiltzaileak.

- Kapitulu, atal, azpiatal, azpiatzpiatal, irudi eta taulak zenbakitu eta izendatzean zenbakia azaltzen da lehenengo, puntu ordinala ondoren eta hitza azkenik.
- *babelek basque* aukeratzean ezartzen duen data komandoaren orde *gaur* sortu da.
- *Kapituluen* izen gisa *Dokumentu* ezarri da.
- Atalen goiburuak aldatu dira.
- Ikurren Zerrenda gehitu da.

²⁴itsas.ehu.es/workgroups/plantillas_proyecto_fin_de_carrera

²⁵itsas.ehu.es/workgroups/latex

²⁶www.industria-ingeniaritza-tekniko-bilbao.ehu.es

²⁷www.industria-ingeniaritza-tekniko-bilbao.ehu.es/p229-content/eu/contenidos/normativa/euiti_bi_pfc/eu_nor_gral/normativa_gral_fin_carrera.html