

# Estado del arte de la tecnología planar y *trench* de IGBTs de silicio

A. Matallana, J. Andreu, I. Aranzabal, V. López, A. Pérez-Basante

Universidad del País Vasco/Euskal Herriko Unibertsitatea (UPV/EHU)

e-mail: asier.matallana@ehu.eus

[http://det.bi.ehu.es/~apert/index\\_cast.html](http://det.bi.ehu.es/~apert/index_cast.html)

**Resumen**—La aparición del IGBT supuso el desarrollo del semiconductor de potencia para las aplicaciones de potencia que requieren elevados valores de tensión y corriente junto a elevadas frecuencias de conmutación. Durante los últimos 30 años, con la evolución de la tecnología y los métodos de fabricación, se han ido desarrollando diversas arquitecturas de IGBTs con el objetivo de conseguir dispositivos capaces de soportar mayores potencias y temperaturas, obteniendo al mismo tiempo menores pérdidas de conducción y conmutación. En este artículo se analiza la evolución desde las arquitecturas planares y *trench* de los IGBTs de silicio hasta la fusión de ambas tecnologías en un mismo dispositivo analizando los rangos de tensión y corriente de cada tecnología, junto a su diseño y las características estáticas, dinámicas y térmicas que los definen.

**Palabras Clave**—IGBT, celda planar, PT, NPT, FS, celda *trench*, *trench* FS, RC IGBT, comportamiento estático, comportamiento dinámico, comportamiento térmico.

## I. INTRODUCCIÓN

El IGBT (*Insulated Gate Bipolar Transistor*) fue inventado en Estados Unidos por Wheatley y Becke alrededor de 1982 (aunque dicha invención se puede asociar a otros autores como Baliga y Russel los cuales patentaron conceptos similares a la estructura predecesora del IGBT). Aproximadamente 10 años más tarde de su invención, los IGBTs fueron introducidos en el mercado de Japón y Europa. En un corto periodo de tiempo, los IGBTs ganaron una gran relevancia en aplicaciones de potencia y han ido sustituyendo a los transistores bipolares de potencia, convirtiéndose en una alternativa al VDMOS [1].

El IGBT nació como un cruce híbrido entre los transistores MOSFET y BJT, dotando al dispositivo de las ventajas de cada uno de los dispositivos en los que está basado. Éste es controlado por tensión, presenta una alta impedancia de entrada y una característica de salida que le permite conducir grandes densidades de corriente. Los rangos de frecuencia en los que operan los IGBTs de potencia se encuentran entorno a los 20 kHz (pudiendo llegar a los 100 kHz). Asimismo, son capaces de conducir corrientes del rango de las centenas de amperios y bloquear tensiones del orden de 600 V - 6 kV. El apagado y encendido es simple, los tiempos de conmutación son pequeños y, por consiguiente, las pérdidas de conmutación son reducidas. Se suele emplear en aplicaciones de potencia como: vehículos eléctricos, control de motores, sistemas de distribución de energía, etc. La clasificación de los dispositivos de potencia según su rango de tensión y corriente se puede ver en la figura 1 [2].

Hoy en día, uno de los mayores retos que tienen los fabricantes de IGBTs es reducir las pérdidas estáticas y dinámicas, así como mejorar la robustez de dichos dispositivos. En particular, las sobrecargas de corriente del proceso de apagado del dispositivo y la capacidad de soportar cortocircuitos. Al mismo

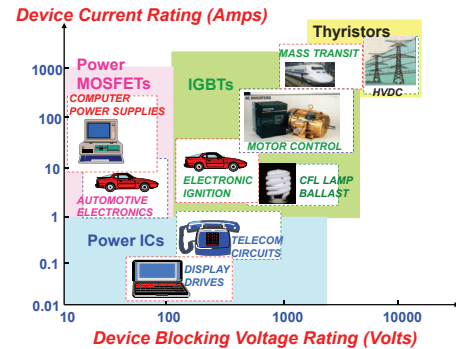


Fig. 1. Semiconductores de potencia en función de tensión y corriente.

tiempo, los costes de fabricación deben ser reducidos, en base a la reducción del tamaño del *die*. Dicha reducción entra en conflicto con la robustez y la capacidad de cortocircuito de los dispositivos [3]. Todo esto hace que, a la hora de diseñar un IGBT, se deba mantener un compromiso entre la reducción de pérdidas de potencia, el precio y la robustez del dispositivo.

En el presente documento se analizan las principales arquitecturas de IGBTs sobre silicio. En la figura 2 se pueden apreciar los distintos tipos de arquitecturas de IGBTs. Las tecnologías se pueden dividir en dos: tecnología de compuerta planar [4] y tecnología de puerta *trench* [5]. Las primeras arquitecturas desarrolladas fueron la tecnología *punch through* (PT) [6] y *non punch through* (NPT) [7]. De la fusión de ambas tecnologías surgió la tecnología *field stop* (FS) [8] y sus diversas variantes según el fabricante. El desarrollo de la tecnología *trench*, marcó un punto de inflexión, ya que se pudieron combinar las tecnologías planares con el nuevo concepto *trench*, obteniendo como resultado arquitecturas complejas como *trench field stop* (*trench* FS) [9] y sus derivados según los fabricantes. En la figura 3 se puede observar la estructura de capas de las tecnologías IGBT que se van a analizar junto a la generación de su campo eléctrico. Además de los rangos de tensión y corriente, en el presente trabajo, se analizan los comportamientos estáticos y dinámicos, coeficientes de temperatura y otra serie de datos de interés. De esta forma, este trabajo sirve como guía a la hora de seleccionar un determinado IGBT, ayudando a realizar una correcta selección en caso de que se vaya a realizar una paralelización de IGBTs. Asimismo, se analiza una nueva tecnología *reverse conducting* (RC IGBT) [10] donde se implementa un diodo antiparalelo dentro del IGBT necesario en muchas aplicaciones de potencia.

## II. CELDA PLANAR

En general, existen dos tipos de técnicas a la hora de diseñar la compuerta de los IGBTs. Una es la técnica planar y la otra

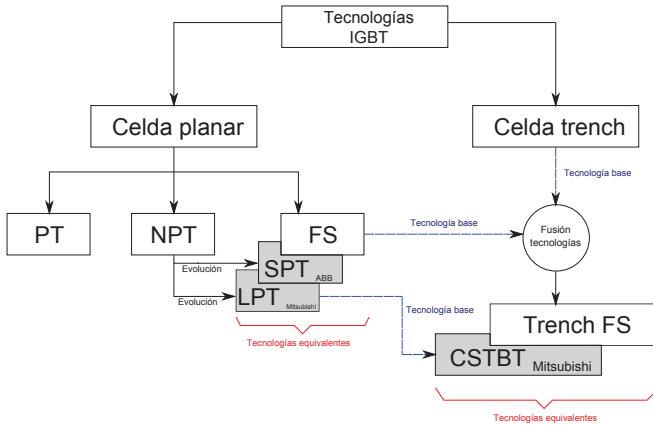


Fig. 2. Esquema de las distintas tecnologías de IGBTs del mercado.

la *trench*. Dentro de las tecnologías que pertenecen a la celda planar se encuentran la tecnología PT, NPT y FS.

La reducción que se ha producido en las pérdidas de potencia, tanto en conducción como en conmutación, ha convertido a los IGBTs en dispositivos muy atractivos para la industria. Dicha mejora se debe, principalmente, al empleo de dos métodos: control del tiempo de vida de los portadores e implementación de nuevas estructuras.

La reducción del tiempo de vida de los portadores provoca el incremento de la recombinación de dichos portadores, la cual se traduce en una reducción de la corriente de cola durante el proceso de apagado del IGBT [4].

Ante estas carencias, en los últimos años han aparecido nuevas técnicas que mejoran las pérdidas (tanto de conducción como de conmutación) que sufren los IGBTs planares convencionales. Así, ha surgido una arquitectura planar mejorada que recibe el nombre de *field stop* (FS), también llamada *soft punch trough* (SPT) [11] diseñada por ABB, o *light punch through* (LPT) [10] diseñada por Mitsubishi. El FS es la evolución de las arquitecturas planares PT y NPT. En este proceso de mejora ha sido fundamental el diseño de la capa *n* (figura 3) para obtener bajas pérdidas, SOA elevado y elevada capacidad de bloqueo, así como la implementación de una capa de *buffer*.

#### A. Punch Trough (PT)

La tecnología PT, que constituye los inicios de la tecnología de celda planar [6], fue diseñada para rangos de tensiones de ruptura inferiores a los 600 V, donde tiene una gran importancia la capa  $n^+$ -*buffer* que ejerce de *buffer* para impedir que la zona de carga eléctrica se expanda. Con el paso del tiempo, el rango de tensión de estos dispositivos ha ido creciendo. Sin embargo, esta tecnología no suele sobrepasar los 1700 V, ya que es complicada la obtención de una capa epitaxial poco dopada. En caso de superar este umbral de tensión, la capa sería muy gruesa y muy costosa, existiendo topologías más eficientes para esos rangos de tensión.

En esta estructura la región de espacio de carga se extiende a través de la región base y la distribución del campo eléctrico tiene una forma trapezoidal. La capa de *buffer n* es necesaria para evitar que la zona de carga de espacio llegue hasta el ánodo [12]. La estructura de esta tecnología IGBT y su campo eléctrico se puede ver en la figura 3. Las principales características que presenta la tecnología PT se pueden resumir atendiendo a los siguientes tipos de comportamientos:

- Estático: en este dispositivo la cola de corriente se reduce mediante un proceso de irradiación en la fabricación [13]. Sin embargo, esta técnica produce un aumento de la velocidad de recombinación, que se traduce en la caída de tensión en conducción. Esto hace que haya que llegar a un compromiso a la hora de su fabricación entre reducir la cola de corriente y reducir la tensión en conducción [1]. La tecnología PT permite al IGBT soportar cortocircuitos durante varios  $\mu s$ . No obstante, al mejorar dicha capacidad se produce un aumento de la caída de tensión en conducción, que conlleva buscar un compromiso entre estas características según la aplicación a desarrollar.
- Dinámico: respecto a las pérdidas de conmutación, los PT presentan unas pérdidas menores que otras arquitecturas, como puede ser la NPT, debido a que presentan una capa *buffer* (figura 3) que mejora la tensión de ruptura del dispositivo y que reduce la corriente de fugas [13]. Sin embargo, tiene el inconveniente de que al aumentar la temperatura también aumentan las pérdidas, todo lo contrario que sucede en los NPT, los cuales presentan un comportamiento estable frente a la temperatura. Además, dichas pérdidas distan mucho entre dispositivos de la misma arquitectura.
- Térmico: los PT son conocidos por presentar ambos coeficientes de temperatura ( $\oplus$  y  $\ominus$ ), dependiendo de donde se encuentre situado el punto de operación del dispositivo. La caída en conducción  $V_{ce,sat}$  se reduce, al igual que ocurre con la corriente, cuando se incrementa la temperatura. Esto significa que la tecnología PT posee un coeficiente negativo de temperatura y, en muchos casos, el cambio del coeficiente negativo al positivo no ocurre hasta que se sobrepasa la corriente nominal [10]. Teniendo esto en cuenta, en la práctica, es más difícil conectar varios PT en paralelo. Si dichos IGBTs no se encuentran correctamente acoplados, pueden producirse diferencias significativas en la corriente entre los IGBTs. Así todo, se puede realizar la paralelización de los PT IGBTs, pero para ello es necesario realizar una clasificación acorde a su voltaje de saturación  $V_{ce,sat}$  para seleccionar los dispositivos más similares entre sí [10].

#### B. Non Punch Trough (NPT)

Inicialmente, la tecnología NPT fue diseñada para trabajar en rangos de tensión de 1200 V, pero debido a los avances producidos en los últimos años esta tecnología ha ido mejorando su comportamiento a menores tensiones [7]. En este sentido, se están consiguiendo NPTs con buenas prestaciones a partir de las tensiones de ruptura superiores a los 600 V y, sobre todo, en los rangos de 1000-1200 V. De esta forma, por debajo de este rango de valores (1000-1200 V) las estructuras PT presentan, en general, mejores rendimientos [1]. En lo que a rangos se refiere, la dificultad se encuentra en obtener dispositivos NPT que abarquen los rangos de tensión de la tecnología PT, encontrándose el problema de obtener sustratos finos que abarquen los rangos de 300-1000 V.

La tecnología NPT se basa en la realización de la unión  $p^+ - n^-$  de colector con una capa  $p^+$  muy fina. El espesor de

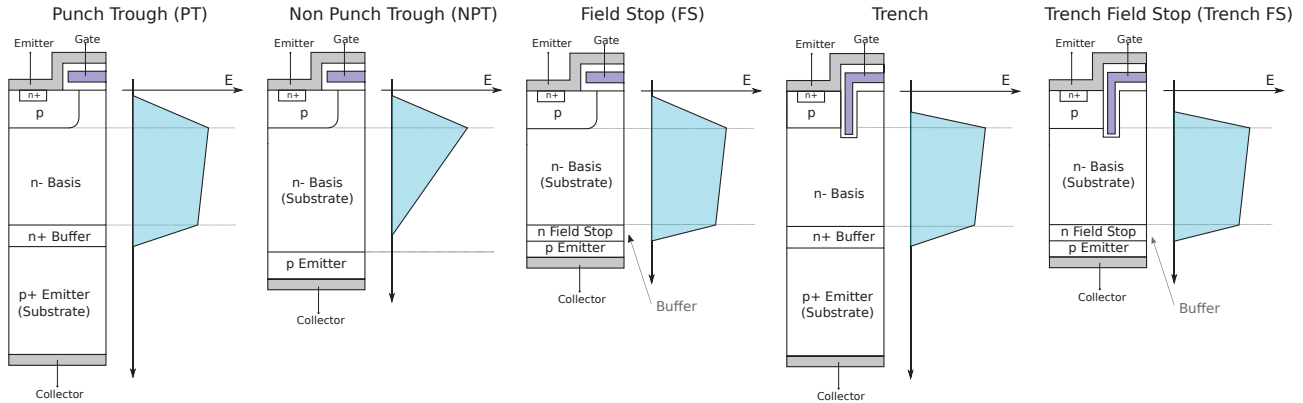


Fig. 3. Estructura de capas de las tecnologías IGBT con su campo eléctrico.

los sustratos del dispositivo debe ser lo suficientemente ancho para evitar que la zona de carga de espacio alcance la capa  $p^+$  provocando un cortocircuito [1]. En la figura 3 se puede ver la estructura básica de un IGBT con tecnología NPT.

En origen, la estructura NPT surgió para superar las limitaciones tecnológicas que presentaban los dispositivos PT, respecto a altos voltajes. Por este motivo, la estructura de los NPT presenta una región base  $n$  más gruesa que los PT y un dopado superficial del ánodo  $p^+$ , obteniendo un comportamiento más robusto ante los fenómenos de *latch-up* y a los cortocircuitos. Al presentar un espesor de la base  $n$  más extensa que la zona de carga de espacio, el campo eléctrico presenta una distribución de forma triangular [12] (figura 3). Las principales características que presenta esta tecnología frente a la tecnología PT, son las siguientes:

- Estáticas: las pérdidas en conducción son mayores que las de los dispositivos de topología PT, debido al mayor grosor de la base que produce un aumento de la resistividad en comparación con los PT. Por lo tanto, para el mismo tamaño de *die* los dispositivos NPT presentan una mayor  $V_{ce_{sat}}$  que los PT.
- Dinámicas: debido a la inyección de huecos en la base se produce la reducción de la carga de compuerta y, por lo tanto, una reducción de las pérdidas de conmutación. Sin embargo, la cola de corriente que se produce en el proceso de apagado no es tan elevada pero dura mucho más en comparación con la tecnología PT [7]. Esto provoca mayores pérdidas de conmutación debido a la mayor longitud de la cola de corriente, respecto a los dispositivos PT [12]. Una virtud de los NPT es que las pérdidas de conmutación son similares entre un dispositivo a otro de la misma arquitectura NPT. En este sentido, la tecnología NPT permite reducir la dispersión eléctrica entre diferentes lotes de fabricación, facilitando el proceso de paralelización.
- Térmico: los NPT son dispositivos con un coeficiente de temperatura positivo ( $\oplus$ ). Esto causa el incremento de las pérdidas de conducción, pero permite la paralelización sencilla de los IGBTs, presentando una variación respecto a la temperatura más estable. Consecuentemente, al paralelizar los dispositivos con coeficiente positivo de temperatura se produce una autorregulación de las tensiones y corrientes, evitando el tener que seleccionar exhaustivamente los IGBTs, como en el caso de los PT [10].

TABLA I  
COMPARATIVA ENTRE LAS TECNOLOGÍAS PT Y NPT.

	PT	NPT
Silicio de partida	$p^+/n/n^-$ epitaxiado	$n^-$ sustrato FZ <sup>(1)</sup>
Irradiación electrónica	Si	No (en algunos casos)
Corriente	Aumenta o disminuye con la $T^a$	Disminuye con la $T^a$
Tiempo de corte	Aumenta con la $T^a$	Constante con la $T^a$
Rango de tensión	300-1700 V <sup>(2)</sup>	600-4500 V <sup>(3)</sup>
Reproducibilidad del proceso	Medio	Alto
Cortocircuito de colector	No	Posible

<sup>1</sup>FZ: *Float-Zone*, el dispositivo se fabrica sobre silicio sin usar crecimiento epitaxial.

<sup>2</sup> Los rangos originales de tensión de dicha tecnología eran 600-1200 V.

<sup>3</sup> Los rangos originales de tensión de dicha tecnología eran 1200-1700 V.

En la tabla I [1] se ve una comparativa de las tecnologías PT y NPT. Dicha comparativa expone los datos de cuando irrumpieron estos dispositivos de forma madura en el mercado.

### C. Field Stop (FS)

La investigación de módulos de potencia con IGBTs de 6,5 kV para aplicaciones de tracción ha permitido desarrollar la tecnología clave para introducir el concepto de los FS IGBTs [8]. Esta tecnología surgió con el objetivo de reducir las pérdidas de conmutación de los IGBTs. Los FS combinan algunas de las ventajas heredadas de la tecnología PT y NPT, ofreciendo altos voltajes de bloqueo y bajas pérdidas. Todo ello se consigue, principalmente, mediante el bajo dopaje de la capa *field stop* y la capa  $p$  de colector (figura 3) que hacen posible un apagado rápido del dispositivo cuando se encuentra en conducción.

Las prestaciones de las generaciones previas de IGBTs se basaron en innovaciones como la mejora de la estructura a través de una capa de *buffer* y la reducción del tiempo de vida en el proceso (tecnología PT), y una serie de optimizaciones para reducir la geometría de los dispositivos (tecnología NPT). Sin embargo, tanto la tecnología PT como la NPT llegaron a su límite de desarrollo. Aunque todavía siguen realizándose estudios sobre estas dos arquitecturas, los nuevos avances en los IGBTs de tecnología planar se deben al concepto FS.

El concepto FS supera las limitaciones, comparándolo con un NPT IGBT, mediante la reducción del sustrato obteniendo una estructura con una fina región  $n^-$  base e insertando un bajo dopado FS. También se inserta una capa de *buffer* altamente dopada similar a los PT IGBT. Como resultado, el FS IGBT presenta un mejor comportamiento a alta tensión y

TABLA II  
COMPARACIÓN ENTRE LOS DISTINTOS TIPOS DE IGBT PLANAR.

		PT IGBT	NPT IGBT	FS IGBT
Capas	$p$ : eficiencia emisor	Alta	Baja	Baja
	$n^-$ : base	Fina	Media	Fina
	$n$ : buffer	Existe Altamente dopada	No existe	Existe: <i>field stop</i> Débilmente dopada
		Reducir la alta eficiencia del emisor		Parar el campo eléctrico
	Parar el campo eléctrico			
	Tiempo de vida de los portadores	Bajo (se fuerza)	Alto	Alto

realiza el apagado mucho más rápido con una baja amplitud de cola de corriente. Al reducir el tamaño, el dispositivo FS presenta una mejor resistencia térmica y un menor tamaño de *die* para el mismo rango de corriente [14].

En la tabla II [15] se puede ver una comparativa de las arquitecturas de los IGBTs que constituyen la familia planar. El comportamiento que presentan los dispositivos de la arquitectura FS es que el que se explica a continuación:

- a) Estático: la reducción del espesor total del dispositivo produce la reducción de la resistencia en conducción del mismo, lo que redundará en una baja caída de tensión en conducción y menores pérdidas en conducción que las arquitecturas convencionales PT y NPT. La reducción del espesor también hace que la capacidad para absorber cortocircuitos se vea disminuida, pero dicha capacidad se puede mejorar mediante las condiciones de dopado de la capa FS [3].
- b) Dinámico: el proceso de apagado presenta bajas pérdidas en función de la tensión colector-emisor ( $V_{ce_{sat}}$ ). Durante dicho apagado, el comportamiento de los dispositivos FS es similar al de un NPT con una baja amplitud pero con una corriente de cola larga en el tiempo. A tensiones  $V_{ce_{sat}}$  elevadas dicha cola de corriente prácticamente desaparece [16]. Por otra parte, la arquitectura FS presenta un comportamiento no lineal en las pérdidas apagado (figura 4), mientras que un dispositivo NPT presenta unas pérdidas lineales. Además, debido a su rápido proceso de apagado con bajas pérdidas, los FS son idóneos para aplicaciones que requieren elevadas frecuencias de conmutación.
- c) Térmico: debido a las ventajas heredadas de los dispositivos NPT el FS IGBT presenta un coeficiente positivo ( $\oplus$ ) de temperatura, lo que simplifica el proceso de paralelización de varios IGBTs, tal y como se ha explicado en la sección II-B para los dispositivos NPT.

### III. CELDA TRENCH

La arquitectura *trench* ha supuesto la ruptura con las limitaciones que presentan la tecnología planar, cuyos desarrollos se han centrado, fundamentalmente, en obtener mejoras en la miniaturización de los IGBTs y en la calidad de las uniones para conseguir menores pérdidas, tanto de conducción como conmutación. En general, los IGBTs de arquitectura *trench* presentan un mayor voltaje de ruptura que la tecnología planar [5]. Además, el efecto *latch-up* queda minimizado, tienen una menor caída de la tensión en conducción, una mayor densidad

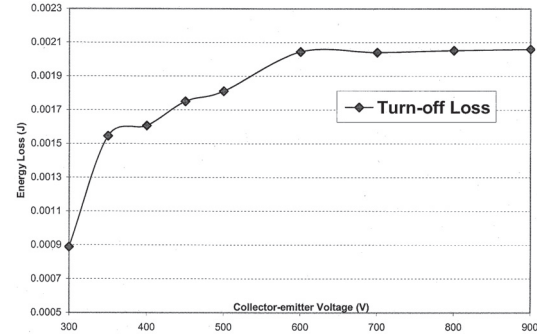


Fig. 4. Pérdidas de apagado del FS IGBT.

para el mismo tamaño de silicio y una mayor flexibilidad de diseño. En la figura 3 se puede ver la arquitectura *trench* [10]. La tecnología *trench* permite aumentar la densidad de integración mediante la integración de un canal MOS vertical que aumenta dicha densidad [1].

La inserción del canal MOS dentro de un IGBT con compuerta planar para obtener una estructura con compuerta *trench*, es decir, implementar sobre el IGBT una celda *trench*, está condicionada por las dimensiones geométricas. Una menor separación de las estructuras *trench* provoca una mayor conductividad en la parte superior de la capa  $n^-$  base, la cual presenta una menor resistencia de conducción que se traduce en un empeoramiento de la velocidad de apagado. El ancho de la estructura *trench* que se inserta en el IGBT influye en la tensión  $V_{ce_{sat}}$  y en el tiempo del proceso de apagado [17]. Por otro lado, la reducción excesiva del área del contacto del cátodo produce un incremento en la caída del voltaje de conducción. Por lo tanto, hay que llegar a un compromiso entre las dimensiones, los dopados y materiales. El comportamiento, tanto a nivel estático como dinámico y de la temperatura, que experimentan los IGBTs *trench* es el siguiente:

- a) Estático: con la tecnología *trench* IGBT se pueden conseguir bajas pérdidas de conducción mediante la acumulación de portadores a través de las celdas y la optimización de la longitud y anchura del canal [18]. Asimismo, con esta estructura se puede lograr una reducción de las pérdidas de conducción de entorno a un 30-40% [18] en comparación con las arquitecturas planares.
- b) Dinámico: la arquitectura *trench* presenta una significativa mejora de la reducción de tensión en conducción  $V_{ce_{sat}}$  comparándolo con los dispositivos planares que tienen las mismas pérdidas de apagado ( $E_{off}$ ) con la misma densidad de corriente. Esto ofrece la posibilidad de una moderada reducción de  $V_{ce_{sat}}$  con una reducción simultánea de las pérdidas  $E_{off}$  [18]. La arquitectura provee la posibilidad de la reducción de la longitud de la región de emisor  $n^+$  provocando la reducción de la corriente de forma inversamente proporcional a la longitud del emisor.
- c) Térmico: los efectos que se producen en el semiconductor presentan una gran estabilidad frente a la temperatura [17]. El incremento de la temperatura provoca el incremento del voltaje de ruptura y reduce el tiempo del proceso de apagado mientras que se reduce  $V_{ce_{sat}}$ . Por lo tanto, el IGBT presenta un coeficiente positivo ( $\oplus$ ). Ello simplifica la paralelización de estos dispositivos.

### A. Trench Field Stop (Trench FS)

La incorporación de una compuerta *trench* sobre una arquitectura FS forma una nueva arquitectura que recibe el nombre de *trench field stop*. Dicha arquitectura presenta un gran potencial para reducir las pérdidas en conducción y las pérdidas en conmutación [9]. La arquitectura de este tipo de IGBTs se puede ver en la figura 3.

La tecnología *trench FS* supuso un hito en la evolución de los IGBTs. El primer desarrollo fue de Infineon, aunque otros fabricantes también usaron este concepto en los siguientes años (por ejemplo, Mitsubishi desarrolló el CSTBT). La interacción de la capa FS permite la reducción del espesor del dispositivo para el mismo rango de tensión y el uso de una compuerta *trench*, que distribuye la densidad de la carga de portadores de forma homogénea sobre el silicio, ha permitido la mejora de los dispositivos IGBTs [10].

El concepto FS consiste en un dopado adicional de la capa *n* en la parte trasera de la oblea. Mediante la implementación de una capa *field stop*, en combinación con el incremento de la resistividad de la oblea, se reduce el espesor del dispositivo entorno a un tercio [19] reduciendo los costes de producción [3] y las pérdidas de del proceso de apagado. Esto supone una tremenda mejora en el comportamiento térmico, ya que al reducir el volumen del silicio el dispositivo mejora la capacidad de evacuación de calor necesaria durante un cortocircuito.

Por otro lado, la celda *trench* produce una reducción de las pérdidas de conducción gracias al incremento de portadores cerca del emisor (cátodo). Las características principales de la combinación de las arquitecturas FS y celda *trench* son:

- Estáticas: la posibilidad de reducir el espesor del sustrato, cerca de un 30% [19], gracias al concepto FS, permite que las pérdidas en conducción se reduzcan drásticamente. Comparándolo con la primera generación de IGBTs planares se produce una reducción del 65% [19] de las pérdidas de conducción, mientras que con la segunda generación de IGBTs se reducen las pérdidas en un 35%. La celda *trench* es la clave de esta enorme mejoría de las pérdidas de conducción.
- Dinámicas: la introducción del concepto FS obliga a prestar especial atención al comportamiento en conmutación, ya que la resistividad de la oblea, el diseño de la capa FS, el emisor *p* y el grosor del *die* tienen que ser optimizado para poder reducir la carga almacenada en el dispositivo y, así, reducir las pérdidas de apagado del dispositivo (figura 5).
- Térmico: la arquitectura *trench FS* tiene un coeficiente de temperatura positivo ( $\oplus$ ) heredado de los dispositivos NPT. Esto facilita la paralelización, tanto de los elementos discretos, como de módulos de potencia constituidos por este tipo de semiconductores.

Una vez vistas las tecnologías básicas que existen en el mercado en la tabla III se recogen los parámetros fundamentales de cada tecnología.

## IV. DIODO INTRÍNSECO Y ANTIPARALELO EN LOS IGBTs

Los IGBTs, especialmente en aplicaciones con carga inductiva, requieren un diodo en antiparalelo al IGBT, que recibe el nombre de *freewheeling* (FWD). Es importante diferenciar

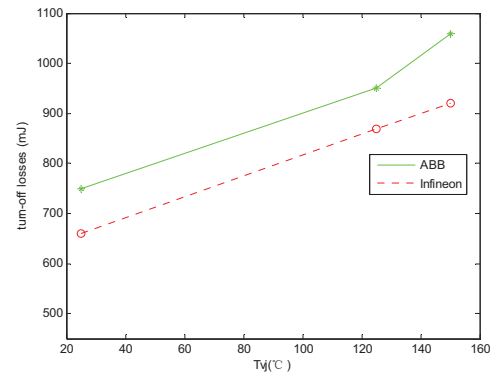


Fig. 5. Pérdidas de apagado del *trench FS* (Infineon) respecto FS (ABB).

TABLA III

RESUMEN DE LAS DISTINTAS TECNOLOGÍAS IGBT.

Parámetro	Celda Planar			Celda <i>trench</i>
	PT	NPT	FS	<i>Trench FS</i>
Tensión	300-1700V	600-4500V	600-1200 V	600-1200 V
Grosor	↑↑↑	↑↑	↑	↑
Buffer	Sí	No	Sí	No
Tail current	↓	↑	$\approx 0$	$\approx 0$
$V_{diode}$	↓	↑	No diodo	No diodo
$V_{ce,sat}$	↓	↑	↓↓	↓↓↓
$P_{on}$	↓	↑	15-30% ↓	35-65% ↓
$P_{sw}$	↓	↑	↓↓	40% ↓
$t_{off}$	↓	↑	↓↓	↓↓↓
CT	$\oplus/\ominus$	$\oplus$	$\oplus$	$\oplus$
Robustez <sub>sw</sub> CC	↑	↑	↑↑	↑↑↑

este diodo colocado en antiparalelo con el diodo intrínseco que tienen en serie las diversas tecnologías IGBT vistas anteriormente. A continuación se detalla cada uno de éstos:

- Diodo intrínseco: en el proceso de fabricación de los IGBTs, donde se combina el comportamiento de compuerta de un MOSFET con el comportamiento en conducción de un transistor bipolar, se forma un diodo intrínseco.
- Diodo antiparalelo (FWD): para determinadas aplicaciones los IGBTs aparecen acompañados de un diodo antiparalelo que protege al IGBT y permite la circulación de la corriente en sentido opuesto al del IGBT. Por lo tanto, el FWD es un elemento adicional e independiente al propio IGBT (unidos, por ejemplo, mediante la técnica *wire-bonding*).

### A. Reverse conducting (RC IGBT)

En el dispositivo *reverse conducting* IGBT (RC IGBT) se implementan los dos dispositivos (IGBT y diodo FWD) sobre una misma superficie de silicio [10]. Un RC IGBT no es una conexión simple donde se implementan de forma externa dos componentes semiconductores independientes en paralelo (IGBT + diodo). Éste se basa en la implementación del diodo antiparalelo dentro del mismo sustrato.

Para integrar el diodo antiparalelo dentro de la estructura IGBT y lograr un dispositivo RC IGBT, el ánodo *p* del diodo es dividido en varias secciones y se integra el cátodo *n* dentro del emisor del IGBT. De esta manera, el diodo antiparalelo usa el mismo silicio que el IGBT [20]. Así, no es necesario el empleo de silicio extra pero, por otro lado, el diodo no se puede optimizar de forma independiente al IGBT, por lo que, el diodo presenta un comportamiento más pobre.

Algunos fabricantes montan este nuevo dispositivo RC IGBT sobre un encapsulado compacto para reducir (comparándolo con un encapsulado convencional) la impedancia

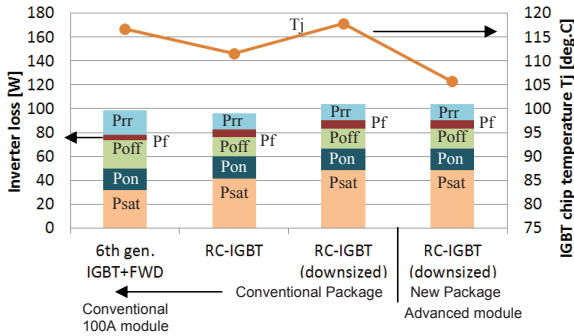


Fig. 6. Pérdidas del RC IGBT y del montaje IGBT+FWD de un inversor.

térmica. Ello permite aumentar la fiabilidad del semiconductor [21]. La figura 6 [21] muestra la temperatura de unión alcanzada en el IGBT+FWD, en el RC IGBT empleando encapsulados convencionales y encapsulados optimizados. Tal y como se puede ver, aunque las pérdidas en el dispositivo son del mismo orden de magnitud la temperatura de la unión es considerablemente inferior en el caso del RC IGBT con encapsulado avanzado. Ello se traduce en que el RC IGBT pueda soportar una densidad de corriente un 35% superior al de un IGBT+FWD convencional.

V. CONCLUSIONES

La evolución que han sufrido los IGBTs de silicio desde su aparición, hasta hoy en día, es notable. Partiendo de los conceptos básicos de la tecnología de compuerta planar, PT y NPT, donde los dispositivos presentaban bajos valores de tensión y corriente, elevadas resistencias térmicas, e incluso, coeficientes negativos de temperatura (PT) que dificultaba la paralelización, se consiguió desarrollar una tecnología que fusionase los dos dispositivos anteriores. Esa tecnología fue la FS, que permitía aprovechar de forma más óptima la superficie de silicio, obteniendo mejores rendimientos al reducir las pérdidas, tanto de conmutación y conducción, y presentar un coeficiente positivo de temperatura. Paralelamente al desarrollo de la tecnología planar, se desarrolló la tecnología trench. Cuando la tecnología FS maduró se optó por fusionar ambos conceptos, FS con trench, obteniendo como resultado la arquitectura trench FS con la que los fabricantes han conseguido reducir aún más las pérdidas, una mayor estabilidad térmica y aprovechar más la superficie de silicio. Aunque, hoy en día, se fabrican IGBTs de todas las tecnologías, los más avanzados son aquellos basados en la tecnología trench FS. Por último, destacar el desarrollo de los RC IGBTs para implementar de forma intrínseca un diodo FWD para ahorrar costes de silicio y reducir la resistencia térmica.

VI. AGRADECIMIENTOS

Este trabajo se ha realizado dentro de la Unidad de Investigación y Educación UFI11/16 de la UPV/EHU y con el apoyo del Gobierno Vasco a través de: las ayudas para los grupos de investigación del sistema universitario vasco IT394-10, del proyecto de investigación FUTUREGRIDS-2020 del programa ETORTEK (IE14-389), la financiación del Ministerio de Economía y Competitividad a través del proyecto de investigación DPI2014-53685-C2-2-R y a través del programa de apoyo a la formación de investigadores del Gobierno Vasco PRE\_2014.1.13.

REFERENCIAS

[1] X. Jorda, D. Flores, P. Godignon, M. Vellvehi, and J. Millan, "Present and future of IGBTs," *Mundo Electrónico*, pp. 42–47, January 1999.

[2] J. Ito, Y. Hagiwara, and N. Yoshie, "Development of the IGBT applied traction system for the Series 700 Shinkansen high-speed train," in *International Conference on Developments in Mass Transit Systems*, vol. 1, 1998, pp. 25–30.

[3] A. Mauder, T. Laska, and L. Lorenz, "Dynamic behaviour and ruggedness of advanced fast switching IGBTs and diodes," in *Conference Record of the Industry Applications*, vol. 2, 2003, pp. 995–999.

[4] M. Mori, K. Oyama, T. Arai, J. Sakano, Y. Nishimura, K. Masuda, K. Saito, Y. Uchino, and H. Homma, "A Planar-Gate High-Conductivity IGBT (HiGT) With Hole-Barrier Layer," *IEEE Transactions on Electron Devices*, vol. 54, no. 6, pp. 1515–1520, June 2007.

[5] M. Harada, T. Minato, H. Takahashi, H. Nishihara, K. Inoue, and I. Takata, "600 V trench IGBT in comparison with planar IGBT—an evaluation of the limit of IGBT performance," in *Symposium on Power Semiconductor Devices and ICs (ISPSD)*, vol. 1, 1994, pp. 411–416.

[6] Y. Onishi, S. Momota, Y. Kondo, M. Otsuki, N. Kumagai, and K. Sakurai, "Analysis on device structures for next generation IGBT," in *International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, vol. 1, 1998, pp. 85–88.

[7] R. Siemieniec, M. Netzel, and R. Herzer, "Comparison of PT and NPT cell concept for 600 V IGBTs," in *European Conference on Power Electronics and Applications*, vol. 4, 1997, pp. 24–28.

[8] X. Kang, A. Caiifa, E. Santi, J. Hudgins, and P. Palmer, "Characterization and modeling of high-voltage field-stop IGBTs," *IEEE Transactions on Industry Applications*, vol. 39, no. 4, pp. 922–928, July 2003.

[9] H. Ruthing, F. Umbach, O. Hellmund, P. Kanschat, and G. Schmidt, "600V-IGBT3: trench field stop technology in 70 μm ultra thin wafer technology," *IEE Circuits, Devices and Systems*, vol. 151, no. 3, pp. 211–214, June 2004.

[10] A. Volke and M. Hornjamp, *IGBT Modules - Technologies, Driver and Application*, Infineon, Ed. Infineon Technologies AG, Munich, 2012.

[11] M. Rahimo, A. Kopta, and S. Linder, "Novel Enhanced-Planar IGBT Technology Rated up to 6.5kV for Lower Losses and Higher SOA Capability," in *IEEE International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, vol. 1, 2006, pp. 1–4.

[12] J. Rebollo, I. Cortes, X. Perpina, and J. Millan, "A Review of Si MOS-gated Power Switches and PiN Rectifiers," *Automatika*, vol. 53, no. 1, pp. 117–127, 2012.

[13] H. Iwamoto, H. Haruguchi, Y. Tomomatsu, J. Donlon, and E. Motto, "A new punch through IGBT having a new N-buffer layer," in *IEEE Industry Applications Conference*, vol. 1, 1999, pp. 692–699.

[14] V. Crisafulli, "New IHR Field Stop II IGBT technology, the best efficiency for high frequency Induction Cooking Applications," in *Proceedings of PCIM Europe*, vol. 1, 2014, pp. 1–8.

[15] T. Laska, M. Munzer, F. Pfirsch, C. Schaeffer, and T. Schmidt, "The Field Stop IGBT (FS IGBT). A new power device concept with a great improvement potential," in *Symposium on Power Semiconductor Devices and ICs (ISPSD)*, vol. 1, 2000, pp. 355–358.

[16] J. Bauer, F. Auerbach, A. Porst, R. Roth, H. Ruething, and O. Schilling, "6.5 kV-modules using IGBTs with field stop technology," in *Symposium on Power Semiconductor Devices and ICs (ISPSD)*, vol. 1, 2001, pp. 121–124.

[17] A. Pulikkathodi, V. Suresh, S.-M. Yang, and G. Sheu, "Investigation in characteristics of 1200V vertical IGBT for different trench designs," in *IEEE International Conference of Electron Devices and Solid-State Circuits (EDSSC)*, vol. 1, 2013, pp. 1–2.

[18] J. Bauer, T. Duetemeyer, E. Falck, C. Schaeffer, G. Schmidt, and H. Schulze, "Investigations on 6.5kV trench igbt and adapted emcon diode," in *Symposium on Power Semiconductor Devices and ICs (ISPSD)*, vol. 1, 2007, pp. 5–8.

[19] M. Pfaffenlehner, T. Laska, R. Mallwitz, A. Mauder, F. Pfirsch, and C. Schaeffer, "1700 V-IGBT3: field stop technology with optimized trench structure trend setting for the high power applications in industry and traction," in *Symposium on Power Semiconductor Devices and ICs (ICSPD)*, 2002, pp. 105–108.

[20] I. Sheikhan, N. Kaminski, S. Voß, W. Scholz, and E. Herweg, "Optimisation of the reverse conducting IGBT for zero-voltage switching applications such as induction cookers," *IEE Circuits, Devices and Systems*, vol. 8, no. 3, pp. 176–181, May 2014.

[21] K. Takahashi, S. Yoshida, S. Noguchi, H. Kuribayashi, N. Nishida, Y. Kobayashi, H. Kobayashi, K. Mochizuki, Y. Ikeda, and O. Ikawa, "New reverse-conducting IGBT (1200V) with revolutionary compact package," in *Symposium on Power Semiconductor Devices ICs (ISPSD)*, vol. 1, 2014, pp. 131–134.