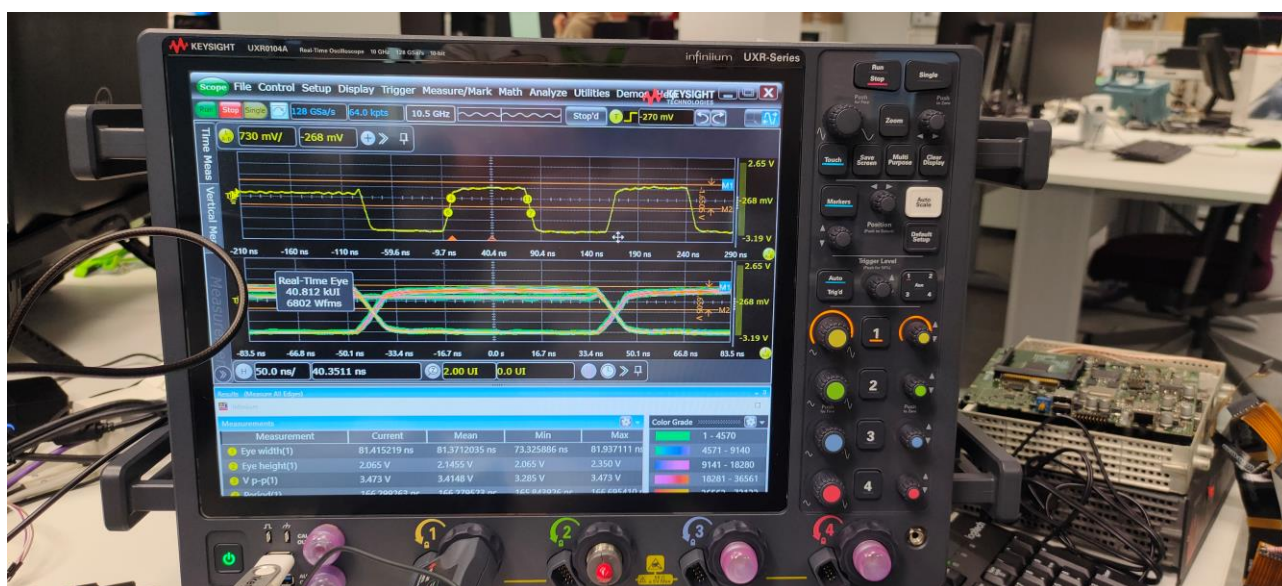


MÁSTER UNIVERSITARIO EN INGENIERÍA DE
TELECOMUNICACIÓN

TRABAJO FIN DE MÁSTER

ANÁLISIS, SIMULACIÓN Y VALIDACIÓN DE LA INTEGRIDAD DE SEÑAL EN CIRCUITO IMPRESO



Estudiante: Jurado Vicario, Unai

Director/Directora: Guerra Pereda, David

Codirector/Codirectora: Eguiluz Urizar, Xabier

Curso: 2022-2023

Fecha: Arrasate, día, 6, 2023

Contenido

Resumen	5
Castellano	5
English	5
Euskera	6
Lista de ilustraciones	7
Lista de tablas.....	12
Lista de ecuaciones	14
Lista de gráficos	15
Acrónimos empleados	16
1. Introducción.....	18
2. Contexto	19
2.1 Buses de alta velocidad.....	19
2.1.1 Protocolos de arbitraje	21
2.2 Fenómenos que afectan a la integridad de la señal.....	24
2.2.1 Crosstalk	24
2.2.2 EMIs	25
2.2.3 Jitter.....	25
2.3 Metodologías de medida	27
2.4 Técnicas de mejora de la integridad de la señal	29
2.4.1 Ecuación	29
2.4.2 Embedding/de-embedding.....	29
3. Objetivos y alcance del trabajo	30
4. Beneficios	31
4.1 Beneficios técnicos.....	31
4.2 Beneficios económicos	31
4.3 Beneficios sociales	31
5. Análisis del estado del arte	32
5.1 Automotive Ethernet	32
5.2 USB.....	47
5.3 FPD Link III.....	55
5.4 PCIe	59
5.5 DDR4	66
6. Análisis del equipamiento.....	81

6.1	Equipamiento	81
6.1.1	Instrumentación	81
6.1.2	Sondas	83
6.1.3	Acopladores	84
6.1.4	Conectores	84
7.	Metodología	86
7.1	Placa PCB	86
7.2	Riesgos	86
7.2.1	Riesgos en el osciloscopio	86
7.2.2	Riesgos en las PCBs analizadas	86
7.3	Diagrama de ojo	87
7.4	Técnica de medida	88
7.4.1	Set - Up	88
7.4.2	Automotive Ethernet 1000Base-T1	90
7.4.3	USB 2.0	90
7.4.4	FPD Link III	96
7.4.5	Otras medidas	96
8.	Resumen de resultados	105
8.1	Automotive Ethernet	105
	Modo 1	105
	Modo 2	106
	Modo 5	108
	Modo 6	109
8.2	USB 2.0	112
	Arduino UNO	112
	Tarjeta de fabricación propia	113
	Tarjeta de fabricación propia (II)	116
8.3	Comparativa	129
9.	Análisis previo de riesgos	130
9.1	Riesgos	130
9.2	Plan de contingencia	130
10.	Planificación	131
11.	Presupuesto ejecutado	134
11.1	Mano de obra	134

11.2	Gastos.....	134
11.3	Amortizaciones	134
11.4	Coste total.....	135
12.	Conclusiones	136
13.	Líneas futuras.....	137
13.1	Compliance test.....	137
13.2	Protocolos adicionales.....	137
13.3	Jitter	137
14.	Referencias.....	138
15.	Anexo I: Resultados de prueba de conformidad de modo 5.....	142
16.	Anexo II: Código Arduino	145

Resumen

Castellano

Alumno/a: Unai Jurado Vicario

Director/a: David Guerra Pereda

Codirector: Xabier Eguiluz Urizar

Departamento: Ingeniería de Comunicaciones

Título: Análisis, simulación y validación de la integridad de la señal en circuito impreso

Resumen: Debido a la miniaturización de los circuitos electrónicos y a las crecientes velocidades de reloj es mucho más frecuente encontrar problemas de integridad de la señal. Por ello, se ha realizado un análisis de la integridad de la señal de diferentes protocolos de comunicaciones como Automotive Ethernet 1000Base-T1 y USB 2.0, certificando el cumplimiento de los requerimientos propios de cada estándar. Para ello se ha empleado el diagrama de ojo, que es la representación superpuesta de los símbolos de la comunicación de forma que se pueda comprobar que son semejantes entre sí. Además, se ha analizado la presencia de distorsión del ciclo de trabajo e interferencia entre símbolos en el diagrama de ojo de forma gráfica. Por último, se ha realizado una reflectometría en el dominio del tiempo para comprobar la continuidad de la impedancia, de forma que se garantice la inexistencia de reflexiones que puedan comprometer la integridad de la señal.

Palabras clave: Integridad, señal, jitter, PCB, TDR, ISI

English

Title: Análisis, simulación y validación de la integridad de la señal en circuito impreso

Abstract: Due to the miniaturization of electronic circuits and increasing clock speeds, signal integrity issues have become much more common. Therefore, an analysis of signal integrity for different communication protocols such as Automotive Ethernet 1000Base-T1 and USB 2.0 has been done, certifying compliance with the specific requirements of each standard. To achieve this, the eye diagram has been employed, which is the overlaid representation of communication symbols to verify their similarity. Additionally, distortion of duty cycle and symbol interference in the eye diagram have been analyzed graphically. Finally, time-domain reflectometry has been performed to verify impedance continuity, ensuring the absence of reflections that could compromise signal integrity.

Keywords: Integrity, signal, jitter, PCB, TDR, ISI

Euskera

Titulua: Seinalearen osotasunaren azterketa, simulazioa eta balioztaketa zirkuitu inprimatuan

Laburpena:

Zirkuito elektronikoen miniaturizazioa eta hauek erabiltzen dituzten erlojuen abiadura gero eta handiagoak direla eta, gaur egon ohikoagoa da osotasun arazoak edukitzea seinaleetan. Hori dela eta, Automotive Ethernet 1000Base-T1 eta USB 2.0 komunikazio protokoloen seinalearen osotasunaren azterketa egin da, protokolo bakoitzak daukan eskakizunak betetzen direla ziurtatzeko. Horretarako begi diagrama erabili da. Begi-diagrama sinbolo guztien irudikapen gainezarria da. Modu honetan, sinboloen antzekotasuna froga dezakegu. Horrez gain, lan zikloaren distortsioa eta sinboloen arteko interferentzia aztertu da grafikoki. Azkenik, inpedantziaren jarraitutasuna egiaztatzeko denbora-domeinuko erreflektometria egin da, seinalearen osotasuna arriskuan jar dezaketen islapenik ez dagoela bermatzeko.

Gako-hitzak: Osotasuna, seinalea, jitterra, PCB, TDR, ISI

Lista de ilustraciones

Ilustración 1: Esquema de líneas de un bus de datos	19
Ilustración 2: Funcionamiento de un bus síncrono	20
Ilustración 3: Funcionamiento de un bus asíncrono	20
Ilustración 4: Esquema de protocolo de daisy chaining de dos señales	21
Ilustración 5: Esquema de protocolo de daisy chaining tres señales	22
Ilustración 6: Esquema de protocolo de daisy chaining de cuatro señales.....	22
Ilustración 7: Esquema de protocolo con concesión por encuesta.....	23
Ilustración 8: Esquema de protocolo con señales independientes.....	23
Ilustración 9: NEXT y FEXT [3].....	24
Ilustración 10: Forma de onda NEXT vs FEXT [4].....	25
Ilustración 11: Esquema tipos de jitter.....	26
Ilustración 12: Histograma del jitter aleatorio	27
Ilustración 13: Histograma del jitter determinista	27
Ilustración 14: Parámetros de las medidas de Automotive Ethernet 1000Base-T1 (I)	27
Ilustración 15: Parámetros de las medidas de Automotive Ethernet 1000Base-T1 (II)	28
Ilustración 16: Construcción de un diagrama de ojo.....	28
Ilustración 17: Diagrama de ojo óptimo (parte superior) y diagrama de ojo cerrado (parte inferior) de una comunicación analógica	28
Ilustración 18: Diagrama de ojo óptimo de una comunicación digital.....	29
Ilustración 19: Proceso de ecualización.....	29
Ilustración 20: Voltajes en el circuito IC5000	33
Ilustración 21: Simulación IC 7901 con undershoot y overshoot.....	33
Ilustración 22: Conexión para la reflectometría.....	34
Ilustración 23: Resultados de la reflectometría	34
Ilustración 24: Resultados de la reflectometría tras mejora en el <i>layout</i>	34
Ilustración 25: Resultados de la TDR del cabezal de prueba MDI	35
Ilustración 26: Pérdidas de retorno (cable de 1 m).....	36
Ilustración 27: Pérdidas de retorno (cable de 10 m).....	36
Ilustración 28: Pérdidas de inserción (cables de 1 m).....	37
Ilustración 29: Pérdidas de inserción (cables de 10 m).....	37
Ilustración 30: Unbalanced attenuation.....	38
Ilustración 31: Screening attenuation	39
Ilustración 32: Coupling attenuation.....	39
Ilustración 33: Pila de protocolos de Automotive Ethernet.....	41
Ilustración 34: Modelo de transceptor.....	42
Ilustración 35: DEP 100BASE-T1	42
Ilustración 36: DEP 1000BASE-T1	42
Ilustración 37: DEP 2.5 Gbps.....	43
Ilustración 38: Modelo LPF.....	43
Ilustración 39: Pérdidas de Inserción en modo diferencial (100Base-T1).....	43
Ilustración 40: Pérdidas de Inserción en modo diferencial (1000Base-T1).....	44
Ilustración 41: Pérdidas de Inserción en modo diferencial (2.5 Gbps).....	44
Ilustración 42: Modelo CMC.....	44

Ilustración 43: Pérdidas de Inserción en modo diferencial de CMC (2.5 Gbps)	45
Ilustración 44: Modelo AFE.....	45
Ilustración 45: Pérdidas de Inserción en modo diferencial de CMC (100Base-T1)	46
Ilustración 46: Pérdidas de Inserción en modo diferencial de CMC (1000Base-T1)	46
Ilustración 47: Pérdidas de Inserción en modo diferencial de CMC (2.5 Gbps)	46
Ilustración 48: Uso de Hubs USB	48
Ilustración 49: Esquema de puntos de prueba.....	50
Ilustración 50: Ventana de testeo USB-TX.....	50
Ilustración 51: Resultados del test	51
Ilustración 52: Modelo CST del receptáculo USB	53
Ilustración 53: Pérdidas diferenciales de inserción para H = 1.24 mm	53
Ilustración 54: Pérdidas diferenciales de inserción para T = 0.15 mm.....	54
Ilustración 55: Conversión modo diferencial a modo común para H = 1.24 mm.....	54
Ilustración 56: Conversión modo diferencial a modo común para T = 1.24 mm	55
Ilustración 57: Esquema de FPD Link.....	55
Ilustración 58: TDR con señalización diferencial	56
Ilustración 59: TDR con señalización de terminación única	56
Ilustración 60: Pérdidas de retorno en señalización de terminación única	57
Ilustración 61: Pérdidas de retorno en señalización de terminación única	57
Ilustración 62: Pérdidas de inserción en señalización de terminación única	57
Ilustración 63: Pérdidas de inserción en señalización diferencial	58
Ilustración 64: Técnicas para reducir las EMI	58
Ilustración 65: Técnicas que aumentan las EMI	58
Ilustración 66: Via Stub.....	59
Ilustración 67: Modulación PAM4 [29].....	59
Ilustración 68: Arquitectura de dominio vs arquitectura de zona [33]	60
Ilustración 69: De-énfasis	64
Ilustración 70: De-énfasis y pre-shoot.....	64
Ilustración 71: Diagrama de ojo en todo el canal.....	65
Ilustración 72: Diagrama de ojo en transmisión.....	65
Ilustración 73: Diagrama de ojo en recepción sin ecualizar (izda.) y ecualizado (dcha.)	66
Ilustración 74: Formas de onda de los presets.....	66
Ilustración 75: Máscara	67
Ilustración 76: Efecto de la variación de la capacitancia de entrada en el margen de tiempo.....	68
Ilustración 77: Efecto de la variación de la impedancia en el margen de tiempo.....	69
Ilustración 78: Efecto de la variación del espaciado entre líneas de transmisión en el margen de tiempo ...	69
Ilustración 79: Diseños de PDN	70
Ilustración 80: SSTL.....	70
Ilustración 81: PODL	71
Ilustración 82: Correlación en amplitud y fase en DDR3 mediante el VNA.....	72
Ilustración 83: Correlación para single bit y step response.....	72
Ilustración 84: Correlación del diagrama de ojo para PRBS	72
Ilustración 85: Estructura de la línea strip line	73
Ilustración 86: Modelo circuital del <i>crossstalk</i>	73
Ilustración 87: Ojo antes de eliminar el ruido	75

Ilustración 88: Ojo con ruido eliminado	75
Ilustración 89: Longitud de la línea = 50 mm	75
Ilustración 90: Longitud de la línea = 100 mm	75
Ilustración 91: Longitud de la línea = 150 mm	76
Ilustración 92: Rutado JOG	76
Ilustración 93: Ojo a 2133 Mbit/s	77
Ilustración 94: Ojo a 2400 Mbit/s	77
Ilustración 95: Ojo a 2666 Mbit/s	77
Ilustración 96: Ojo a 3200 Mbit/s	77
Ilustración 97: Adaptación de impedancias	77
Ilustración 98: Placa estudiada	78
Ilustración 99: Diagrama de ojo sin tener en cuenta efectos de la potencia	78
Ilustración 100: Diagrama de ojo teniendo en cuenta efectos de la potencia	79
Ilustración 101: SSN	79
Ilustración 102: Resultados de la simulación de <i>crosstalk</i>	80
Ilustración 103: Keysight UXR0104A	81
Ilustración 104: Asistente de estimación de <i>crosstalk</i>	82
Ilustración 105: VNA E5080A	82
Ilustración 106: Utilización de sonda de voltaje	83
Ilustración 107: Utilización de sonda de corriente	83
Ilustración 108: Utilización de sondas de transferencia de potencia	83
Ilustración 109: Sonda Keysight MX0021A (I)	84
Ilustración 110: Sonda Keysight MX0021A (II)	84
Ilustración 111: Conector SMA PCB Type	85
Ilustración 112: Conector SMA PCB Type, right angle	85
Ilustración 113: Conector SMA edge mount	85
Ilustración 114: Cable BNC	85
Ilustración 115: Correa para evitar electricidad estática	86
Ilustración 116: Diagrama ojo con DCD	87
Ilustración 117: Diagrama ojo con ISI	87
Ilustración 118: Diagrama con ruido aleatorio	87
Ilustración 119: Esquema de conexionado	88
Ilustración 120: Set Up medidas	88
Ilustración 121: Esquema acoplador ZFDC-15-5	89
Ilustración 122: Esquema acoplador ZFDC-15-5/ZFDC-10-5	89
Ilustración 123: Rise time [60]	90
Ilustración 124: Pines USB de la Arduino UNO	91
Ilustración 125: Conector USB Arduino	91
Ilustración 126: Esquemático Arduino UNO	91
Ilustración 127: Medida de USB 2.0 (Sonda)	92
Ilustración 128: Medida de USB 2.0 Full Speed	92
Ilustración 129: Tarjeta USB de fabricación propia	92
Ilustración 130: Medición	93
Ilustración 131: Esquemático placa (punto de medida en verde claro)	93
Ilustración 132: Par diferencial USB (negativo)	93

Ilustración 133: Par diferencial USB (positivo)	94
Ilustración 134: Ejemplo de TDR	94
Ilustración 135: Reflexión	95
Ilustración 136: Cortocircuito	96
Ilustración 137: Aliasing.....	96
Ilustración 138: Compliance test modes de 1000BASE-T1.....	97
Ilustración 139: Modo test 1 de 1000Base-T1.....	97
Ilustración 140: Medición de Automotive Ethernet 1000Base-T1	97
Ilustración 141: Señal de 1000Base-T1 en modo de test 1	98
Ilustración 142: Modo de conexión de la prueba 1 del modo 1 de test	98
Ilustración 143: Modo de conexión de la prueba 2 del modo 1 de test	99
Ilustración 144: Modo de conexión de la prueba 3 del modo 1 de test	99
Ilustración 145: Modo test 2 de 1000Base-T1.....	99
Ilustración 146: Modo de conexión de las pruebas del modo 2	99
Ilustración 147: Señal esperada en.....	100
Ilustración 148: Señal modo de test 2	100
Ilustración 149: Montaje del modo 4	100
Ilustración 150: Modo test 5 de 1000Base-T1.....	101
Ilustración 151: Modo de conexión de las pruebas del modo 5	101
Ilustración 152: Señal esperada en modo de test 6	101
Ilustración 153: Señal en modo 5 de test	102
Ilustración 154: Máscara de densidad espectral	102
Ilustración 155: Señal esperada en modo 6 de test	103
Ilustración 156: Señal en modo de prueba 6.....	103
Ilustración 157: Diagrama de ojo en modo de test 2	107
Ilustración 158: Mask test	107
Ilustración 159: Mask Test (II)	107
Ilustración 160: FFT	108
Ilustración 161: Parámetros análisis DEP	108
Ilustración 162: Droop test.....	109
Ilustración 163: Cálculo de <i>droop</i> [67]	110
Ilustración 164: Altura y anchura del ojo	112
Ilustración 165: <i>Rise Time</i>	112
Ilustración 166: Tarjeta de fabricación propia	113
Ilustración 167: Medición tarjeta propia (I)	114
Ilustración 168: Medición tarjeta propia (II)	114
Ilustración 169: Retardos teóricos en TDR	116
Ilustración 170: Reflexión en circuito abierto	118
Ilustración 171: Reflexión con carga adaptada	119
Ilustración 172: Comparativa terminación en circuito abierto (rojo) y con terminación en carga adaptada (amarillo) en path 1	120
Ilustración 173: Comparativa terminación en circuito abierto (rojo) y con terminación en carga adaptada (amarillo) en path 2	124
Ilustración 174: Cálculo de ϵ relativa efectiva en la PCB.....	128
Ilustración 175: Iteración I de la prueba de modo de test 5	142

Ilustración 176: Iteración II de la prueba de modo de test 5	142
Ilustración 177: Iteración III de la prueba de modo de test 5	143
Ilustración 178: Iteración IV de la prueba de modo de test 5	143
Ilustración 179: Iteración V de la prueba de modo de test 5	144

Lista de tablas

Tabla 1: Parámetros TDR del cabezal de prueba MDI	35
Tabla 2: Parámetros TDR del cable	35
Tabla 3: Parámetros de VNA para medida de Coupling Attenuation	37
Tabla 4: Resultados de pruebas de BER	39
Tabla 5: Versiones Automotive Ethernet	40
Tabla 6: Valores de modelo LPF	43
Tabla 7: Valores de modelo CMC	45
Tabla 8: Valores de modelo CMT	45
Tabla 9: Papers Automotive Ethernet	46
Tabla 10: Versiones USB	49
Tabla 11: Patrones para testear el transmisor	49
Tabla 12: Requerimientos USB 3.0 SuperSpeed	49
Tabla 13: Comparativa papers USB	55
Tabla 14: Versiones PCIe [34]	61
Tabla 15: Comparación entre protocolos de buses para el automóvil [36]	61
Tabla 16: Presets del estándar PCIe Gen 3.0	63
Tabla 17: Altura y anchura del ojo en diferentes presets	63
Tabla 18: Versiones DDR	67
Tabla 19: Parámetros de diseño de la PDN	70
Tabla 20: Codificación DBI	71
Tabla 21: Correlación simulación/realidad	72
Tabla 22: Parámetros de la PCB	74
Tabla 23: Parámetros de la primera simulación	74
Tabla 24: Comparación de longitud de las líneas de transmisión	75
Tabla 25: Comparación de la separación entre líneas de transmisión	76
Tabla 26: Resultados de variar la separación entre líneas	76
Tabla 27: Comparación de la separación entre transmission rates	76
Tabla 28: Simulación antes y después de adaptar la carga	78
Tabla 29: Comparación papers DDR4	80
Tabla 30: Comparativa de modelos de osciloscopios	81
Tabla 31: Requerimientos de <i>rise time</i> en USB 2.0 [59]	90
Tabla 32: Comparativa test 1000Base-T1	104
Tabla 33: Resultado de medidas 1000Base-T1 modo de test 1	105
Tabla 34: Resultado de medidas 1000Base-T1 modo de test 2	106
Tabla 35: Cálculo de <i>droop</i> negativo	111
Tabla 36: Cálculo del <i>droop</i> positivo	111
Tabla 37: Resultado de medidas USB 2.0 Full Speed Arduino Uno	113
Tabla 38: Resultado de medidas USB 2.0 Full Speed tarjeta de fabricación propia	115
Tabla 39: Comparativa de la integridad entre distintos protocolos	129
Tabla 40: Matriz de probabilidad-impacto	130
Tabla 41: Costes	134
Tabla 42: Gastos	134
Tabla 43: Amortizaciones	134

Tabla 44: Coste total..... 135

Lista de ecuaciones

Ecuación 1: Screening attenuation	38
Ecuación 2: Unbalanced attenuation	38
Ecuación 3: Coupling attenuation	38
Ecuación 4: Pérdidas de retorno	62
Ecuación 5: Pérdidas de inserción	62
Ecuación 6: Ruido inducido	70
Ecuación 7: Impedancia característica	73
Ecuación 8: Coeficiente de reflexión	73
Ecuación 9: NEXT	74
Ecuación 10: FEXT	74
Ecuación 11: Matriz de parámetros S de un acoplador direccional [52].....	84
Ecuación 12: Coeficiente de reflexión	95
Ecuación 13: Impedancia de la línea	95
Ecuación 14: Resolución TDR.....	95
Ecuación 15: Máscara superior	102
Ecuación 16: Máscara inferior	103
Ecuación 17: <i>Droop</i> [67]	110
Ecuación 18: Retardo de propagación.....	127
Ecuación 19: Retardo de propagación de conexión VNA - PCB.....	127
Ecuación 20: Retardo de propagación de conector SMA.....	127
Ecuación 21: Retardo de propagación de latiguillo	127
Ecuación 22: Retardo de propagación de PCB	128

Lista de gráficos

Gráfico 1: S31 en escala logarítmica.....	89
Gráfico 2: PSD en modo de test 5.....	109
Gráfico 3: Droop test: señal.....	110
Gráfico 4: Señal desde cruce con cero + 4 ns hasta cruce con cero + 12 ns	110
Gráfico 5: S11(dB) con terminación en circuito abierto.....	117
Gráfico 6: S11(dB) con terminación en circuito abierto (detalle)	117
Gráfico 7: S11(dB) con terminación en carga adaptada.....	118
Gráfico 8: S11(dB) con terminación en carga adaptada (detalle)	119
Gráfico 9: S11(dB) con terminación en circuito abierto.....	120
Gráfico 10: S11(dB) con terminación en circuito abierto (detalle)	121
Gráfico 11: S11(dB) con terminación en carga adaptada.....	121
Gráfico 12: S11(dB) con terminación en carga adaptada (detalle)	122
Gráfico 13: S11(dB) con terminación en circuito abierto.....	122
Gráfico 14: S11(dB) con terminación en circuito abierto (detalle)	123
Gráfico 15: S11(dB) con terminación en carga adaptada.....	123
Gráfico 16: S11(DB) con terminación en carga adaptada (detalle).....	124
Gráfico 17: S11(dB) con terminación en circuito abierto.....	125
Gráfico 18: S11(dB) con terminación en circuito abierto (detalle)	125
Gráfico 19: S11(dB) con terminación en carga adaptada (detalle)	126
Gráfico 20: S11(dB) con terminación en carga adaptada (detalle)	126

Acrónimos empleados

Acrónimo	Significado
ADAS	Advanced Driver Assistant System
ADS	Advanced Design System
AI	Artificial Intelligence
AWG	Arbitrary Waveform Generator
BER	Bit Error Rate
BERT	Bit Error Rate Tester
BUJ	Bounded Uncorrelated Jitter
CAN	Controller Area Network
CCCS	Current Control Current Source
CMC	Common-Mode Choke
CMT	Common Mode Termination
CRC	Cyclic Redundancy Check
CRC	Cyclic Redundandancy Check
CSMA/CR	Carrier Sensing Multiple Access with Collision Resolution
CTLE	Continuous Time Linear Equalizer
DBI	Data Bit Inversion
DCD	Duty Cycle Distortion
DCE	Delayed Command Expansion
DDJ	Data Dependent Jitter
DDR4	Double Data Rate type 4
DEP	Densidad Espectral de Potencia
DFE	Decision-Feedback Equalization
DIMM	Dual In-line Memory Module
DJ	Deterministic Jitter
DLL	Data Link Layer
DUT	Device Under Test
EBG	Electromagnetic Band Gap
ECU	Electronic Control Units
EMI	Electromagnetic Interference
ESL	Equivalent Series Inductance
ESR	Equivalent Series Resistance
FEC	Forward Error Correct
FEXT	Far End Crosstalk
FFE	Feed-Forward Equalization
FGR	Fine Granularity Refresh
IBIS AMI	Input/output Buffer Information Specification Algoritmuc Modeling Interface
IC	Integrated Circuit
IEEE	Institute of Electrical and Electronic Engineers
ISI	Inter-Symbol Interference
JEDEC	Joint Electron Device Engineering Council
LCL	Longitudinal Conversion Loss
LCRC	Level Cyclic Redundancy Check
LIN	Local Interconnect Network
LPF	Low Pass Filter
LVDS	Low Voltage Differential Signaling
MAC	Media Access Control
MDI	Media-dependent Interface
MII	Media-independent interface
ML	Machine Learning
MOST	Media Oriented Systems Transport

NEXT	Near End Crosstalk
PAM4	Pulse Amplitude Modulation with 4 levels
PCB	Printed Circuit Board
PCD	Preemptive Command Drain
PCI	Peripheral Component Interconnect
PDN	Power Distribution Network
PI	Power Integrity
PJ	Periodic Jitter
PL	Physichal Layer
POD	Pseudo Open Drains
PODL	Pseudo-Open-Drain Logic
PRBS	Pseudo Random Binary Sequence
PSIJ	Power Supply Induced Jitter
QoS	Quality of Service
RJ	Random Jitter
RL	Return Loss
RMII	Real Media-Independent Interface
RT	Rise Time
SCSI	Small Computer System Interface
SI	Signal Integrity
SMA	SubMiniature version A
SPP	Shielded Parallel Pair
SSN	Simultaneous Switching Noise
SSO	Simultaneous Switching Output
SSTL	Stub-Series Terminated Logic
STP	Shielded Twisted Pair
TCU	Telematics Control Unit
TDR	Time Domain Reflectometer
TIE	Time Interval Error
TL	Transaction Layer
USB	Universal Serial Bus
UTP	Unshielded twisted-pair
V2V	Vehicle-to-vehicle
VNA	Vector Network Analyzer
VRM	Voltage Regulator Module

1. Introducción

La integridad de la señal es el campo de la ingeniería dedicado a analizar las conexiones eléctricas para optimizar el diseño, fiabilidad y rendimiento de sistemas. En un contexto de mayores velocidades en los buses de comunicación de los circuitos electrónicos, del orden de los gigabits por segundo, la integridad de la señal cobra especial relevancia para asegurar la ausencia de errores en la comunicación.

Los chips se montan en *Printed Circuit Boards* (PCBs), para después ser unidos mediante pistas de cobre a otras partes de la PCB. Los principales problemas de la integridad surgen debido a los puntos de conexión entre los elementos que se montan en las PCBs, porque pueden implicar cambios de impedancia. Para estudiar los cambios bruscos en la impedancia del circuito es necesario definir una impedancia característica que sirva como referencia.

Para caracterizar una discontinuidad cabe la posibilidad de simular dicha discontinuidad, aunque también es posible realizar una medición de reflectometría en el tiempo (*Time Domain Reflectometry*) o TDR. Teniendo en cuenta esto, en este trabajo se realiza un análisis de la continuidad de la impedancia y por otro lado un análisis de la integridad de la señal mediante el uso de diagramas de ojo sobre distintos protocolos de comunicaciones.

Por último, técnicas ampliamente utilizadas hoy en día como las vías (conexiones verticales entre las distintas capas de la PCB) pueden suponer un gran problema para la integridad de la señal, por lo que queda remarcada la importancia que tiene la integridad de la señal en el contexto actual. Por estas razones se ha decidido realizar un análisis de la integridad de la señal en distintos protocolos, como pueden ser Automotive Ethernet o USB.

2. Contexto

2.1 Buses de alta velocidad

Un bus es un canal compartido de datos construido a partir de conductores que conecta diferentes partes de un ordenador. Se compone de dos entidades: por una parte, tenemos el *master* del bus, encargado de iniciar y controlar la transferencia, y por otra parte tenemos el *slave* del bus, que es la unidad sobre la que se realiza la transferencia de información. Estos roles no son fijos y pueden intercambiarse durante diferentes transferencias de información, pasando el *master* de una transferencia a ser el *slave* de otra o viceversa.

Se denomina arbitraje al proceso mediante el cual se otorga acceso al bus siguiendo una jerarquía de prioridades. De esta forma, evitaremos que varias unidades accedan al bus de forma simultánea. Este arbitraje puede ser centralizado (una única entidad se encarga de todo el proceso) o distribuido (en control de acceso al bus se realiza entre varias partes).

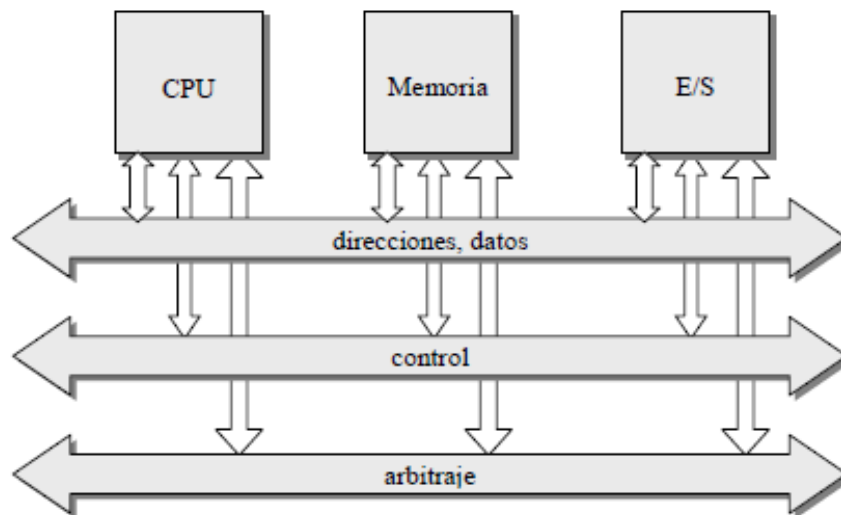


Ilustración 1: Esquema de líneas de un bus de datos

Como puede verse en la Ilustración 1, las líneas de un bus pueden ser **de información básica, de control o de arbitraje**.

- **De información básica:** se clasifican, a su vez, en líneas de direcciones (determinan la unidad que toma el rol de esclava en la transferencia de información) y líneas de datos (transportan los propios datos que se desean transferir). Pueden emplearse líneas distintas para direcciones y datos, aunque también es habitual que se multiplexen en el tiempo.
- **De control:** son líneas empleadas al transporte de las órdenes que rigen la transferencia de información. Las líneas de escritura y lectura y las de sincronismo (*clock*, *reset*) se incluyen en esta categoría.
- **De arbitraje:** líneas destinadas al control del acceso al bus mediante un sistema de prioridades (petición, cesión, ocupación del bus)

Los parámetros importantes en un bus de datos son el ancho de banda (*throughput* máximo), la anchura del bus (número de líneas total), el ancho de datos (número de líneas específicas para datos) y la capacidad de conexión (máximo de dispositivos soportado por el bus).

En función de su modo de funcionamiento, los buses se pueden clasificar en buses síncronos, asíncronos o semisíncronos.

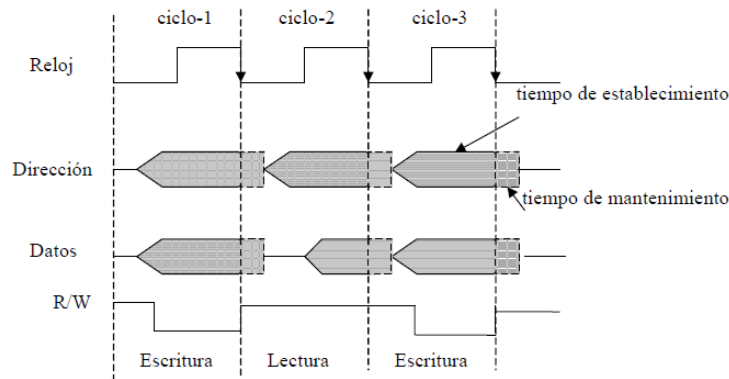


Ilustración 2: Funcionamiento de un bus síncrono

- **Buses síncronos:** Como puede verse en la Ilustración 2, el funcionamiento completo del bus viene determinado por un clock. La transferencia de información sucede en uno de los flancos del reloj. Cuentan con la desventaja de que no pueden conectar unidades con velocidades desconocidas o cuya velocidad es baja.

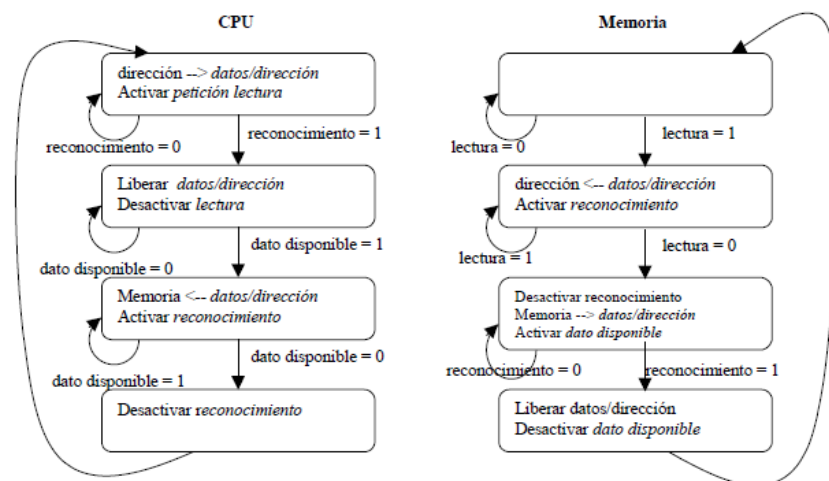


Ilustración 3: Funcionamiento de un bus asíncrono

- **Buses asíncronos:** en este tipo de buses el *master* se comunica con el *slave* utilizando un protocolo de *handshaking*. En esencia, el funcionamiento de un bus asíncrono se asemeja al de dos máquinas de estados en las que una no avanza hasta que la otra llega a un estado concreto, como puede verse en la Ilustración 3.

- **Buses semisíncronos:** en los buses semisíncronos también existe un reloj que determina cuándo se realizan las transferencias, como sucede en los buses síncronos. La diferencia con este último tipo de buses reside en que en el caso de los buses semisíncronos, además de la señal de *clock* existe una señal de espera (*wait*). El *slave* activa la señal de *wait* en el caso de que la transferencia vaya a durar más de un ciclo de reloj, permitiendo de esta forma que un dispositivo lento pueda utilizar el bus también. En el caso de un dispositivo rápido, esta señal no se activará, por lo que funcionará de forma análoga a un bus síncrono.

2.1.1 Protocolos de arbitraje

Como se ha explicado previamente, los protocolos de arbitraje son los encargados de que dos dispositivos no accedan a la vez al mismo bus, evitando así los problemas derivados de una posible colisión. A continuación, se describirán algunos de los protocolos de arbitraje más conocidos.

- *Daisy chaining* de dos señales

Emplea dos señales (petición y concesión) para realizar todo el arbitraje. La Ilustración 4 explica la situación en la que un *master* que quiere acceder al bus activa la señal de petición.

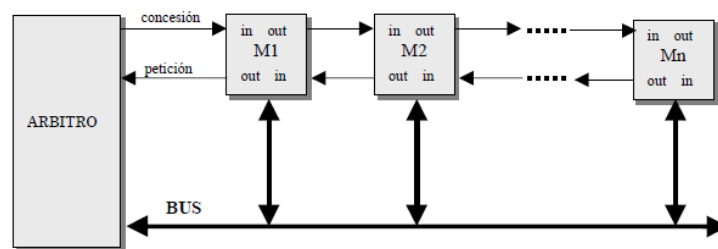


Ilustración 4: Esquema de protocolo de daisy chaining de dos señales

El siguiente *master* la recibe y la propaga hacia el siguiente *master*. De esta forma, esta señal se va propagando hasta que llega al árbitro. El árbitro activará en este momento la señal de concesión, que se propaga de vuelta por los *masters* hacia el *master* que solicitó el acceso al bus. Si alguno de estos *masters* estuviera accediendo al bus bloquearía la propagación de la señal de concesión, impidiendo que la señal de concesión llegue al solicitante original. Si ninguno de los *masters* encargados de propagar la señal de vuelta ha accedido al bus, la señal de concesión será propagada y el *master* podrá acceder bus. Se establece de esta forma una jerarquía entre los *masters*, donde tendrá una mayor prioridad quien esté más próximo al árbitro.

- *Daisy chaining* de tres señales

Este protocolo emplea una línea más que el protocolo presentado en el apartado anterior, la de ocupación.

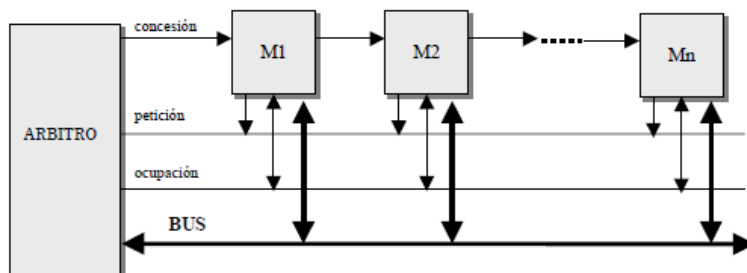


Ilustración 5: Esquema de protocolo de daisy chaining tres señales

Como vemos en la Ilustración 5, esta nueva línea de ocupación es compartida por todas las entidades, en contraposición a las de petición y concesión, que son encadenadas entre los *masters* distintos. Esta línea la activa, el *master* que toma el control del bus. El funcionamiento del proceso de petición y concesión es análogo al apartado anterior, con la salvedad de que en este protocolo de arbitraje el árbitro consulta que la línea de ocupación esté desactivada antes de enviar la señal de concesión al primero de los *masters*.

- *Daisy chaining* de cuatro señales

En este protocolo se añade una cuarta señal, la de reconocimiento.

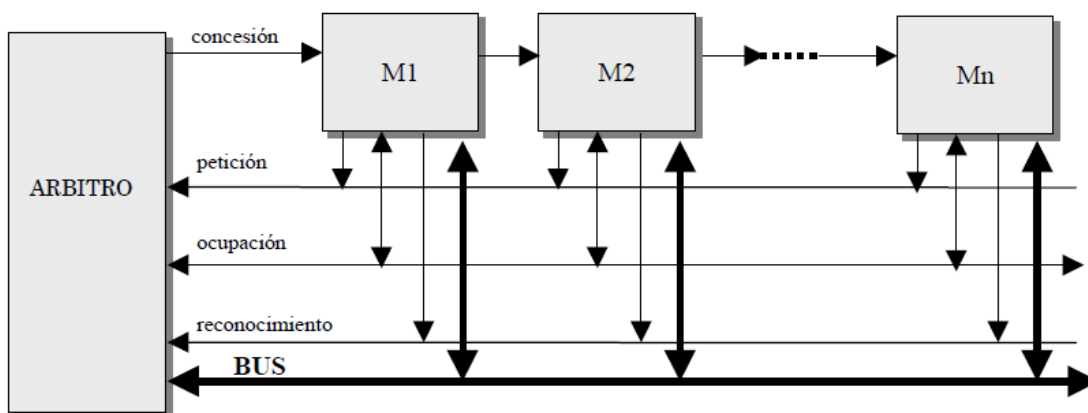


Ilustración 6: Esquema de protocolo de daisy chaining de cuatro señales

Mediante la adición de la línea de reconocimiento logramos que un bus pueda utilizar el bus y participar en el proceso de arbitraje del bus siguiente. Esta línea es activada por el *master* que recibe la concesión mientras la línea de ocupación estaba ocupada. Cuando el árbitro recibe la señal de reconocimiento deja de ocuparse de la señal de petición, por lo que deja de generar la señal de concesión. Cuando el ocupante del bus lo libere, desactivará la señal de ocupación, el *master* que había pedido acceso al bus lo ocupará y desactivará la señal de reconocimiento y activará la de ocupación.

- Concesión por encuesta (*polling*)

Este protocolo es similar al *daisy chaining* de tres señales. Sin embargo, la línea de concesión se sustituye por un conjunto de líneas para acceder a cada *master* de forma selectiva. Se muestra el esquema en la Ilustración 7.

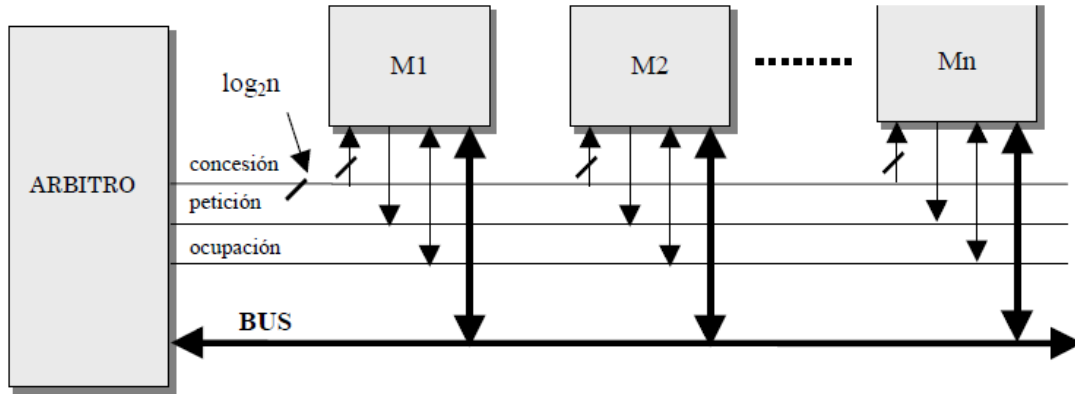


Ilustración 7: Esquema de protocolo con concesión por encuesta

- Protocolo con señales independientes

También se conoce como protocolo en estrella. Se caracteriza por emplear una línea de concesión para cada línea de petición.

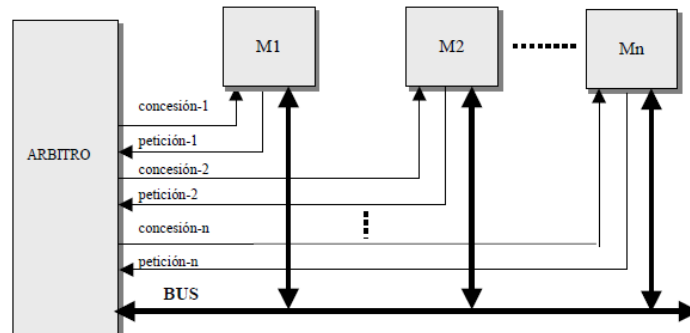


Ilustración 8: Esquema de protocolo con señales independientes

Cuenta con dos ventajas frente al resto: por una parte, puede emplear algoritmos de decisión distintos según convenga, y por otra, se reducen los retardos de propagación. Como desventaja, cabe destacar que es necesario un gran número de líneas de arbitraje (una por *master*).

2.2 Fenómenos que afectan a la integridad de la señal

A medida que las frecuencias de los *clocks* han ido aumentando la integridad de la señal ha cobrado una mayor relevancia. A partir de los 100 MHz entramos en régimen de alta frecuencia. A estas frecuencias aparecen los efectos de los conectores y por lo tanto la integridad de la señal puede empezar a verse comprometida. Dichos problemas pueden recaer en tres categorías: *timing*, ruido e interferencia electromagnética o *Electromagnetic Interference* (EMI) [1].

2.2.1 Crosstalk

Uno de los problemas de integridad de la señal más conocidos es el *crosstalk*. En este fenómeno, parte de la señal de un canal puede interferir al canal adyacente, que se acoplará a la señal de este canal en forma de ruido. Cabe destacar la existencia de dos tipos de *crosstalk*, el *Near-end crosstalk* (NEXT) y el *Far-end crosstalk* (FEXT).

- NEXT

Si el *crosstalk* se detecta en el mismo extremo donde se ha generado la señal se tratará de *crosstalk* de tipo NEXT. Creará un pico de una mayor duración y amplitud que el caso del FEXT y le sumará amplitud a la onda.

El NEXT era un problema en tecnologías como 10Base-T y 100Base-TX. En las tecnologías actuales, en cambio, se incorporan tecnologías de cancelación de NEXT. Además, el trenzado de los cables también ayuda a reducir el *crosstalk*.

- FEXT

Cuando el *crosstalk* se detecta en el extremo opuesto a donde la señal ha sido generada se tratará de *crosstalk* de tipo FEXT. El *crosstalk* de tipo FEXT creará un pico más corto, de menor amplitud debido a la mayor atenuación del cable y le restará amplitud a la onda, como muestra la Ilustración 10 [2].

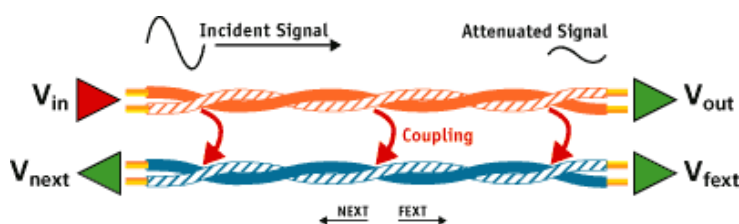


Ilustración 9: NEXT y FEXT [3]

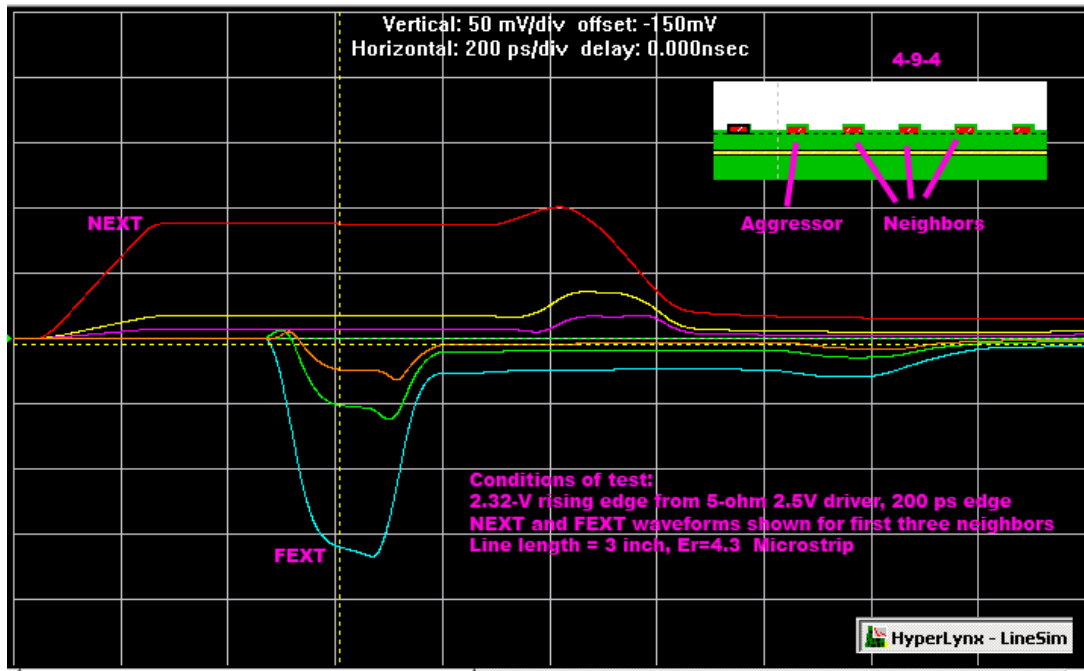


Ilustración 10: Forma de onda NEXT vs FEXT [4]

2.2.2 EMIs

Otro problema de integridad de la señal frecuente son las interferencias electromagnéticas. Estas son especialmente problemáticas en frecuencias de reloj de entre 100 MHz y 500 MHz, ya que los primeros armónicos de estas frecuencias se dan en frecuencias usadas para radio, televisión y comunicaciones móviles. La intensidad de las interferencias electromagnéticas es proporcional a la frecuencia, y la tecnología se está dirigiendo hacia *clocks* cada vez mayores, por lo que es especialmente importante contemplar esta problemática [1].

2.2.3 Jitter

La variación del *timing* de la señal recibida respecto a su valor nominal recibe el nombre de jitter. En función de su naturaleza se distinguen dos tipos de *jitter*: el jitter aleatorio o *random jitter* (RJ) y el jitter determinista o *deterministic jitter* (DJ). A su vez, el jitter determinista se clasifica en jitter periódico o *periodic jitter* (PJ), jitter dependiente de los datos o *data dependent jitter* (DDJ) y jitter acotado incorrelado o *bounded uncorrelated jitter* (BUJ). Es importante el análisis de todos estos tipos de jitter, ya que una buena caracterización de este contribuye a la disminución del BER (*Bit Error Rate*). A continuación, se describirán los diferentes tipos de jitter.

Jitter aleatorio

Es un tipo de jitter inevitable, pero perfectamente caracterizable. Es el resultado de la combinación de tres factores: el ruido térmico de los electrones, ruido shot y ruido rosa (inversamente proporcional a la frecuencia).

Jitter determinista

Se trata de un tipo de jitter no aleatorio y cuyo origen es el diseño del circuito. Dentro del jitter determinista hay varias categorías de jitter.

- Jitter periódico: puede ser correlado o incorrelado. Por ejemplo, una fuente de alimentación con un interruptor podría acoplarse al reloj del sistema. En este caso, el jitter producido sería incorrelado. En cambio, si una señal se acoplase a otra señal gobernada por el mismo reloj, se trataría de jitter correlado.
- Jitter dependiente de los datos
 - Distorsión del ciclo de trabajo: es la tendencia del sistema de que uno de los bits tenga una duración mayor al otro bit. Puede tener varias causas, como una diferencia entre el tiempo de subida y el de bajada o que el umbral de decisión entre el 0 y el 1 no esté centrado.
 - Interferencia entre símbolos: ocurre cuando hay una secuencia larga de unos o ceros. En este caso, el emisor puede tener cierto retardo para hacer la transición de un símbolo al opuesto. Puede estar causado por una limitación en el ancho de banda de transmisor, receptor o medio físico, o también por una desadaptación de impedancias [5].

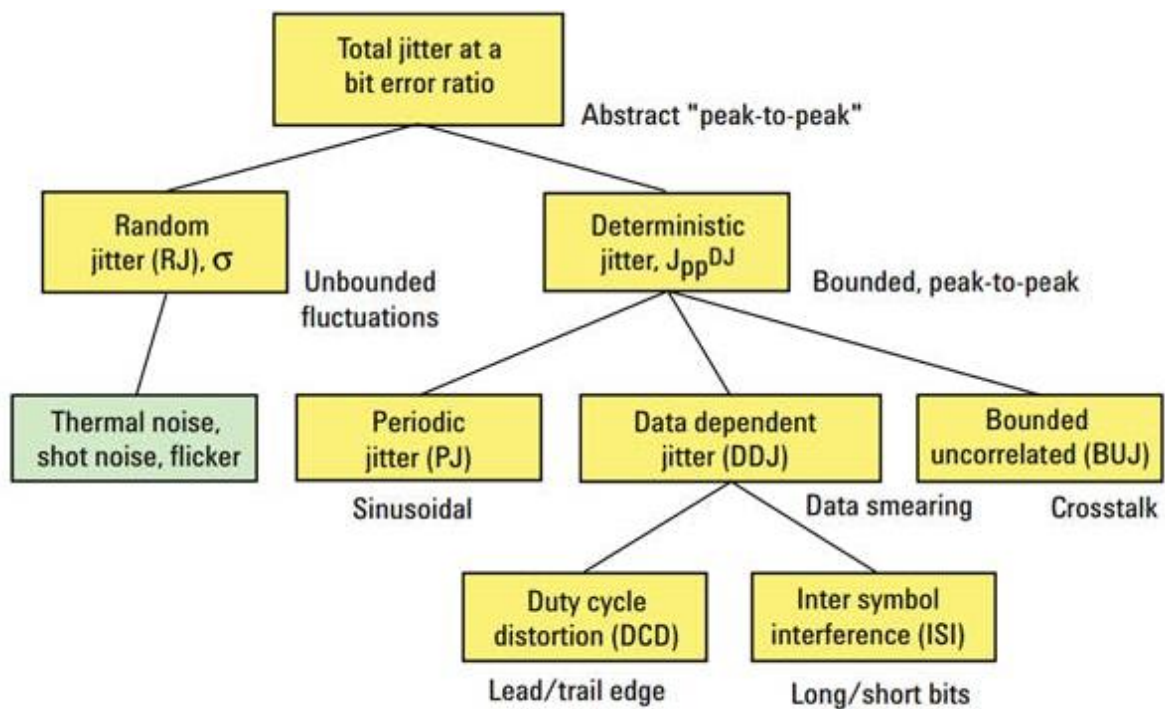


Ilustración 11: Esquema tipos de jitter

La forma del histograma estará relacionada con el origen del jitter. De esta forma, una distribución gaussiana estará asociada a un componente de jitter aleatoria (Ilustración 12).

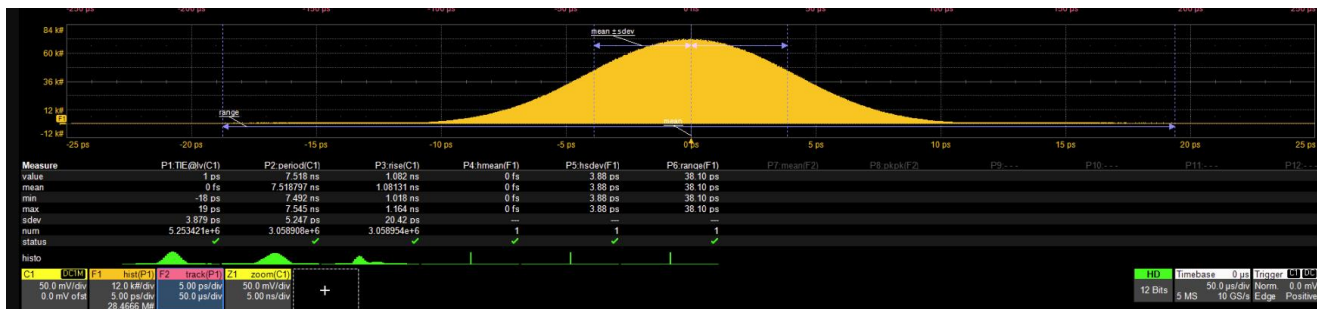


Ilustración 12: Histograma del jitter aleatorio

El jitter determinista, en cambio, provoca que la distribución adquiera otras formas. Por ejemplo, si se añade una señal sinusoidal al *clock* (es decir, jitter periódico), tendremos una distribución bimodal en el histograma del TIE (Ilustración 13) [6].

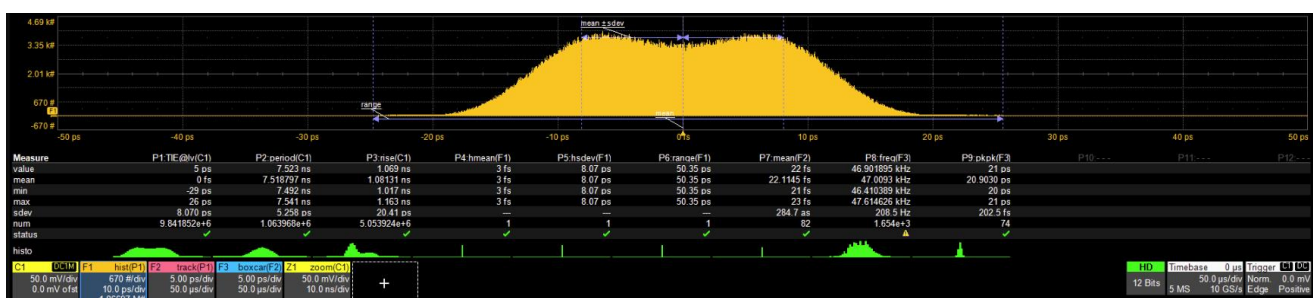


Ilustración 13: Histograma del jitter determinista

2.3 Metodologías de medida

El osciloscopio empleado incluye una serie de *test apps* mediante la que medir diferentes protocolos de forma fácil. Además, las *test app* mostrarán los resultados de las pruebas, calculando estadísticas y permitiendo exportar los resultados en formato .csv. También permite la comparación con los valores límite especificados en cada prueba, mostrando si la prueba ha sido superada o no. Se ha empleado la *test app* específica para Automotive Ethernet.

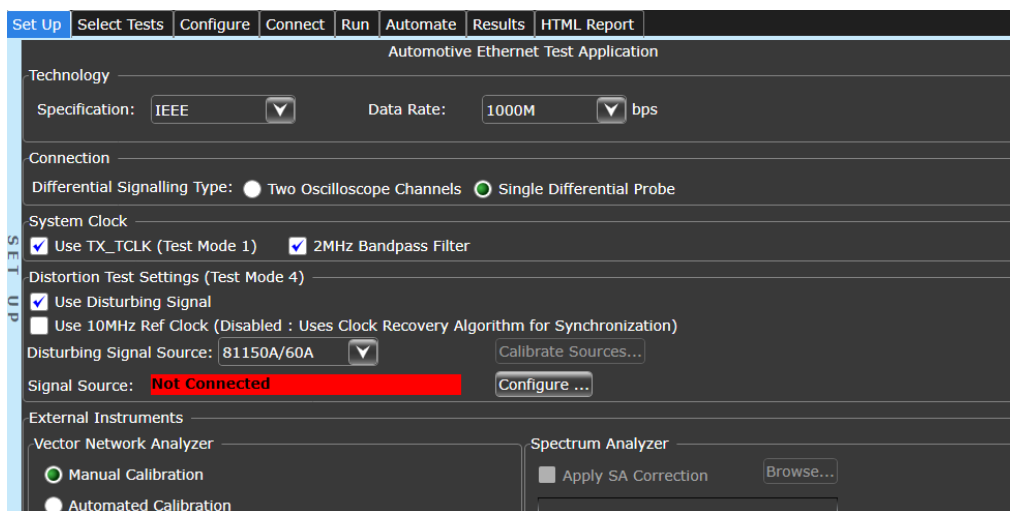


Ilustración 14: Parámetros de las medidas de Automotive Ethernet 100Base-T1 (I)

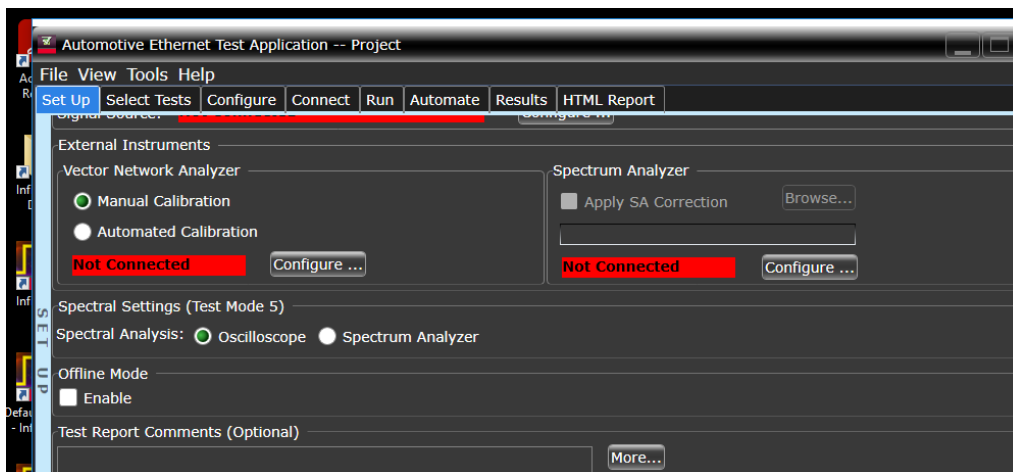


Ilustración 15: Parámetros de las medidas de Automotive Ethernet 1000Base-T1 (II)

Por otra parte, en la Ilustración 16 podemos ver un diagrama de ojo de ejemplo. Este diagrama de ojo es una herramienta muy útil para evaluar la integridad de la señal. Se trata de una representación de una señal digital muestreada de forma repetitiva con el objetivo de obtener una representación de su comportamiento.

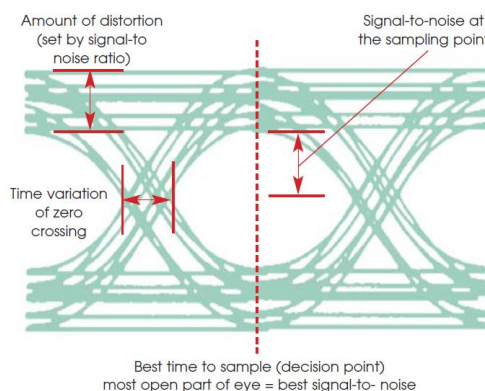


Ilustración 16: Construcción de un diagrama de ojo

La interpretación del diagrama de ojo es la siguiente: cuanto mayor sea el jitter temporal, más se moverá la señal en el eje horizontal, por lo que el diagrama de ojo estará más cerrado en el eje horizontal. Si la señal tiene una gran variabilidad en el eje vertical (ruido), en cambio, el diagrama se verá más cerrado en el eje vertical.

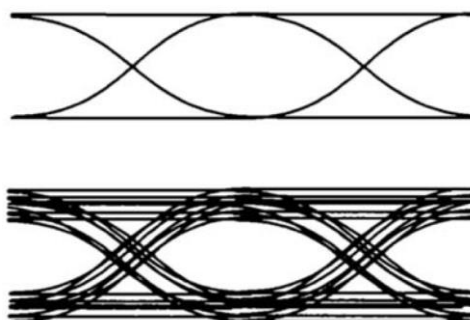


Ilustración 17: Diagrama de ojo óptimo (parte superior) y diagrama de ojo cerrado (parte inferior) de una comunicación analógica

Si la comunicación es digital el diagrama de ojo el diagrama tendrá unas líneas prácticamente rectas, como se puede apreciar en la Ilustración 18. Sin embargo, el funcionamiento de este será idéntico [7].



Ilustración 18: Diagrama de ojo óptico de una comunicación digital

Este apartado se completaría con los patrones típicos que se esperan ante diferentes tipos de distorsiones. Sin embargo, dado que estos patrones se han empleado en el análisis de resultados, se ha decidido incluir esta información en el apartado de metodología para facilitar la lectura del documento.

2.4 Técnicas de mejora de la integridad de la señal

Existen dos técnicas para abrir el diagrama de ojo sin tener que hacer cambios en el circuito, que se detallan a continuación:

2.4.1 Ecuación

Es el proceso de ajuste de las componentes frecuenciales con el objetivo de proporcionar una respuesta frecuencial lo más plana posible. Contribuye a reducir los efectos del *Intersymbol Interference* (ISI) y del ruido, mejorando la demodulación [8].

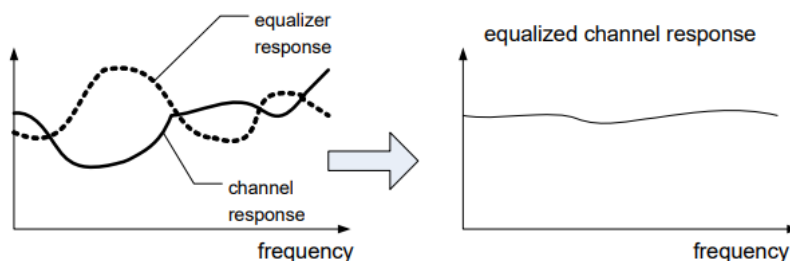


Ilustración 19: Proceso de ecualización

2.4.2 Embedding/de-embedding

El *de-embedding* es el proceso de eliminar los efectos de una parte del circuito (cables, conectores...). El *embedding*, en cambio, trata de estudiar los efectos que tendría la integración de nuevos elementos en el circuito, por lo que sirve para simular pérdidas y también para validar el circuito. Para llevar a cabo cualquiera de ambos procesos podemos usar el modelo de parámetros S del circuito a añadir/eliminar, que se puede obtener midiéndolo mediante un *Vector Network Analyzer* (VNA) o un *Time Domain Reflectometer* (TDR), aunque también mediante simulación en el *software* de *Keysight Advanced Design System* (ADS) [9].

3. Objetivos y alcance del trabajo

El objetivo principal de este TFM es analizar la integridad de la señal en distintos protocolos utilizados en tarjetas PCB, concretamente Automotive Ethernet y USB.

Además, el proyecto cuenta con varios objetivos adicionales:

- Realizar un estado del arte adecuado de los protocolos empleados en tarjetas PCB
- Identificar los requisitos en cuanto a la integridad de la señal de cada protocolo
- Realización de pruebas de validación de un conjunto de circuitos PCB conforme a los requisitos anteriores
- Validar los resultados con los obtenidos mediante la simulación y verificar las restricciones marcadas por el protocolo en estudio

4. Beneficios

El análisis de la integridad de la señal conlleva una gran cantidad de beneficios a muchos niveles.

4.1 Beneficios técnicos

En cuanto a los beneficios técnicos, se podrá conocer la degradación de la señal en un circuito impreso en términos de jitter (variabilidad de la fase de la señal) y en términos de amplitud, comprobando además que se cumplan las restricciones impuestas por los organismos que regulan los protocolos que se han analizado. Esto redundará en mejores diseños en las PCB tanto de consumo del público general como los utilizados a nivel industrial. Además, se realizará una comparativa entre las distintas metodologías (test de *compliance* y mediciones tradicionales).

4.2 Beneficios económicos

La optimización en el diseño de las PCB que conlleva el presente análisis tendrá también una repercusión económica positiva. Por ejemplo, un diseño de PCB optimizado para garantizar la integridad de la señal tendrá una tasa de devoluciones menor debido a que tendrá una menor tasa de fallos. Si nos dedicamos a diseños industriales, ofrecer placas con un mejor funcionamiento mantendrá al cliente satisfecho y confiará en nuestra empresa la próxima vez que necesite un producto de este tipo.

4.3 Beneficios sociales

Un diseño con un menor jitter puede redundar también en beneficios sociales. Por ejemplo, en elementos críticos como pueden ser maquinaria de quirófano o señales de tráfico, un error en una PCB puede provocar una pérdida de vidas humanas. En la misma línea, garantizando la integridad de la señal de un circuito podríamos, por ejemplo, realizar operaciones con una mayor precisión que quizás de otra forma serían irrealizables o de un alto riesgo de complicaciones, o prevenir accidentes de trabajo en casos de manejo de maquinaria pesada, por ejemplo.

5. Análisis del estado del arte

Este trabajo va a centrar su análisis en los protocolos de buses de alta velocidad Automotive Ethernet, USB, FPD Link III, PCIe y DDR4.

5.1 Automotive Ethernet

A pesar de la existencia de protocolos específicos para las comunicaciones en vehículos como Media Oriented Systems Transport (MOST), FlexRay, Controller Area Network (I), Local Interconnect Network (LIN) y Low Voltage Differential Signaling (LVDS) está posicionando como buen candidato para ser el estándar para comunicaciones en la industria automovilística gracias a su escalabilidad y gran ancho de banda. Automotive Ethernet, el estándar específico para el sector del automóvil, tiene la intención de conectar sistemas como el *Advanced Driver Assistant System* (ADAS), la navegación/posicionamiento, multimedia y conectividad. Además, se prevé que Ethernet sea una parte fundamental en la arquitectura para enlazar la electrónica de los vehículos con la infraestructura de internet.

Automotive Ethernet utiliza el mismo mecanismo que Ethernet para transportar los mensajes, por lo que libera a los componentes físicos de dicha complejidad, consiguiendo además un sistema de direccionamiento estandarizado. Esto es muy ventajoso a la hora de conectar el vehículo a internet.

Una de las razones de la existencia de una variante de Ethernet es la eliminación de líneas, eliminando peso y además reduciendo posibles interferencias electromagnéticas y el coste. Además, las regulaciones del sector del automóvil requieren de una gran inmunidad frente al ruido electromagnético [10].

En [11] se presenta una simulación mediante CST PCB Studio, una herramienta incluida dentro de CST Studio Suite que simula una reflectometría en el dominio del tiempo.

Reduced Media-Independent Interface (RMII) es un interfaz de 100 Mbps con un *clock* de 50 MHz y un número reducido de pines (8 pines). Debido a la alta frecuencia del *clock* las emisiones electromagnéticas son también notorias.

Para realizar las simulaciones, el primer paso fue importar el *layout* del PCB incluyendo componentes, capas y redes. A continuación, se definieron las capas que forman la PCB. En este caso se emplearon 6 capas de cobre, y el espacio entre ellas está relleno de FR4. Este material recibe su nombre de la norma que cumple. FR son las siglas de *flame retardant*, lo que indica que es un material adecuado para su uso en entornos automovilísticos debido que cumple los requisitos de las normas en cuanto a combustión. Sus buenas propiedades mecánicas también lo posicionan como un buen material en esta misma industria [12].

Se evaluaron los circuitos IC7901 e IC5000 para voltajes de 3.3V, 2.9V y 3.6V utilizando modelos IBIS. Se simularon dos situaciones: escritura desde el IC 7901 al IC5000 (donde se evaluaron las señales en IC5000) y escritura desde el IC5000 al IC7901 (en cuyo caso se evaluaron las señales en IC7901).

Los voltajes de IC5000 mostraron que el comportamiento se correspondió con el esperado, como se muestra en la Ilustración 20.

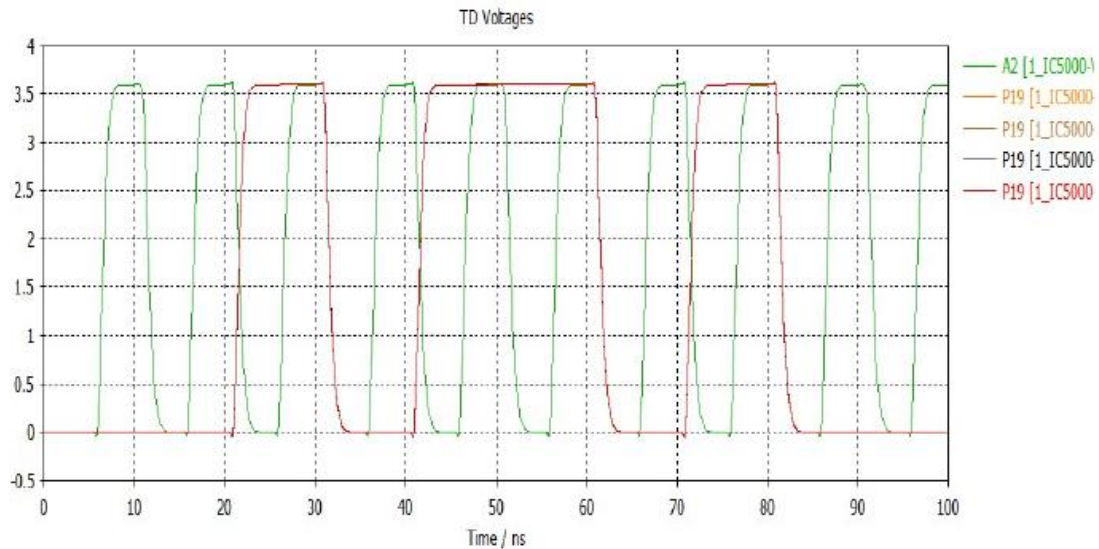


Ilustración 20: Voltajes en el circuito IC5000

En el circuito IC7901, en cambio, sí que se pudo apreciar undershoot y overshoot, por lo que la integridad de la señal se vio afectada en este caso.

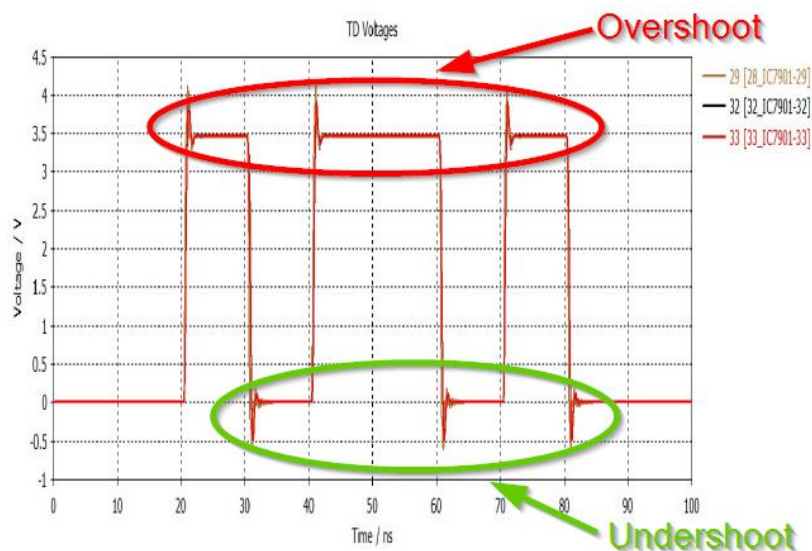


Ilustración 21: Simulación IC 7901 con undershoot y overshoot

Para solucionar los problemas de undershoot y overshoot se realiza un análisis paramétrico de las diferentes resistencias conectadas a los pines del circuito integrado, llegándose a la conclusión de que conectar resistencias de 25Ω en los pines 29 y 33 y una de 50Ω en el pin 32 solucionaría esta problemática.

Otro de los proyectos incluyó una reflectometría en el dominio del tiempo para estudiar las reflexiones en las líneas de transmisión de las PCB. En este caso se tiene un objetivo de impedancia de 100Ω entre el circuito integrado IC200 y el conector X600. Los pines del circuito IC 200 se conectan a resistencias de altos valores óhmicos, mientras que el conector X600 se conectan a un puerto diferencial, como se muestra en la figura a continuación.

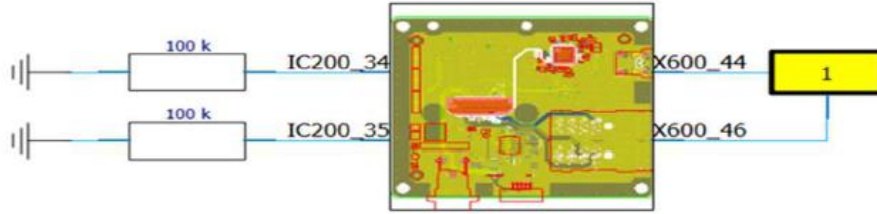


Ilustración 22: Conexión para la reflectometría

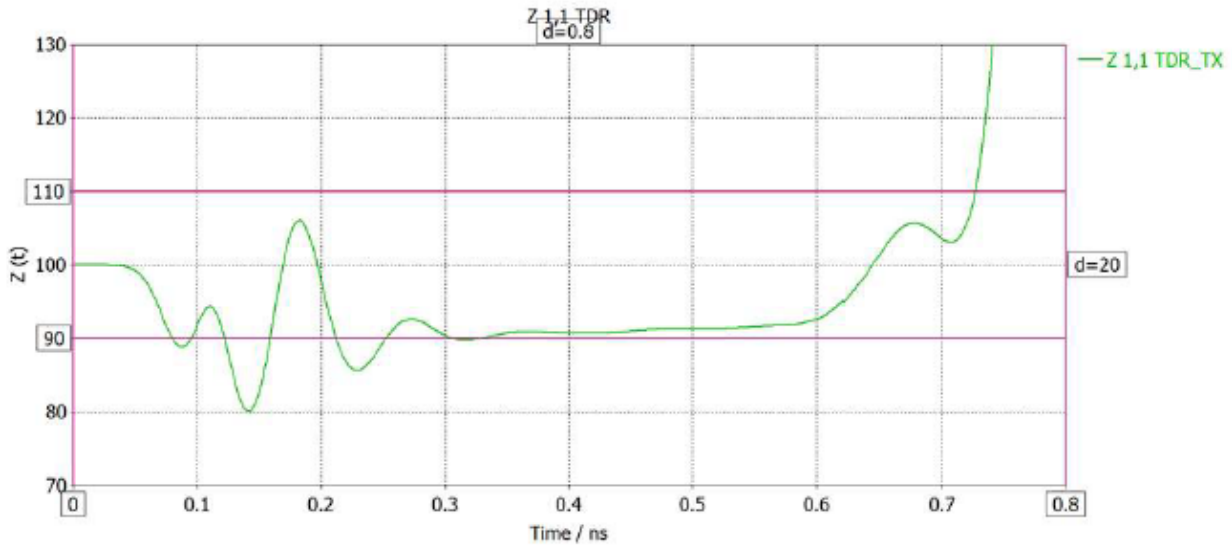


Ilustración 23: Resultados de la reflectometría

En la Ilustración 23 se muestran los resultados de la reflectometría en el dominio del tiempo. La señal obtenida en la reflectometría resultó estar demasiado próxima al límite inferior marcado, por lo que se decidió modificar el *layout*. La modificación realizada consistió en incrementar la distancia entre caminos desde 100 μm hasta 250 μm . Con esta mejora se consiguieron mejores resultados en la reflectometría.

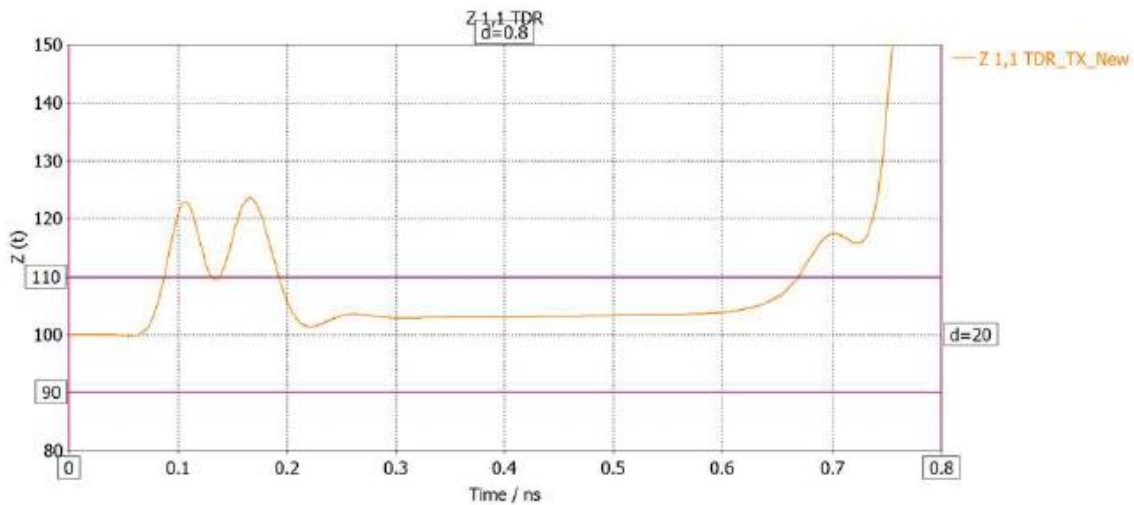


Ilustración 24: Resultados de la reflectometría tras mejora en el *layout*

En [13] se estudió la integridad de los cables *Shielded Twisted Pair (STP)* y *Shielded Parallel Pair (SPP)*, utilizando para ello los parámetros S de modo mixto para frecuencias de hasta 8GHz.

Para conectar los cables STP y SPP testados se utilizaron adaptadores con un bajo nivel de pérdidas de inserción y una buena adaptación. Para ello se realizó una TDR mediante un VNA para comprobar que la adaptación era correcta. En dicha TDR se observó que la impedancia del modo diferencial estaba dentro del rango de tolerancia de $\pm 5\%$. El VNA fue calibrado y validado.

Primeramente, se caracterizó el cabezal de prueba MDI. Para ello se realizó una TDR con los parámetros que aparecen en la Tabla 1.

Rango de frecuencia	10 MHz – 20 GHz
Tipo de barrido	Lineal
<i>Sweep points</i>	2000
Output power	0 dBm
Measurement Bandwidth	1 kHz
Differential mode port impedance	100 Ω

Tabla 1: Parámetros TDR del cabezal de prueba MDI

Se muestran los resultados de la TDR en la Ilustración 25.

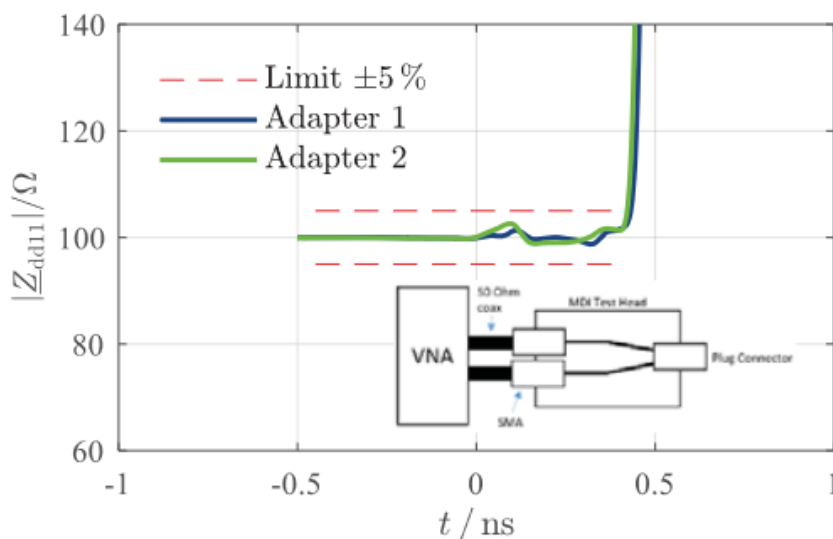


Ilustración 25: Resultados de la TDR del cabezal de prueba MDI

Después de medir el cabezal se caracterizaron los cables STP y SPP. Se utilizaron los siguientes parámetros:

Rango de frecuencia	1 MHz – 8 GHz
Tipo de barrido	Logarítmico
<i>Sweep points</i>	2001
Output power	0 dBm
Measurement Bandwidth	100 Hz
Differential mode port impedance	100 Ω
Common mode port impedance	25 Ω

Tabla 2: Parámetros TDR del cable

Se midieron los parámetros S de modo mixto de las líneas STP y SPP, prestando atención a las secciones adyacentes de las líneas de transmisión de forma que no hubiera ningún acoplamiento. Se midió S_{dd11} , es decir, las pérdidas de retorno en cables de 1 m (Ilustración 26) y 10 m de longitud (Ilustración 27).

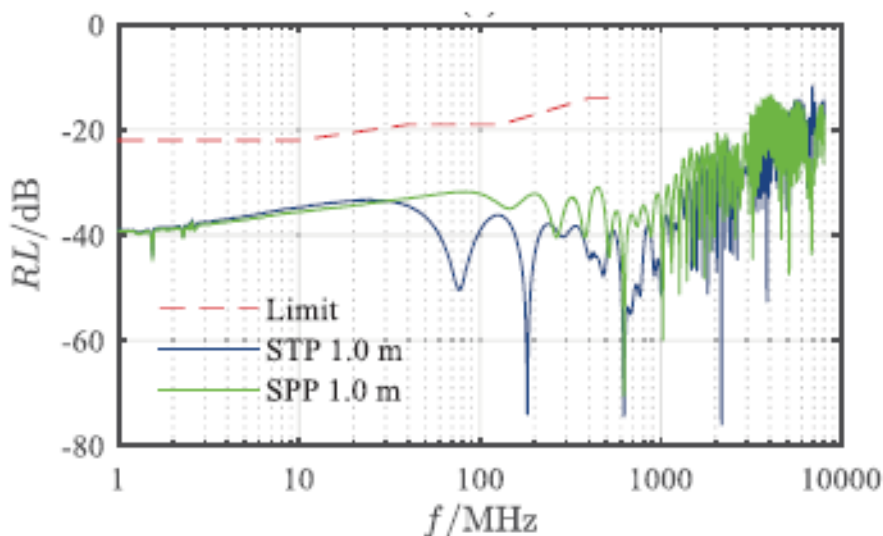


Ilustración 26: Pérdidas de retorno (cable de 1 m)

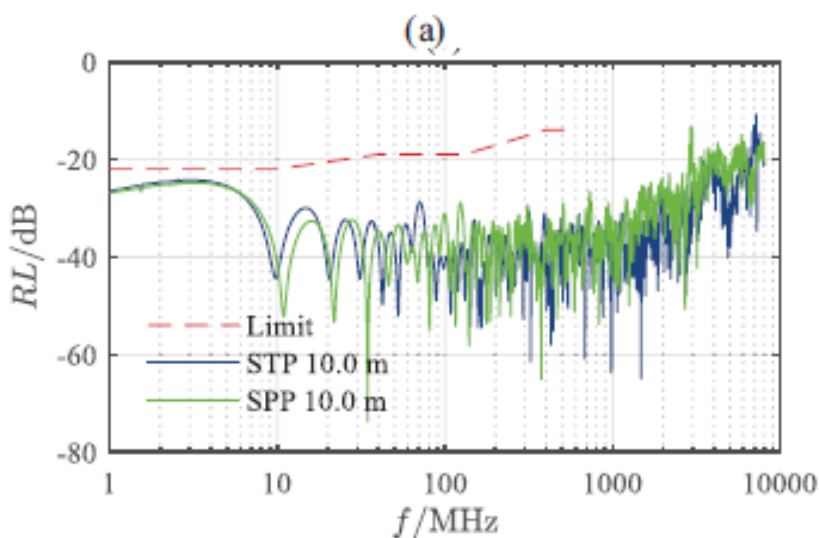


Ilustración 27: Pérdidas de retorno (cable de 10 m)

En bajas frecuencias el cable más corto tiene menores pérdidas de retorno. En altas frecuencias ambos cables se comportan de forma parecida y cumpliendo en ambos casos los valores límite impuestos por el estándar. Entre cables STP y SPP se puede observar que los STP tienen menor RL en altas frecuencias.

También se midió S_{dd21} , es decir, las pérdidas de inserción, obteniendo los resultados que se muestran en la Ilustración 28 y en la Ilustración 29.

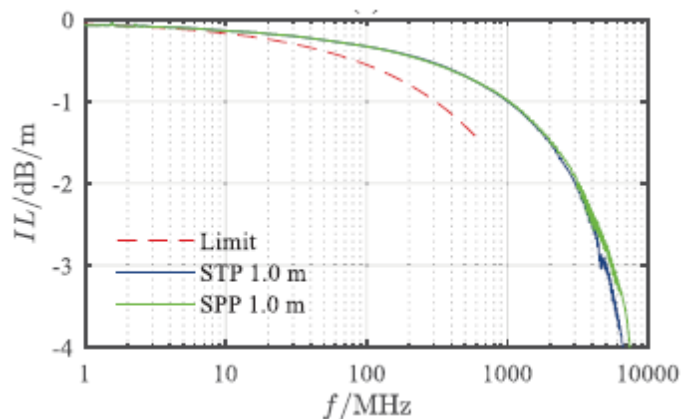


Ilustración 28: Pérdidas de inserción (cables de 1 m)

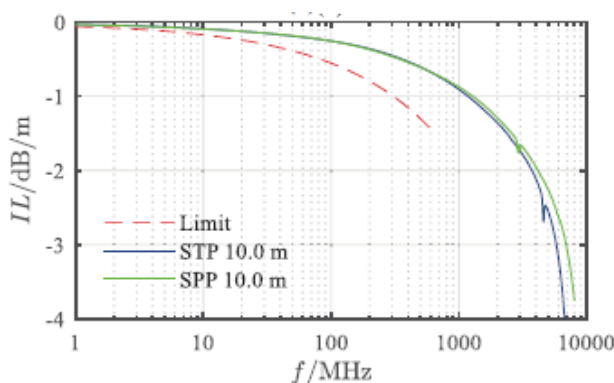


Ilustración 29: Pérdidas de inserción (cables de 10 m)

Las pérdidas de inserción son algo mayores en los cables en los cables de 10 m. Los cables SPP tienen unas pérdidas de inserción algo menores.

A continuación, se midió S_{dc11} , las pérdidas longitudinales de conversión o *Longitudinal Conversion Loss* (LCL). Este tipo de pérdidas se definen como el ratio de señal del modo diferencial que se inyecta en el modo común como resultado del desbalance de la red de energía [14]. Se vieron valores de LCL mayores en los cables de mayor longitud. Los cables de STP tienen, además, valores menores de LCL. Los valores de TCL son comparables.

Por último se midieron S_{sc21} (screening attenuation, a_s), S_{sd21} (coupling attenuation, a_c), y S_{cd21} (Unbalanced Attenuation, a_u). Se muestran los parámetros de medida en la Tabla 3.

Rango de frecuencia	1 MHz – 8 GHz
Tipo de barrido	Logarítmico
<i>Sweep points</i>	10001
Output power	0 dBm
Measurement Bandwith	1 kHz
Differential mode port impedance	100 Ω
Common mode port impedance	25 Ω
Single ended impedance	50 Ω

Tabla 3: Parámetros de VNA para medida de Coupling Attenuation

S_{sc21} es la efectividad de la pantalla del cable. Se calcula mediante la siguiente fórmula:

$$a_s = 10 \log \left| \frac{P_1}{P_{r,max}} \right| = 10 \log \left| \frac{P_1}{P_{2,max}} * \frac{2*Z_S}{R} \right| dB$$

Ecuación 1: Screening attenuation

siendo R la impedancia de entrada del receptor.

S_{cd21} , o *Unbalance Attenuation*, describe cuánta potencia del modo diferencial se acopla en el modo común y viceversa. Los cables apantallados balanceados tienen dos modos de funcionamiento. Por una parte, está el modo diferencial (*balanced*) y por otra parte el modo común (*unbalanced*). En el modo diferencial cada uno de los dos conductores transporta la misma intensidad I pero en direcciones opuestas (+I y -I), por lo que la pantalla no transportará corriente. En el común los dos conductores transportan una intensidad +I/2 y por la pantalla viajará una corriente -I. Se muestra la fórmula para su cálculo en la Ecuación 2 .

$$a_u = 10 \log \left| \frac{P_{diff}}{P_{com}} \right|$$

Ecuación 2: Unbalanced attenuation

Se midió también la *Coupling Attenuation*, que cuantifica el efecto global de las interferencias electromagnéticas. Se calcula sumando las dos atenuaciones anteriores [15].

$$a_c = a_u + a_s$$

Ecuación 3: Coupling attenuation

Como se puede ver en la Ilustración 30, la *Unbalanced Attenuation* del cable STP fue mayor que la dada en el cable SPP. Esto significa que en el cable SPP una gran parte del modo diferencial se convierte a modo común.

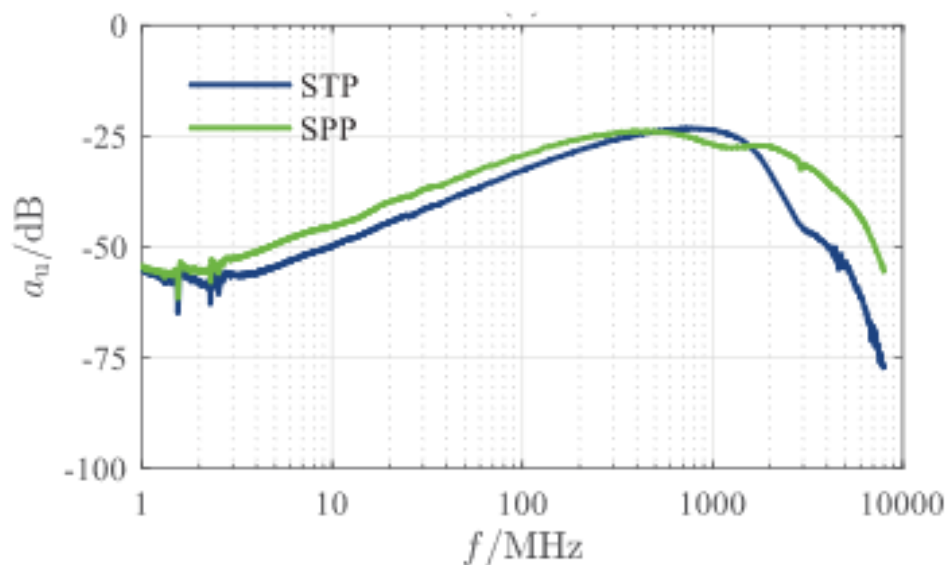


Ilustración 30: Unbalanced attenuation

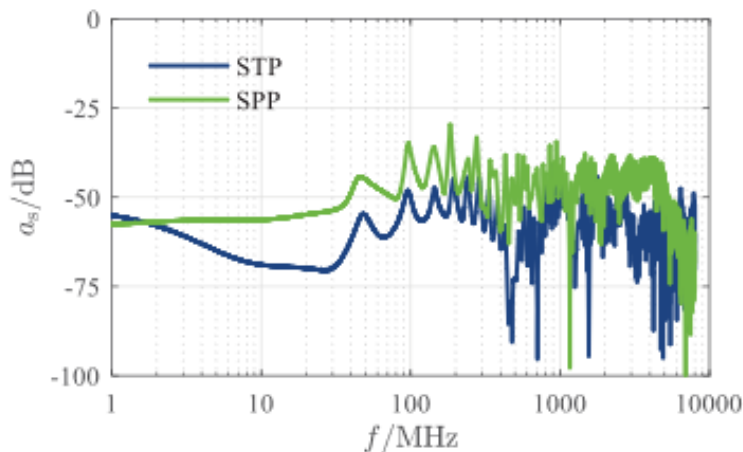


Ilustración 31: Screening attenuation

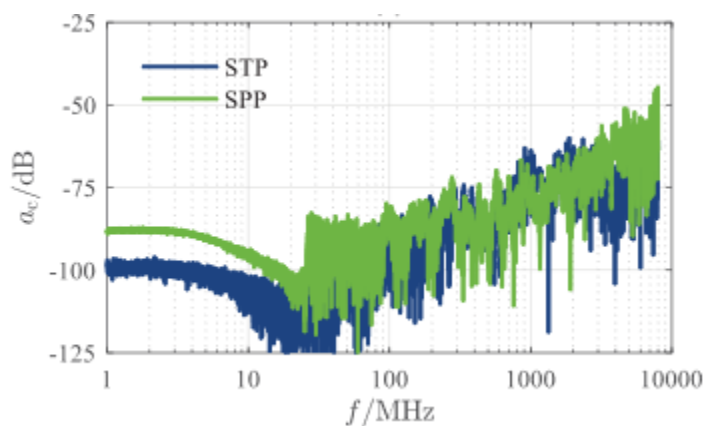


Ilustración 32: Coupling attenuation

Generalmente los resultados de los cables SPP son peores que los de los cables STP, siendo el único caso en el que son mejores los de la banda en torno a 1 GHz.

En cuanto a los resultados en el dominio del tiempo, se tomaron medidas con un *Bit Error Rate Tester* (BERT). Se utilizó una señal PAM-2 (pese a no ser la que se va a emplear en Gigabit Ethernet), ya que el BERT no soportaba más niveles de modulación. Se muestran los resultados en la Tabla 4.

Data Rate	BER	
	STP 10 m	SPP 10 m
2.0 Gbps	0.0	0.0
2.5 Gbps	0.0	0.0
3.0 Gbps	$6.30 \cdot 10^{-8}$	0.0
3.5 Gbps	$1.63 \cdot 10^{-4}$	$8.36 \cdot 10^{-6}$
4.0 Gbps	$3.85 \cdot 10^{-3}$	$7.52 \cdot 10^{-4}$
4.5 Gbps	$1.38 \cdot 10^{-2}$	$5.45 \cdot 10^{-3}$
5.0 Gbps	SYNC loss	SYNC loss
5.5 Gbps	SYNC loss	SYNC loss
6.0 Gbps	SYNC loss	SYNC loss

Tabla 4: Resultados de pruebas de BER

Se puede ver que hasta 3Gbps el cable STP proporcionó un mejor desempeño hasta 3GHz.

El máximo data rate alcanzado en el cable SPP es de 5.2Gbps antes de perder el sincronismo. En el cable STP el máximo data rate alcanzado es 4.7Gbps.

Por último, en [16] se analizan las pérdidas de inserción en modo diferencial S_{dd21} y la densidad espectral de potencia DEP en los tres estándares de Automotive Ethernet (100Base-T1, 1000Base-T1, NBase-T1). Hay tres estándares establecidos en Automotive Ethernet: IEEE 802.3bw, IEEE 802.3bp y el futuro IEEE 802.3ch.

Tecnología Eth	100Base-T1	1000Base-T1	NBase-T1 (Gigabit Ethernet)
Estándar	IEEE 802.3bw	IEEE 802.3bp	IEEE 802.3ch
Data Rate	100 Mbps	1 Gbps	2.5/5/10 Gbps
Modulación	PAM-3	PAM-3	PAM-N
Ancho de banda	33.33 MHz	375 MHz	Sin Definir
Operación	Full Duplex	Full Duplex	Full Duplex
Medio de transmisión	Un par UTP	Un par STP	Un par (Sin Definir)
Baud Rate	66.6 Mbdps	750 Mbdps	Sin Definir
Longitud del medio	15 m	15 m / 40 m	Sin Definir

Tabla 5: Versiones Automotive Ethernet

100BASE-T1 (también llamado IEEE-802.3bw) es la adaptación automovilística del estándar Ethernet 100BASE-T. En este tipo de enlaces se utilizan cables *Unshielded Twisted Pair* (UTP).

1000BASE-T1 (también llamado IEEE-802.3bp) tiene una capacidad 10 veces mayor que su predecesor 100BASE-T1, llegando a 1Gbps de *throughput* máximo. Debido a las altas velocidades que se manejan, el cable debe contar con una protección contra interferencias adecuada. Se utilizan cables *Shielded Twisted Pair* (STP) forrados para cables cortos y cables STP en cables más largos.

El estándar IEEE 802.3 define la capa física y la de Media Access Control (MAC) que se deben adoptar en Automotive Ethernet de la forma que se muestra en la Ilustración 33.

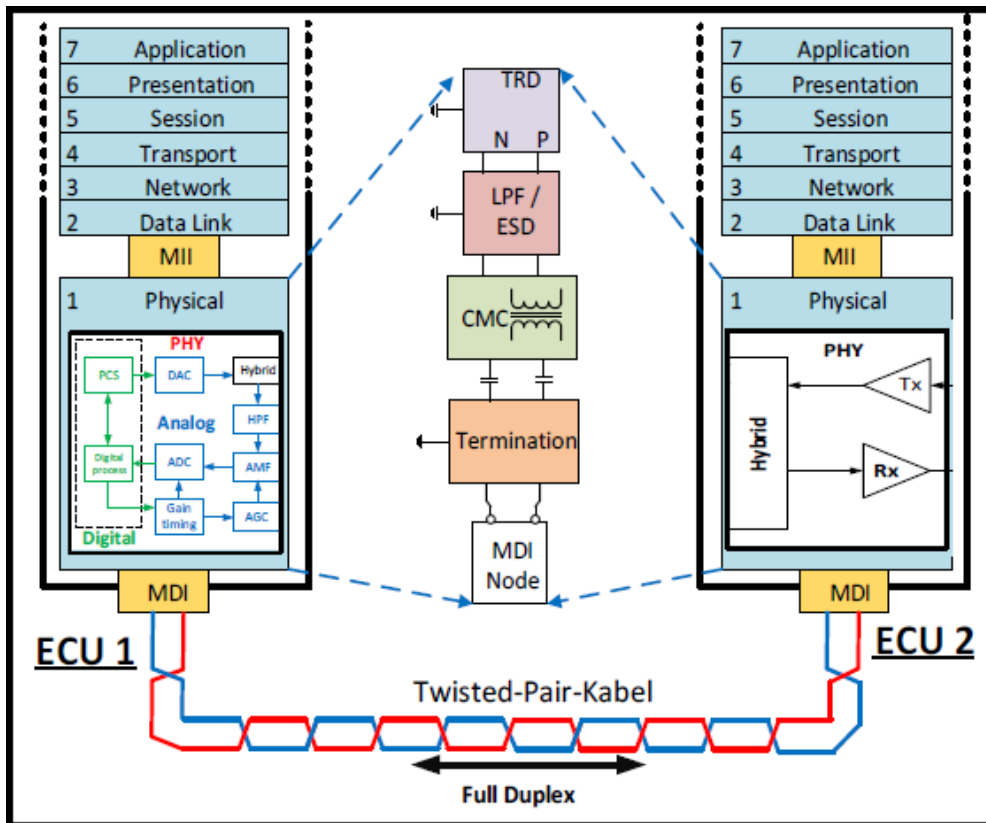


Ilustración 33: Pila de protocolos de Automotive Ethernet

El *Media-independent interface* (MII) actúa como interfaz entre el receptor ethernet y la capa MAC. El interfaz entre el canal y la capa física, en cambio, es el *Media-dependent Interface* (MDI).

Los distintos elementos del bloque *transceiver* (Tx, Rx, *echo cancelation* and *ESD protection*), *low pass filter* (LPF), *common-mode choke* (CMC), *DC block* y *common mode termination* (CMT) deben de cumplir unos estrictos estándares de compatibilidad electromagnética, por lo que deberán modelarse antes.

Los chips deben superar tres tipos de test:

- DPI, de inyección de potencia
- Test 150 Ω para la emisión de interferencias
- La Densidad Espectral de Potencia (DEP) debe estar dentro de unos márgenes predefinidos

Para la simulación de la DEP del transceptor se emplearán como parámetros R1 (50 Ω) y C1 (1pF), como muestra el esquema de la Ilustración 34.

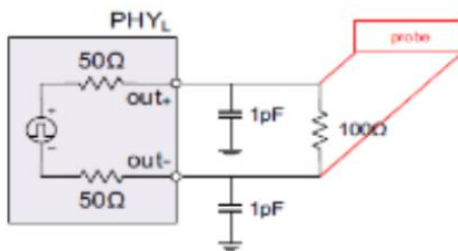


Ilustración 34: Modelo de transceptor

Además, se tiene que recibir un *data stream Pseudo Random Binary Sequence* (PRBS). En este caso se ha decidido generar dicha señal PRBS mediante MATLAB. Dicha secuencia, después de ser generada, es importada al modelo SPICE y se simula la DEP. Se muestran en Ilustración 35, Ilustración 36, e Ilustración 37 los resultados para las versiones 100BASE-T1, 1000BASE-T1 y NBASE-T1.

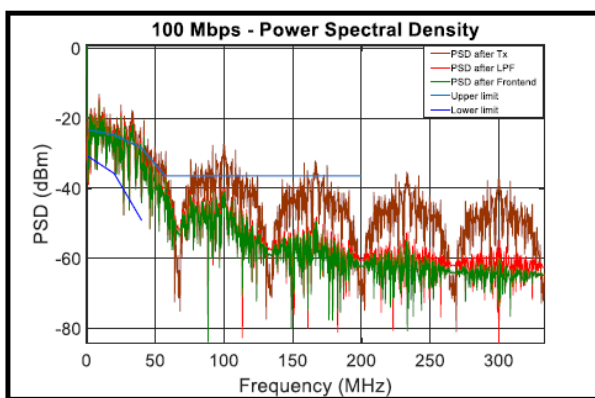


Ilustración 35: DEP 100BASE-T1

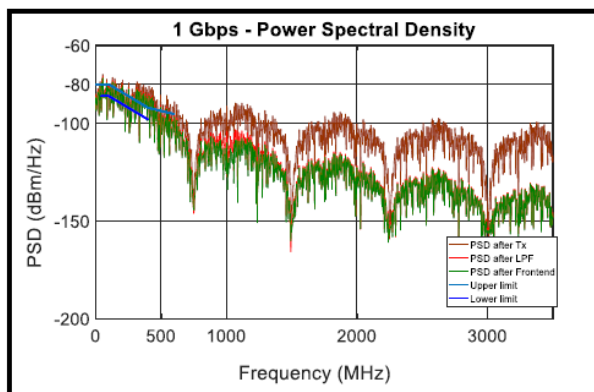


Ilustración 36: DEP 1000BASE-T1

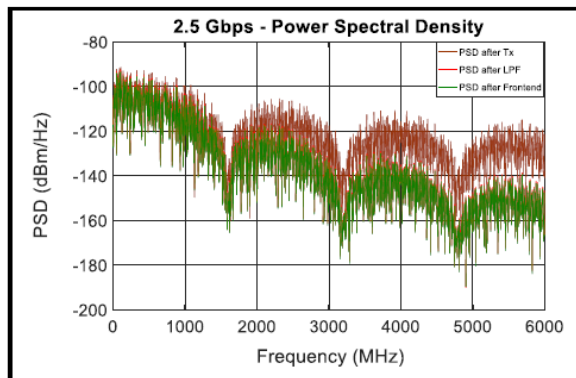


Ilustración 37: DEP 2.5 Gbps

En función de estos resultados se ajustará la frecuencia de corte del filtro paso bajo.

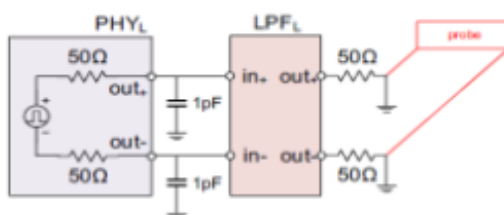


Ilustración 38: Modelo LPF

	100BASE-T1	1000BASE-T1	2.5GBASE-T1
R2	45.3 Ω	45.3 Ω	45.3 Ω
R3	499 Ω	499 Ω	499 Ω
R4	4.02 Ω	4.02 Ω	3.9 Ω
R5	120 Ω	120 Ω	120 Ω
C2	47 pF	4.7 pF	1.5 pF
C3	4.7 pF	4.7 pF	4.7 pF
L1	100 nH	10 nH	5.6 nH
L2	100 nH	10 nH	2.7 nH

Tabla 6: Valores de modelo LPF

Se diseñan las placas con estos valores y se mide S_{dd21} , es decir, las pérdidas de inserción en modo diferencial. Se presentan los resultados en la Ilustración 39, Ilustración 40 e Ilustración 41.

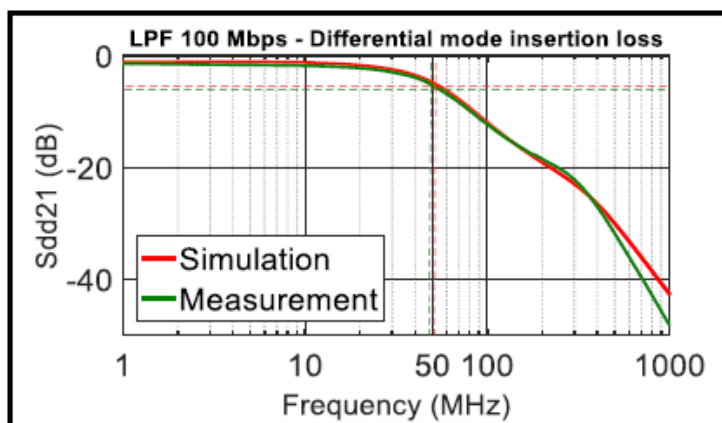


Ilustración 39: Pérdidas de Inserción en modo diferencial (100Base-T1)

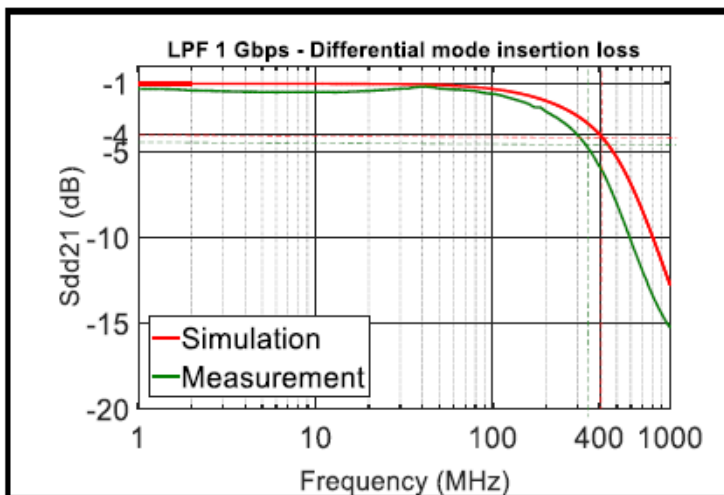


Ilustración 40: Pérdidas de Inserción en modo diferencial (1000Base-T1)

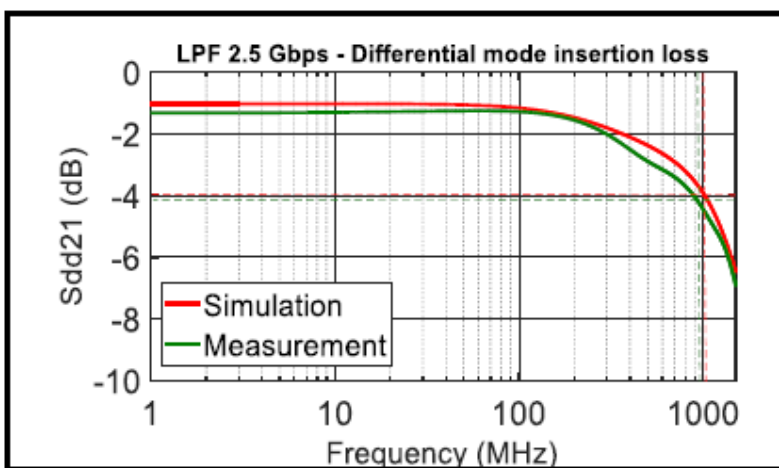


Ilustración 41: Pérdidas de Inserción en modo diferencial (2.5 Gbps)

El ruido en modo común puede afectar negativamente al funcionamiento de los componentes, por lo que es importante evitarlo. Para ello se emplean los CMC, cuyo modelo se ilustra en la Ilustración 42. Los parámetros utilizados se presentan en la Ilustración 43.

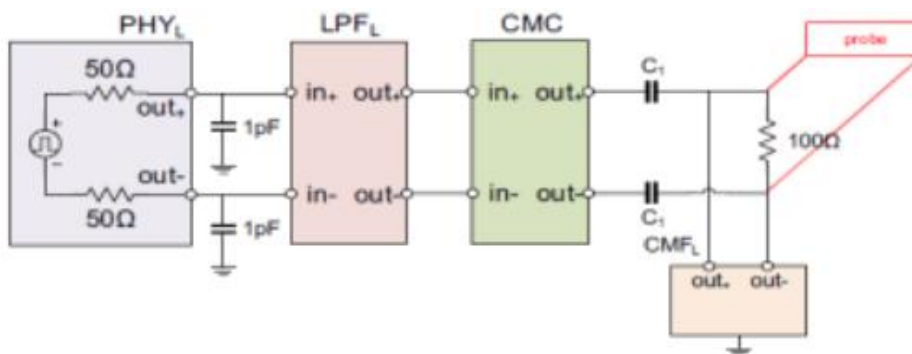


Ilustración 42: Modelo CMC

	100Base-T1	1000Base-T1	2.5GBase-T1
Rs	3.5 Ω	3 Ω	3 Ω
Rpar	250 Ω	49 Ω	102 Ω
Rp	22 kΩ	16.6 kΩ	25 kΩ
Rln	10 MΩ	10 MΩ	10 MΩ
Cpar	10 pF	24 pF	70 pF
Cp	140 fF	37.5 pF	13 fF
Cln	4.7 fF	4.7 fF	4.7 fF
Lleakage	0.1 μH	0.001 μF	1 pF
L1=L2	200 μH	100 μH	80 μH
K	1	1	1

Tabla 7: Valores de modelo CMC

Vemos en la Ilustración 43 que se cubre adecuadamente el ancho de banda requerido en el caso en el que hace falta un mayor ancho de banda (1 GHz en 1 Gbps).

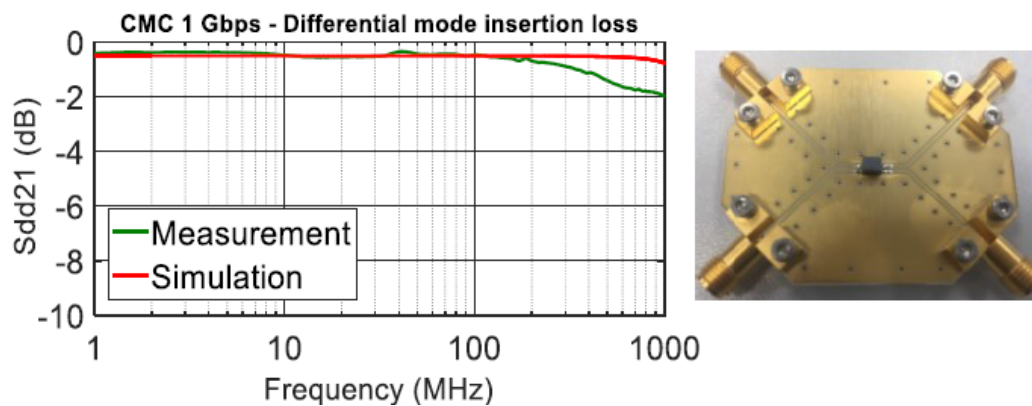


Ilustración 43: Pérdidas de Inserción en modo diferencial de CMC (2.5 Gbps)

También se modelan los valores de la CMT. Dichos valores se muestran en la Tabla 8.

	100BASE-T1	1000BASE-T1	2.5GBASE-T1
R6	1 kΩ	1 kΩ	1 kΩ
R7	100 kΩ	100 kΩ	100 kΩ
C4	100 nF	100 nF	100 nF
C5	4.7 nF	4.7 nF	4.7 nF

Tabla 8: Valores de modelo CMT

Finalmente se diseña el *Analog Front-End (AFE)*, es decir, la combinación entre LPF, CMC y CMT (Ilustración 44).

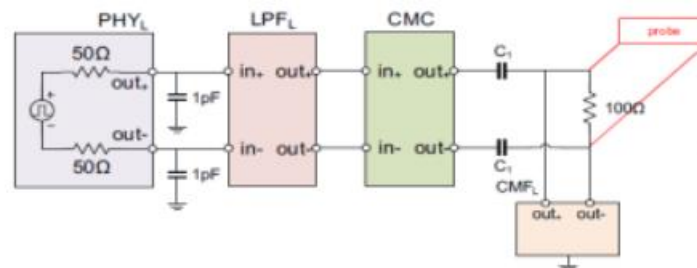


Ilustración 44: Modelo AFE

Se simulan las medidas, comparándolas además con la medición real. Se muestran los resultados en Ilustración 45, Ilustración 46 e Ilustración 47.

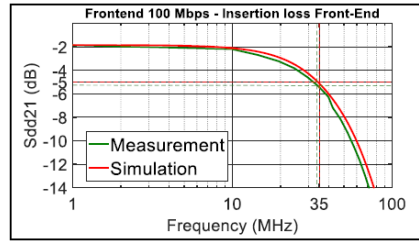


Ilustración 45: Pérdidas de Inserción en modo diferencial de CMC (100Base-T1)

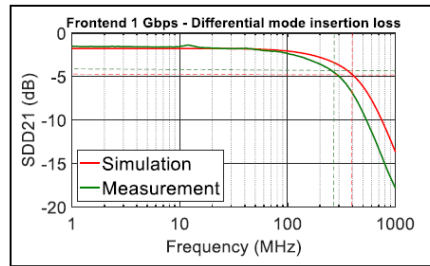


Ilustración 46: Pérdidas de Inserción en modo diferencial de CMC (1000Base-T1)

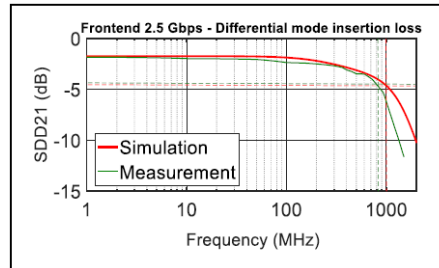


Ilustración 47: Pérdidas de Inserción en modo diferencial de CMC (2.5 Gbps)

Se puede apreciar cómo se cubren los anchos de banda requeridos para todos los casos, incluyendo el de 2.5 Gbps.

Paper	Año	Version(es) Automotive Ethernet analizadas	Parámetros analizados	TDR?
[11]	2021	100BASE-T1	V en IC7901 e IC5000	Sí (simulación)
[13]	2019	Gigabit Ethernet	Return Loss (Sdd21), Unbalanced Attenuation (au), Screening Attenuation (as), Coupling Attenuation (ac) y BER	Sí
[17]	2018	100BASE-T1, 1000BASE-T1 y Gigabit Ethernet	DEP, Return Loss (Sdd21), modelo Tx-Rx, modelo LPF, modelo CMC, modelo CMT	No

Tabla 9: Papers Automotive Ethernet

5.2 USB

Universal Serial Bus (USB) es un protocolo de comunicación basado en el paradigma *master-slave* entre un ordenador y un dispositivo. En este paradigma, el esclavo responde las peticiones de un *master*. En el año 2000 se introdujo la versión 2.0 del protocolo con el objetivo de mejorar en 40 veces la velocidad de la anterior versión del estándar (USB 1.1). Esta versión del protocolo tiene tres velocidades de funcionamiento: baja (1.5Mb/s), *full* (12Mb/s) y alta (480Mb/s), siendo las velocidades baja y *full* destinadas para dispositivos que necesitan de poco ancho de banda como ratones y teclados y la velocidad alta para transferencias multimedia y almacenamiento masivo.

Para establecer una comunicación USB se siguen los siguientes pasos:

- 1) Cuando un dispositivo USB va a transferir datos, el *driver* controlador del *host* USB manda una petición de transferencia al USB *driver*. Para ello, se utilizan paquetes de tipo IO Request.
- 2) El *driver* del dispositivo USB ofrece su *buffer* para almacenar datos cuando hay una transferencia de datos.
- 3) El *driver* USB divide los paquetes de petición en transacciones individuales, para posteriormente organizarlas en base a los requerimientos del dispositivo
- 4) El *driver* controlador del *host* programa estas peticiones.
- 5) El *host* USB ejecuta las transacciones y transfiere los datos.

USB transfiere datos en frames de 1 ms, pudiéndose transferir en cada frame una o más transacciones. Cada transmisión consiste en tres paquetes:

- Token packet: se trata del paquete inicial e indica el tipo de transacción (IN/OUT/SETUP).
- Payload: son los datos que se desean transportar. Se envían 1024 bytes de payload por cada transacción.
- Handshake: lo envía el receptor para indicar el estado (ACK = recepción correcta, NAK=recepción incorrecta, STALL= no se ha podido completar la transferencia).

Además, hay cuatro tipos de transferencia:

- Transferencias isócronas: garantizan un acceso constante al bus, además de un bitrate constante. Se emplea en aplicaciones de streaming como audio en CD o altavoces.
- Transferencias de control: se utilizan para enviar información de control, comandos o información de estado.
- Transferencias a ráfagas: las utilizan impresoras, escáneres o cámaras digitales para transferir grandes cantidades de información cuando el bus está disponible.
- Transferencias en interrupciones: son transferencias desde el dispositivo hacia el *host*, que se realizan por mecanismos de polling de forma periódica [18].

La versión 3.0 del protocolo es capaz de alcanzar velocidades de hasta 5Gbps. Es el *host* el que inicia todas las transacciones, a diferencia de otros protocolos como PCIe y LLI. Además, el protocolo USB posibilita el uso de *hubs*, como se muestra en la Ilustración 48.

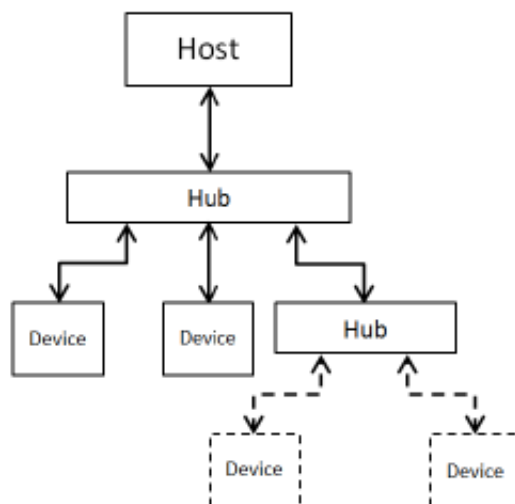


Ilustración 48: Uso de Hubs USB

En cuanto a las capas que forman el protocolo, *USB* está formado por una arquitectura de 3 capas. La Transaction Layer (TL), la Data Link Layer (DLL), y la Physical Layer (PL). La capa TL es la capa superior, encargada de generar el encabezado y los paquetes de datos. La capa DLL se encuentra por debajo de ésta, y se encarga de calcular el CRC en el lado de transmisor y de comprobarlo en el lado de recepción. Por último, la capa PL se encarga de la codificación y la decodificación y de la transmisión a nivel físico.

USB 3.0 incorpora un mecanismo para proporcionar Quality of Service (QoS). Para ello, hace uso de distintas clases, que se pueden diferencian por su tipo de transferencia:

- Transferencia de control: para transmisiones de configuración.
- Transferencia en ráfaga: para grandes transferencias de información (p. ej. lectura/escritura de dispositivos de almacenamiento masivo).
- Stream en ráfaga: es un tipo de transferencia exclusiva de los dispositivos USB 3.0 SuperSpeed. También se utiliza en transferencias desde/hacia almacenamiento masivo.
- Transferencias de interrupción: son generadas por el *host*, y se emplean en dispositivos de interfaz humana. En este tipo de transferencia el dispositivo puede indicar su no disponibilidad al *host* mediante un mensaje Not Ready. Cuando esté listo, lo indicará mediante un mensaje Ready.
- Transferencias isócronas: para transferencias críticas en el tiempo (audio/video) [19].

En [20], se muestra como en USB 2.0 se utilizan 4 hilos: VBUS, D-, D+ y tierra. Además, existen tres tipos de dispositivos USB: *host*, dispositivo y hub. Se clasifican, además, en autoalimentados y alimentados mediante el bus.

	USB 2.0	USB 3.0
Data Rate	480 Mb/s	5.0 Gb/s
Señalización	Codificación NRZI, DC coupling, No SSC	Codificación 8b/10b, AC coupling, SSC
Alimentación del bus	100mA (no configurado) y dispositivos en suspensión / hasta 500mA (configurado)	150mA (no configurado) / 900mA (configurado)
Plug and Play	Device polling	Asynchronous event handling
Gestión de energía / control de enlace	Suspensión a nivel de puerto con latencia de entrada/salida	Gestión de energía optimizada con modos idle, sleep y en suspensión
Interfaz (cable)	3 pares diferenciales, Half Duplex, STP	2 pares diferenciales, Full Duplex, UTP

Tabla 10: Versiones USB

La versión 3.0 del estándar USB cuenta con una serie de patrones que se pueden emplear para testear el transmisor, los cuales se muestran en la Tabla 11.

Patrón	Valor	Descripción
CPO	D0.0 Scrambled	Patrón de datos pseudoaleatorios equivalente a idle lógico sin SKP
CP1	D10.2	Frecuencia de Nyquist
CP2	D24.3	Nyquist / 2
CP3	K28.5	Patrón COM
CP4	LFPS	Señalización periódica de baja frecuencia
CP5	K28.7	Con de-emphasis
CP6	K28.7	Sin de-emphasis
CP7	50-250 1's and 0's	Con de-emphasis repitiendo 50-250 1's y luego 50-250 0's
CP8	50-250 1's and 0's	Sin de-emphasis repitiendo 50-250 1's y luego 50-250 0's

Tabla 11: Patrones para testear el transmisor

Cada patrón se utiliza para evaluar una característica distinta. Por poner un ejemplo, CPO se utiliza para medir el jitter dependiente de los datos (DDJ), mientras que CP1 no produce ningún tipo de DDJ, por lo que se emplea para testear el jitter aleatorio RJ. Las medidas se toman aplicando un ecualizador y una recuperación de reloj apropiada.

Característica	Min	Nominal	Maximum	Units
Eye Height	100		1200	mV
Dj			0.43	UI
Rj			0.23	UI
Tj			0.66	UI

Tabla 12: Requerimientos USB 3.0 SuperSpeed

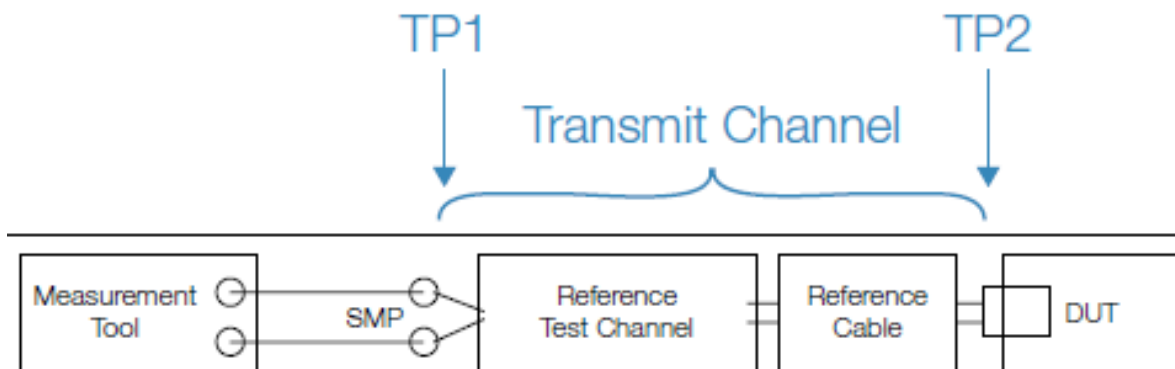


Ilustración 49: Esquema de puntos de prueba

Atendiendo a la ilustración 68, primeramente se adquiere la señal en TP1, para posteriormente procesarla mediante el *software* SigTest. Se utilizó el osciloscopio Tektronix MSO/DPO/DSA70000 con la opción de USB-TX. Se muestra a continuación la pantalla para testeo del osciloscopio de la marca Tektronix.

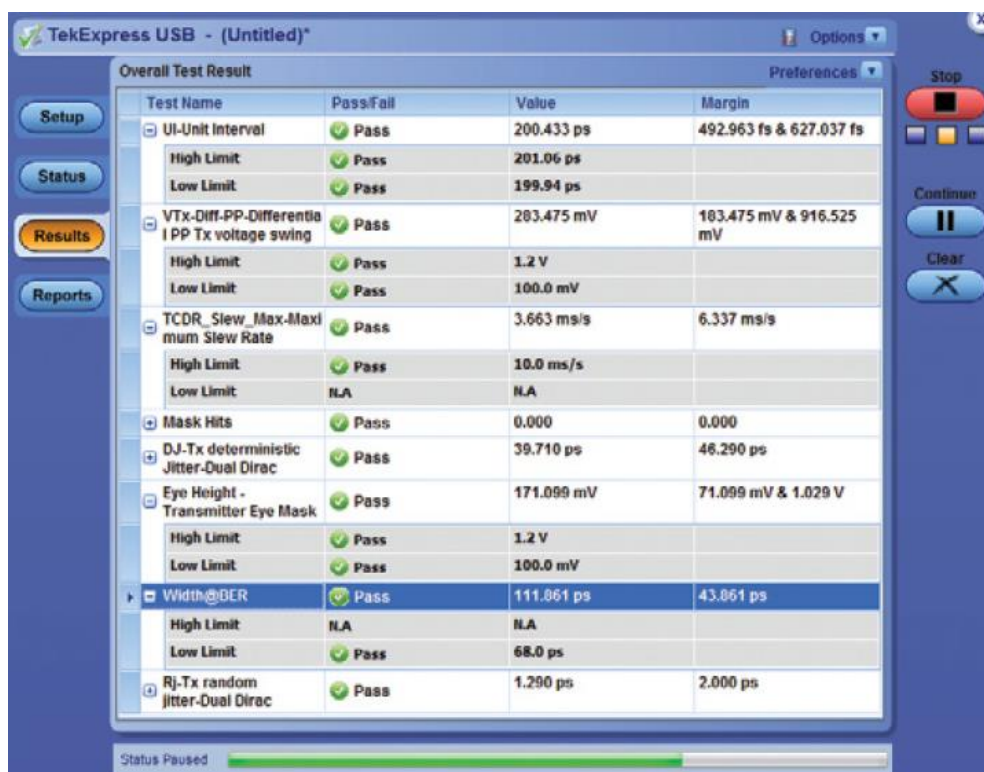


Ilustración 50: Ventana de testeo USB-TX

Se muestran los resultados del test en la Ilustración 51. Nótese que se pueden mostrar varios diagramas de ojo a la vez con el que comparar, por ejemplo, los efectos de diferentes modelos de canal.

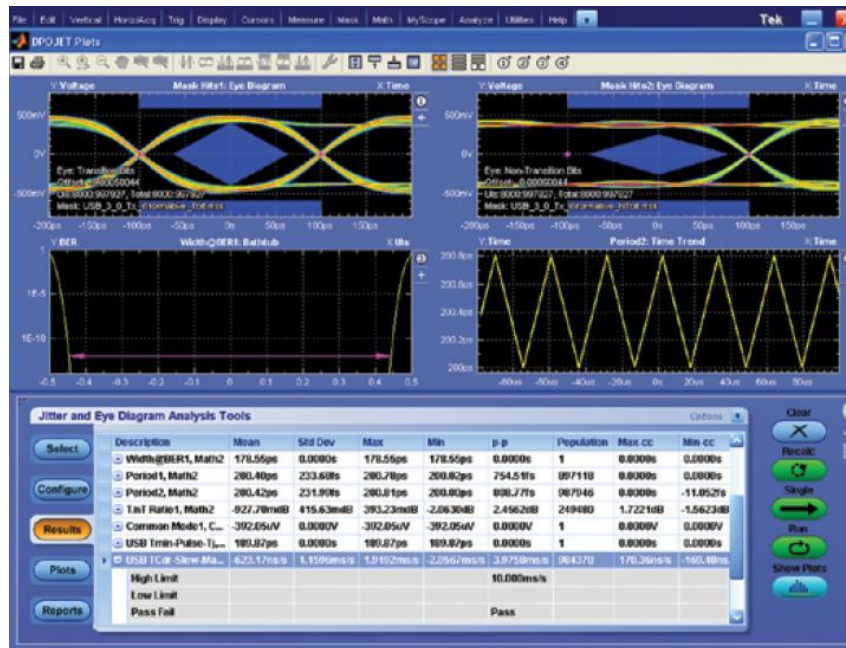


Ilustración 51: Resultados del test

La captura de las señales en TP1 se puede realizar de dos formas: usando cables físicos o simulándolos mediante modelos TDR, VNA o simuladores. Mediante estas herramientas se pueden obtener los parámetros S del cable tanto en amplitud como en fase, que después se utilizan para crear un filtro FIR.

Las atenuaciones que sufre SuperSpeed USB en su canal hacen que la equalización sea necesaria para obtener una apertura adecuada en el diagrama de ojo. Para ello, se hace uso de *de-emphasis* en el transmisor. También se hace uso de *Continuous Time Linear Equalizer (CTLE)* mediante un conjunto de polos y ceros que resultan en picos en las frecuencias deseadas. También se utiliza el *software Tektronix Serial Data Link Analysis* para validar los parámetros de CTLE, aunque también cabe la posibilidad de usar técnicas alternativas como FFE y DFE.

En cuanto a la caracterización y el debugueo, se disponen de diversas herramientas de análisis como el histograma de jitter, espectro del jitter y el plot "Bathtub" del BER que ayudan a caracterizar dicho jitter.

En contraposición al testeo del transmisor, que se enfoca en la medida de la amplitud, el jitter y las medidas paramétricas, el testeo del receptor se realiza para comprobar que la unidad receptora reciba los datos que se le han transmitido con un BER inferior al BER objetivo. Este tipo de prueba recibe el nombre de tolerancia de jitter.

Respecto a las pruebas de recepción realizadas en USB 2.0, la versión 3.0 del protocolo USB también cambia la forma de probar la correcta recepción de paquetes. La comprobación en USB 2.0 se realizaba mediante una prueba de sensibilidad. En este tipo de prueba se comprueba que el dispositivo responda a paquetes con voltajes mayores a 150 mV y se ignoren señales de menos de 100 mV. En USB 3.0, en cambio, hay una gran variedad de opciones para probar el dispositivo de recepción. En el osciloscopio utilizado se ofrecen dos posibilidades: BERTScope y *Arbitrary Waveform Generator (AWG)*. En la primera opción se combina el uso de un BERT con el diagrama de ojo. Se trata de una opción adecuada si se van a variar parámetros como el data rate

o el tipo de jitter. Para pruebas de conformancia que se requiere de una automatización, el uso de un AWG con el osciloscopio y el *software* de automatización TekExpress resulta interesante.

El objetivo de la evaluación del receptor es conocer el BER efectivo. Para ello, se transmite un patrón conocido al receptor y se verifica que se reciba correctamente. Esto se realiza en 2 fases:

- La fase de calibración del ojo estresado se basa en crear las condiciones más adversas posibles, añadiendo jitter para cerrar el ojo en el eje horizontal y reduciendo la amplitud para cerrar el ojo en el eje vertical.
- En la fase de prueba de tolerancia del jitter se emplea la calibración del ojo estresado como input, para luego aplicar jitter sinusoidal con una frecuencia ascendente. De esta forma se comprueba también la recuperación de reloj. La amplitud y frecuencia del jitter sinusoidal aplicado en esta prueba está recogida en el estándar. Para realizar este test el equipo utilizado debe ser capaz de reconocer errores y llevar la cuenta del BER. Los BERTs y algunos analizadores de protocolos y osciloscopios son capaces de realizar estas acciones.

Para realizar la prueba, el enlace USB debe ser puesto en modo *loopback*. En este modo el receptor USB retransmitirá los bits según los ha recibido de forma que se puedan detectar los errores.

El transmisor y el receptor pueden tener distinto *clock* debido a los errores en la recuperación del *clock*. Para compensarlo, se introducen/eliminan símbolos de compensación del reloj en el *data stream*. Si el número de símbolos de compensación del *clock* se desconoce a priori se denomina testeo de BER asíncrono.

Existen dos tipos de testeo de loopback para el testeo de BER. El primer tipo es el previamente explicado donde los bits recibidos se retransmiten de vuelta al analizador para su análisis. En el segundo tipo, en cambio, es el *Device Under Test* (DUT) el que hace el cálculo del BER y lo envía de vuelta en símbolos especiales.

En [21] se emplea el *software* CST para analizar la integridad de la señal de USB 3.0 midiendo las pérdidas de retorno, la de inserción y los parámetros S.

Los principales mecanismos de distorsión de la señal son los siguientes:

- Pérdidas de inserción: son pérdidas debido a la propagación de la señal (IR Drop, efecto skin, pérdidas dieléctricas...). En este tipo de pérdidas, el nivel del voltaje se degrada tanto que ni siquiera puede mantener su forma.
- Crosstalk: cambia el valor de la impedancia característica provocando retardo y además añade ruido a la señal víctima. Se puede evitar aumentando la separación entre líneas de transmisión.
- Reflexiones: en las discontinuidades de impedancia una parte de la onda se transmitirá, pero otra se reflejará.

La señalización diferencial es una técnica que reduce el ruido en el sistema de forma considerable. En ella, se utilizan dos líneas de transmisión para cada bit del bus. Estas líneas están desfasadas 180° entre sí. Al final de las líneas se encuentra un amplificador diferencial que haciendo uso de estas dos señales es capaz de recuperar la señal. Esta técnica es altamente

efectiva para eliminar el ruido de modo común, es decir, el ruido presente en las dos patas del amplificador. De esta forma, si el receptor tiene un adecuado rechazo al modo común, el ruido será eliminado.

Las medidas de impedancia se realizan de forma relativa comparando las ondas reflejadas con las ondas incidentes.

Los parámetros S son una herramienta ampliamente utilizada para describir el comportamiento de una red en el dominio de la frecuencia. Los parámetros S de modo mixto son útiles para estudiar la integridad de la señal. Las mediciones diferenciales se corresponden con la atenuación de la señal, mientras que las de modo común se refieren al *skew* y al *ground bounce*.

En este paper se usa la siguiente nomenclatura:

- H: altura de los pines 5-9 dentro del receptáculo USB. Varía entre 0.74mm, 1.24mm y 1.74mm.
- T: grosor del pin. Varía entre 0.15mm, 0.20mm y 0.25mm.

En la Ilustración 52 se muestra el modelo empleado en CST para simular el receptáculo USB.

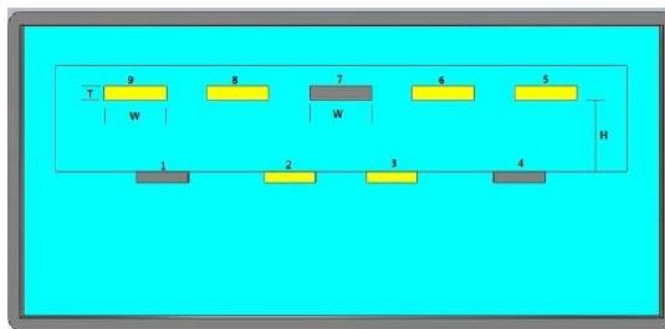


Ilustración 52: Modelo CST del receptáculo USB

Se estudiarán ahora los resultados de la simulación. Primeramente, se calcularán las pérdidas de inserción diferenciales (Sdd21). Se fija H a 1.24mm y se varía T, obteniendo los resultados que se muestran en la ilustración 72.

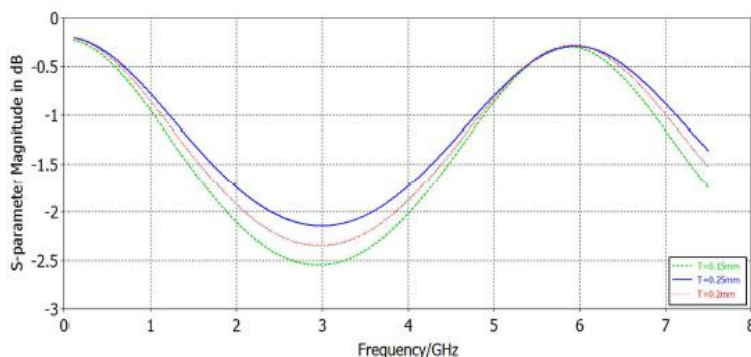


Ilustración 53: Pérdidas diferenciales de inserción para H = 1.24 mm

Por otra parte, se dejará T constante a 0.15mm y se variará H. Se muestran en la ilustración 73 los resultados de la simulación.

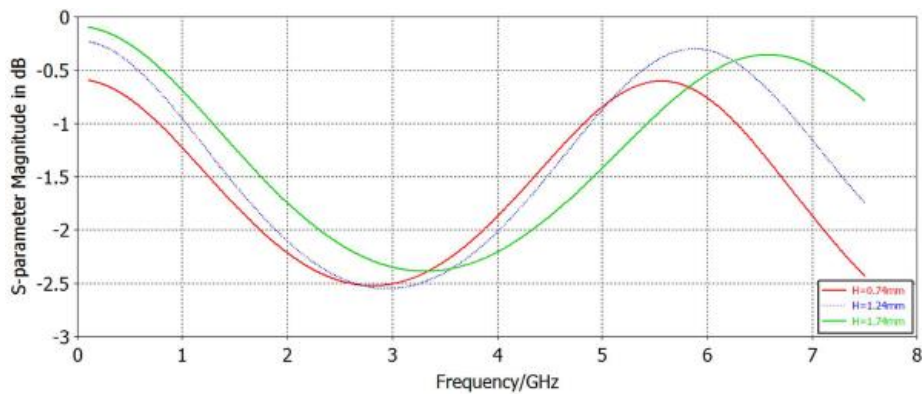


Ilustración 54: Pérdidas diferenciales de inserción para T = 0.15 mm

No se superan los umbrales marcados (-1.5dB a 100MHz, -5.0dB a 1.25GHz, -7.5dB a 2.5GHz y -25dB a 7.5GHz). Se concluye que con una H de 1.24mm, una T mayor genera menos pérdidas. Además, con T = 0.15mm, el caso de H = 1.74mm fue el que mejores resultados generó en la banda de 0.1GHz a 3.4GHz.

Para comprobar el NEXT diferencial entre pares SuperSpeed, se simula S_{dd31} con H=1.24 mm. No se superan los umbrales marcados (-32 dB a 100MHz, -32dB a 2.5GHz, -23dB a 3GHz y -23dB a 7.5GHz). Con H constante a 1.24mm una T menor da mejores resultados. Con T=0.15mm, un valor de H de 1.74mm da los mejores resultados.

Por último, el modo común genera emisiones electromagnéticas, por lo que limitando la conversión del modo diferencial a modo común conseguiremos bajar el nivel de emisiones electromagnéticas. No se deben superar los -20dB de S_{dc21} en todo el rango de frecuencia (0.1GHz – 7.5GHz). En las simulaciones Ilustración 55 e Ilustración 56, se cumple esta limitación para H constante a 1.24mm y para T constante a 0.15mm.

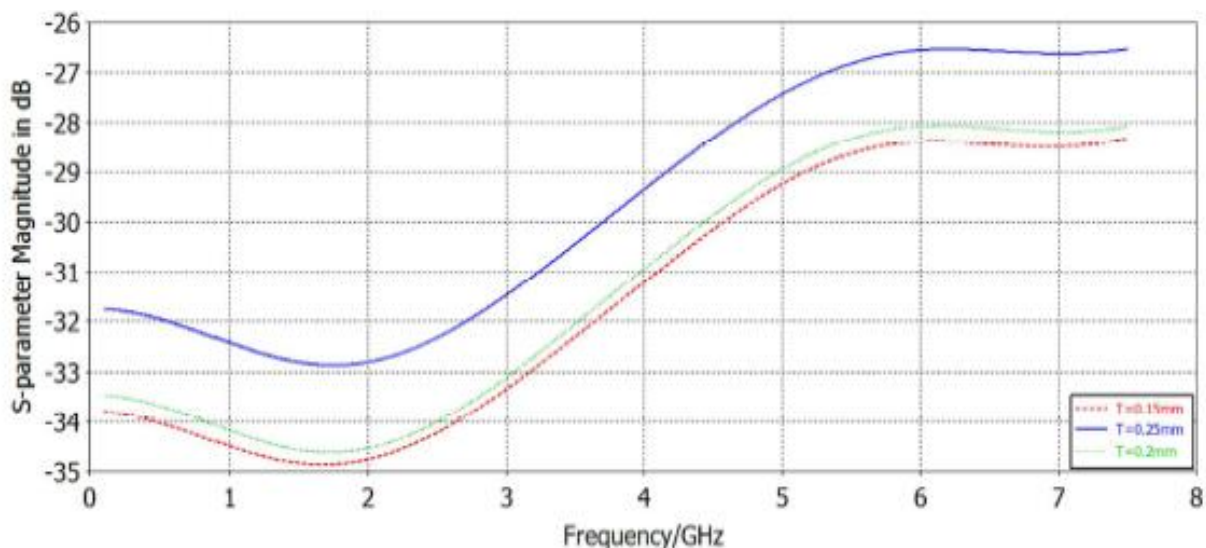


Ilustración 55: Conversión modo diferencial a modo común para H = 1.24 mm

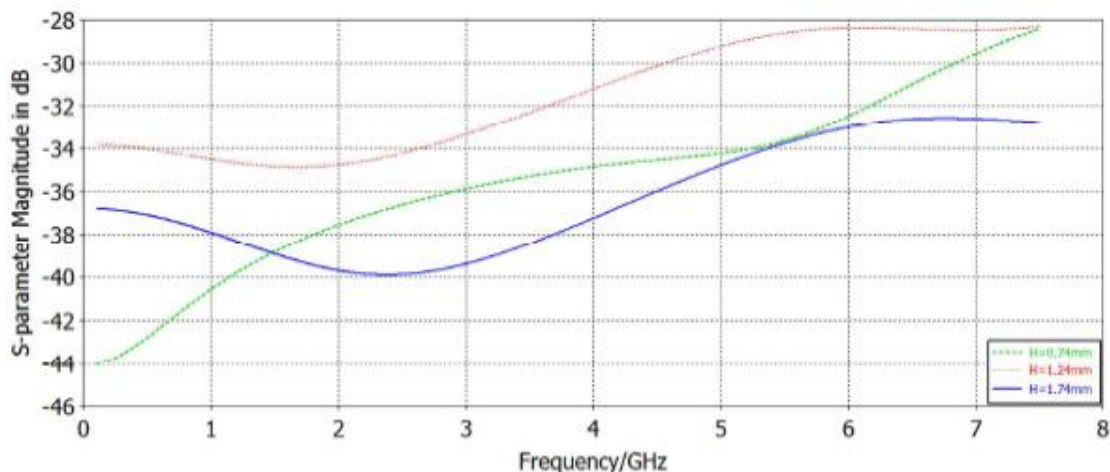


Ilustración 56: Conversión modo diferencial a modo común para T = 1.24 mm

Paper	Año	Parámetros analizados	TDR?
[20]	2013	Jitter, diagrama de ojo, Z0, S11, S21	Si
[21]	2013	Sdd21 (Pérdidas de inserción en modo diferencial), Sdc21 (conversión de modo diferencial a modo común)	No

Tabla 13: Comparativa papers USB

5.3 FPD Link III

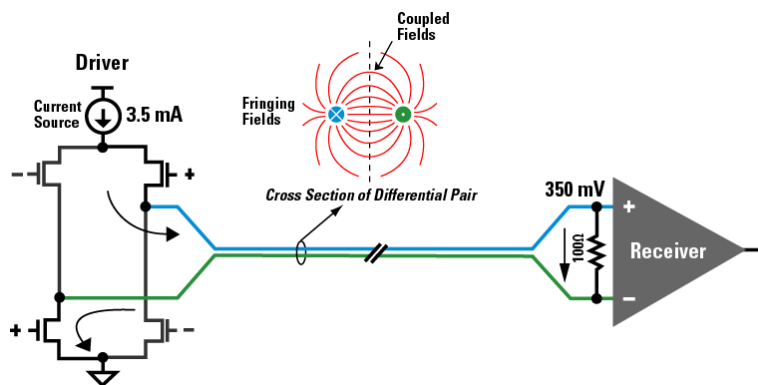


Ilustración 57: Esquema de FPD Link

Flat Panel Display Link III (FPD Link III) es una interfaz para enviar video de punto a punto en entornos automovilísticos. Permite el transporte de video en alta resolución y la creación de un canal de control bidireccional sobre un canal físico de par trenzado o coaxial. Una de sus aplicaciones principales es la conexión de cámaras para mejorar la visión en el coche [22].

Inicialmente fue diseñado para transportar los datos a las pantallas de ordenadores (tanto portátiles como de sobremesa), pero fue rápidamente adaptado para ser usado con un número creciente de cámaras en los vehículos, posibilitando en las últimas versiones una conexión multi-gigabit sobre cables blindados de par trenzado o cable coaxial. Se trata, además, de una comunicación con poca redundancia de datos, sin compresión, con un gran ancho de banda. Por último, cabe destacar también que cuenta con diversas tecnologías como la compatibilidad electromagnética o *Power over Coaxial* (PoC) para transmitir simultáneamente datos y alimentación [23].

Low Voltage Differential Signaling (LVDS), la tecnología en la que se basa FPD Link III, cuenta con numerosas ventajas frente a sus competidores. Por una parte, mientras que la corriente en CMOS o GTL se incrementa de forma exponencial frente a la frecuencia, LVDS crece de forma lineal. El bajo consumo de potencia de LVDS también es un aspecto destacable, siendo este de 1.1mW. En comparación, otras tecnologías como *Gunning Transistor Logic* (GTL) ofrecen un consumo de 40mW. El bajo consumo de LVDS redundo, además, en no necesitar ningún sistema de disipación de calor, reduciendo así el coste.

Sin embargo, uno de los aspectos fundamentales de LVDS es su inmunidad frente a interferencias electromagnéticas. Esta inmunidad se logra gracias al uso de una señal diferencial. En el caso de recibirse una interferencia, dicha interferencia afectaría en la misma medida a los 2 cables. Debido a que el receptor tiene en cuenta únicamente la diferencia entre los dos pares, la señal acoplada no afectará a la comunicación [24].

En [25] podemos ver ejemplos de diferentes medidas que se han tomado para evaluar la integridad de la señal de FPD Link III. En Ilustración 58 e Ilustración 59 se ha tomado una TDR en dos casos: con señalización diferencial y con terminación única.

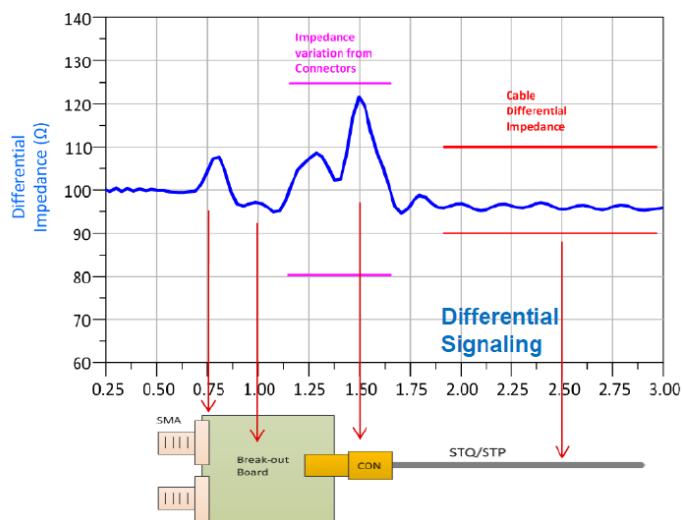


Ilustración 58: TDR con señalización diferencial

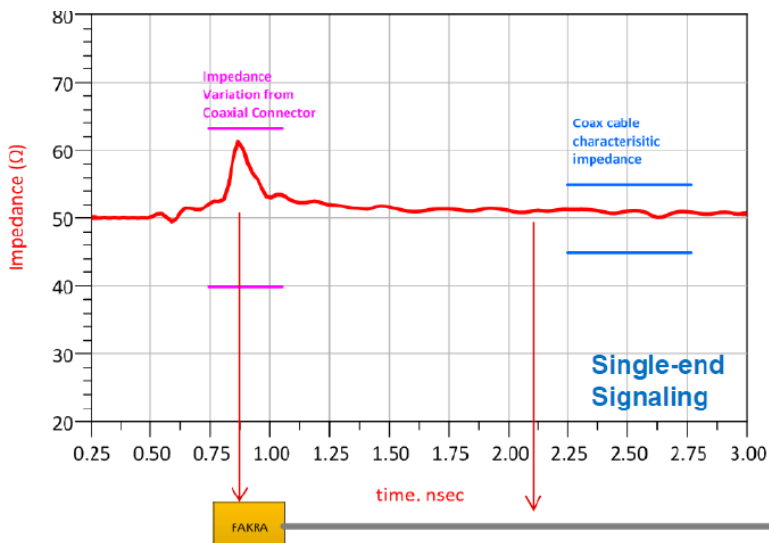


Ilustración 59: TDR con señalización de terminación única

Se muestran también las pérdidas de retorno en las Ilustración 60 e Ilustración 61.

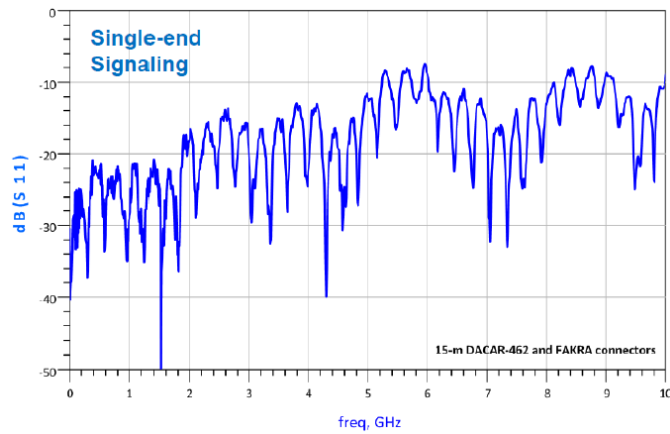


Ilustración 60: Pérdidas de retorno en señalización de terminación única

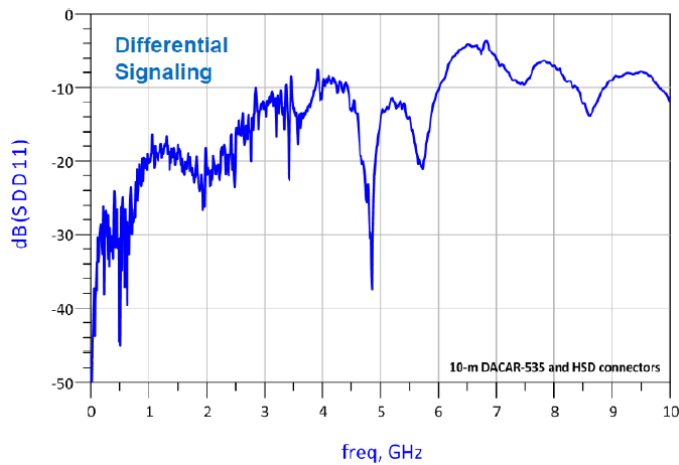


Ilustración 61: Pérdidas de retorno en señalización de terminación única

Por último, también se miden las pérdidas de inserción en Ilustración 62 e Ilustración 63.

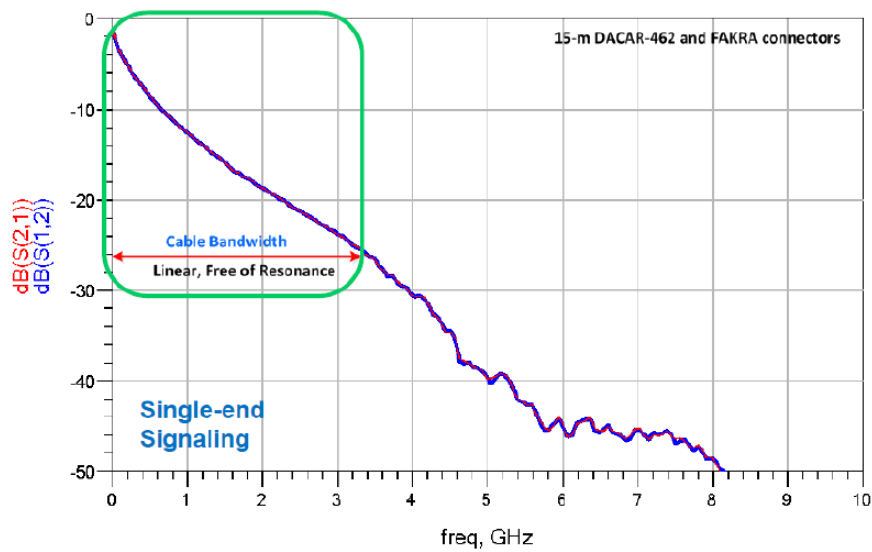


Ilustración 62: Pérdidas de inserción en señalización de terminación única

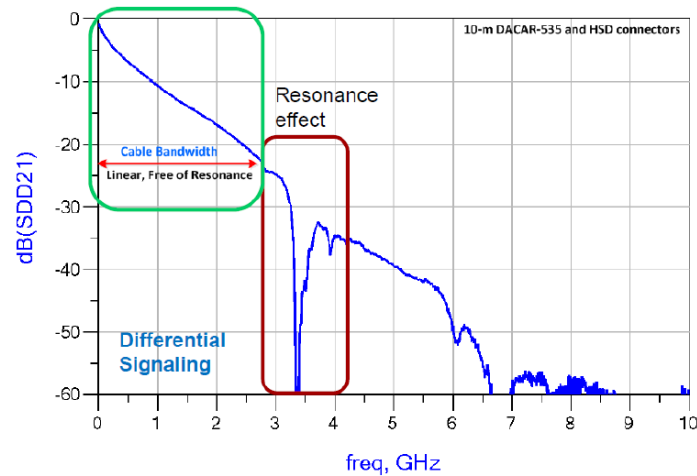
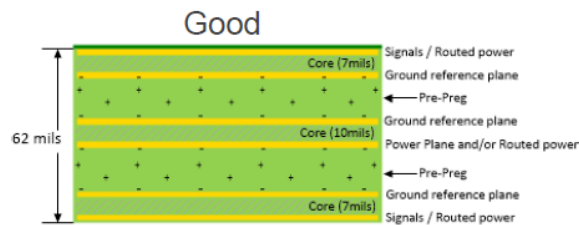


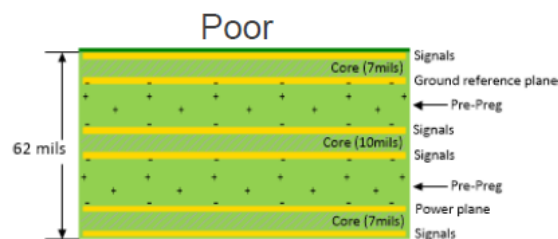
Ilustración 63: Pérdidas de inserción en señalización diferencial

También se muestran técnicas apropiadas para reducir las EMI y técnicas no apropiadas que se deben evitar.



- Each signal layer has adjacent return path
- Power immediately return path to ground plane

Ilustración 64: Técnicas para reducir las EMI



- Common stack-up
- Signal referenced to power
- Power and return plane too far separated
- Power transients couple to inner signal layers

Ilustración 65: Técnicas que aumentan las EMI

Además, se deben tomar en cuenta otras técnicas como evitar via *stubs* ya que son una fuente de degradación de la señal. Los via *stubs* son secciones no útiles de una vía, como la que muestra resaltada en la Ilustración 66.

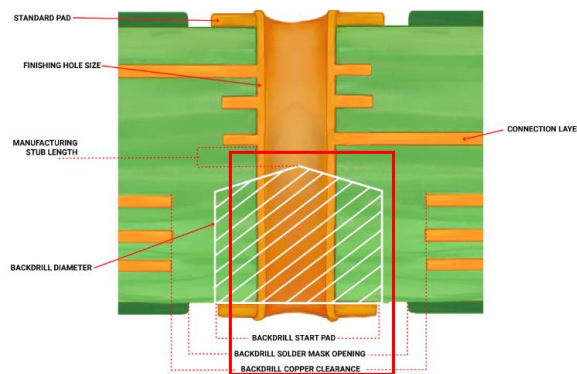


Ilustración 66: Via Stub

Para mitigar los efectos de los via *stubs* se emplea el back drilling. Esta técnica consiste en perforar un agujero de mayor diámetro que la vía, de forma que la parte conductora de la vía es eliminada [26].

Las técnicas generales para garantizar la integridad de la señal como la maximización de la separación de los caminos también son de aplicación para FPD Link III.

5.4 PCIe

PCIe es un estándar para comunicaciones confiables de alta velocidad. La última versión desarrollada es la versión 6 del estándar. Esta versión del estándar especifica un raw data rate de 64 GT/s y un *throughput* de 256 GB/s. Utiliza PAM4 como esquema de modulación. También utiliza *Forward Error Correct* (FEC) y *Cyclic Redundancy Check* (CRC) para corrección de errores y de esta forma conseguir un BER menor. Mantiene compatibilidad con las generaciones previas de PCIe [27].

Se espera que se publique la lista definitiva de especificaciones de PCIe 7.0 en 2025, aunque PCI-SIG ya ha avanzado algunos detalles, como un raw data rate de 128 GT/s y un *throughput* de 512 GB/s (es decir, el doble de la versión anterior). También se ha confirmado la utilización de *Pulse Amplitude Modulation with 4 levels* (PAM4), de forma que se pueden enviar 2 bits por símbolo al ser una modulación de 4 niveles [28].

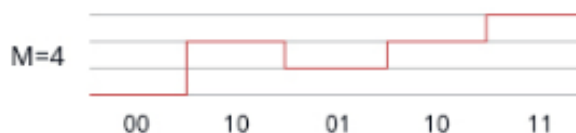


Ilustración 67: Modulación PAM4 [29]

Una de las ventajas de PCI es el gran ecosistema, existiendo una gran cantidad de dispositivos que lo utilizan. Ejemplos de ello son chips de Wi-Fi y 4G/5G o tarjetas gráficas.

PCIe Automotive se refiere al caso de uso en un vehículo del estándar PCIe. Las regulaciones más estrictas de la industria de la electrónica para el automóvil provocan que las PCBs utilizadas en esta industria tengan una mayor complejidad. La electrónica del automóvil tiene que ser capaz de funcionar en condiciones de temperatura extremas (-40° hasta 125°),

niveles de humedad altos y entornos con muchas vibraciones. Esto es debido a dos causas: por una parte, se debe a razones de seguridad, pero también se pretende reducir la frecuencia de las reparaciones. El peso de la electrónica también es una cuestión importante, ya que influye directamente en el consumo del vehículo.

Casos de uso como situaciones donde prime la escalabilidad, la necesidad de almacenamiento de forma segura o cables donde se necesitan *re-timers* por la excesiva longitud de estos ponen de manifiesto la utilidad de PCIe en entornos automovilísticos [30].

Las crecientes regulaciones en materia de seguridad han impulsado el nivel de procesamiento de la información gracias a la implementación de sistemas de *Machine Learning* (ML) y *Artificial Intelligence* (AI) en los vehículos [31].

Las arquitecturas de zona difieren de las arquitecturas de dominio ofreciendo una mejor escalabilidad y una mayor confiabilidad [32].

MEGATREND – E/E ARCHITECTURE TRANSFORMATION

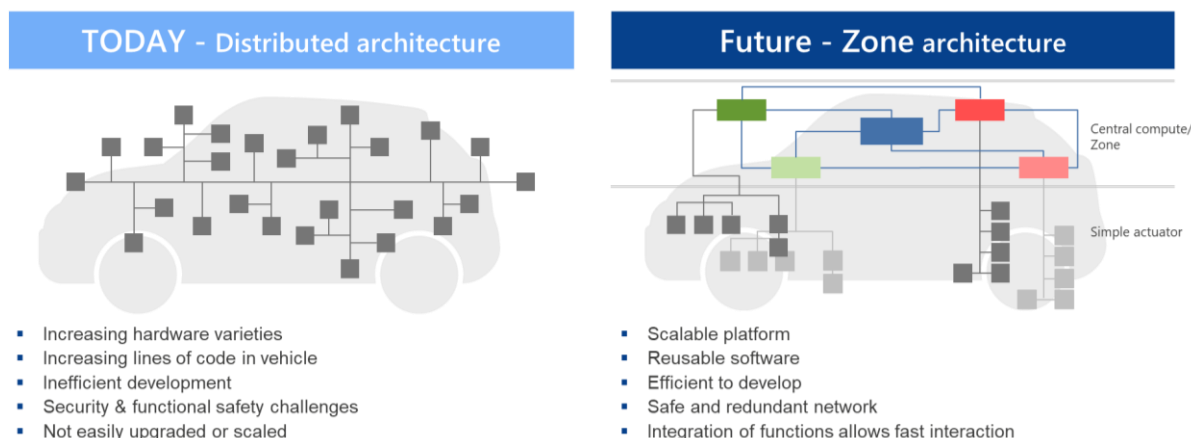


Ilustración 68: Arquitectura de dominio vs arquitectura de zona [33]

En este tipo de arquitecturas, mostradas en la Ilustración 68, se incorporan nodos de procesamiento local, denominados *zone controllers*, que conectan los *Electronic Control Units* (ECUs) de su misma zona. Los *zone controllers* se conectan al nodo de procesamiento central. Esto aporta las siguientes ventajas:

- Reducción del número de ECUs y cables: al optimizar la arquitectura en cuanto a la cercanía física, reducimos el número de ECUs necesario, además del número de cables necesario.
- Distribución de los recursos de procesamiento: la repartición de los recursos de procesamiento permite una optimización de costes y una optimización del uso que se hace de los mismos.
- Redundancia de procesamiento: es importante para evitar el fallo completo del sistema si falla alguno de los elementos involucrados en el procesamiento [31].

A continuación, se comparan las diferentes versiones del protocolo PCIe, teniendo en cuenta el año en el que se estableció la especificación, el data rate antes de codificar y el ancho de banda en las 16 líneas.

Versión PCIe	Año	Transfer Rate (GT/s)	Data rate	Codificación	Modulación
1.0	2003	2.5	2 Gb/s	8b/10b	NRZ
2.0	2007	5.0	4 Gb/s	8b/10b	NRZ
3.0	2010	8.0	8 Gb/s	128b/132b	NRZ
4.0	2017	16.0	16 Gb/s	128b/132b	NRZ
5.0	2019	32.0	32 Gb/s	128b/132b	NRZ
6.0	2021	64.0	64 Gb/s	128b/132b	PAM 4

Tabla 14: Versiones PCIe [34]

Como se indica en [35], a medida que suben las frecuencias del *clock* aparecen los problemas de integridad. Por ello, PCIe emplea técnicas para intentar garantizar la integridad de la señal como *Level Cyclic Redundancy Check* (LCRC), aunque tienen limitaciones. A pesar de contar con un sistema de confirmación ACK/NACK, el *software* y las capas altas de *hardware* no están al corriente de los errores que se puedan producir en el enlace, por lo que pueden generarse problemas en la integridad de la señal.

La problemática de los protocolos de buses diseñados para el sector automovilísticos, como LIN, CAN o FlexRay, radica en las bajas tasas máximas de transmisión. Se muestra en la Tabla 14 una comparativa entre dichos protocolos.

Parámetro	LIN	CAN	FlexRay
Arquitectura	1 master / Hasta 15 esclavos	Múltiples nodos	Hasta 64 nodos
Acceso al medio	Polling	CSMA/CR	TDMA
Topología	Bus	Bus	Bus/Estrella
Modo de transmisión	Síncrono	Asíncrono	Síncrono / Asíncrono
Data Rate	20 kbps	1 Mbps	10 Mbps
Bit coding	NRZ	NRZ + Bit Stuffing	NRZ
Corrección de errores	Check	CRC	CRC en cabecera y en todo el frame
Voltaje	8 - 9 V	3.3 V	2 V

Tabla 15: Comparación entre protocolos de buses para el automóvil [36]

Estas altas tasas de transmisión son cada vez más necesarias para sistemas como ADAS o para las comunicaciones *Vehicle-to-vehicle* (V2V).

En cuanto al diseño de la PCB empleada para las pruebas se usaron condensadores de cerámica multicapa, que ofrecen una baja impedancia y un bajo *Equivalent Series Resistance* (ESR) y *Equivalent Series Inductance* (ESL), mejorando de esta forma la estabilidad de la fuente. Además, se tuvieron en cuenta una serie de reglas de diseño de placas PCB, entre otras:

- Para reducir el *crosstalk*, las señales de caminos adyacentes deben de viajar en direcciones opuestas.
- Cuanto más separadas estén los caminos, menor será el nivel de *crosstalk*.
- Es aconsejable que las señales críticas vayan en *stripline*. En caso de que se deba usar *microstrip*, debe existir al menos un plano de tierra.
- Los caminos estrechos provocan efecto *skin* y por lo tanto las pérdidas, por lo que se recomiendan caminos anchos.

- Cuando un componente tiene la misma anchura que el camino las desadaptaciones de impedancias se reducen.
- Cuanto mayor es el área del loop de vuelta mayores son las emisiones electromagnéticas
- Los caminos de una señal diferencial deben tener la misma longitud. De esta forma, reduciremos las desadaptaciones de impedancias y además mantendremos el retardo en ambos caminos será el mismo.
- Los caminos del *clock* deben ser lo más rectos posible.

Se realizaron tres tipos de simulaciones: pérdidas de retorno y de inserción, TDR y simulación *end-to-end*.

En cuanto a las pérdidas de retorno o *Return Loss* (RL) y las pérdidas de inserción o *Insertion Loss* (IL), sabemos que se pueden calcular mediante las ecuaciones que aparecen bajo estas líneas.

$$RL = 10 \log_{10} \frac{P_{in}}{P_{ref}}$$

Ecuación 4: Pérdidas de retorno

$$IL = 10 \log_{10} \frac{P_{recieved}}{P_{in}}$$

Ecuación 5: Pérdidas de inserción

Sin embargo, este análisis empleó Ansys HFSS para simular los parámetros S. En el canal diferencial del transmisor a 4 GHz las pérdidas de inserción fueron de 1.27 dB. Las pérdidas de retorno a 8 GT/s fueron de 12.05 dB. En el lado de recepción, las pérdidas de inserción fueron de 1.13 dB y las de retorno de 10.13 dB. En la placa, en el lado de transmisión las pérdidas de inserción fueron de 4.56 dB y las de retorno 11.02 dB. En el lado de recepción de la placa, las pérdidas de inserción fueron de 3.88 dB y las de retorno de 9.85 dB. Todos estos valores se encontraron dentro de los valores requeridos por el estándar PCIe.

Posteriormente se realizó la reflectometría en el dominio del tiempo en las líneas de transmisión del PCB con el objetivo de determinar cambios bruscos en la impedancia de la placa. Para simularla se utilizó el programa Ansys Electronic Desktop.

Por último se llevó a cabo una simulación end to end. Las simulaciones optimizan tiempos y costes al evitar la construcción física de la placa para poder testarla, lo que permite conocer si un diseño cumple los estándares requeridos o no. Para ello, en este estudio se han empleado modelos (*Input/output Buffer Information Specification Algorithmic Modeling Interface*) IBIS AMI para hacer dicha simulación end to end. Estos modelos tienen numerosas ventajas frente a los modelos SPICE y los IBIS; por ejemplo, son más veloces y soportan funciones más avanzadas como la ecualización. Se realizaron simulaciones en el dominio del tiempo y de la frecuencia.

El estándar PCIe define diferentes presets. Cada uno de presenta una combinación específica de *preshoot* y *de-emphasis*. En cada uno de ellos deberá cumplirse un mínimo de altura y anchura de ojo distinto.

Nº Preset	De-emphasis (dB)	Pre-shoot (dB)
P0	-9	0
P1	-3.5	0
P2	-4.4	0
P3	-2.5	0
P4	0	0
P5	0	1.9
P6	0	2.5
P7	-6	3.5
P8	-3.5	3.5
P9	0	3.5

Tabla 16: Presets del estándar PCIe Gen 3.0

Se simularon estas situaciones en el *software* de ADS, obteniéndose los siguientes resultados.

Nº Preset	Altura del ojo en receptor	Anchura del ojo en receptor
P0	76	46
P1	120	53
P2	102	50
P3	144	55
P4	188	61
P5	192	61
P6	178	61
P7	79	52
P8	113	57
P9	160	60

Tabla 17: Altura y anchura del ojo en diferentes presets

Se puede ver que el preset 5 es el que presenta una mayor altura y anchura del ojo.

El documento [37] analiza los retos a los que se ha enfrentado el estándar PCIe 3.0 y las técnicas que ha utilizado para resolverlos.

En el protocolo PCIe se pueden dar una gran variedad de fenómenos como pueden ser el *crosstalk*, discontinuidades en la impedancia, ISI y conversión de modo. Estos fenómenos pueden conducir a una cantidad inadecuada de emisiones de interferencias electromagnéticas.

El primer paso para afrontar los retos que plantea esta nueva generación de PCIe es la simulación. Esta simulación se realiza mediante modelos IBIS-AMI. Se realizan simulaciones en el dominio del tiempo teniendo en cuenta también las pérdidas en el canal. Por último, se utiliza una máscara con el objetivo de que se cumplen las especificaciones exigidas para el diagrama de ojo.

Se usaron las siguientes metodologías para la simulación de la interfaz PCIe:

- Simulación del canal: se realiza una simulación en el tiempo tanto del transmisor como del receptor, así como de jitter en el transmisor. Emplear *Decision-Feedback Equalization* (DFE) y *Feed-Forward Equalization* (FFE) en interconexiones de tanta longitud impide que se pueda emplear un modelo IBIS, pero se puede utilizar la extensión IBIS-AMI.

- **Jitter:** en transmisiones serie el *clock* se encuentra integrado en los datos transmitidos. Por esta razón existe un circuito de recuperación del reloj en el lado del receptor. De esta forma se pueden alinear datos y reloj y de esta forma reducir el jitter, reduciendo el BER.
- **Ecualización:** PCIe contempla la posibilidad de utilizar técnicas de ecualización para mitigar el ISI, minimizando el BER. La ecualización consiste en pasar la señal por un filtro con una respuesta frecuencial inversa a la respuesta frecuencial del canal.
- **De-emphasis y pre-shoot:** en PCIe se utiliza la técnica de de-énfasis para compensar las pérdidas de alta frecuencia. En una señal de-enfatizada se definen dos niveles de voltaje: V_a (de-énfasis), que se corresponde con el nivel que alcanza el boost después del cambio de polaridad, y V_b (nivel plano).

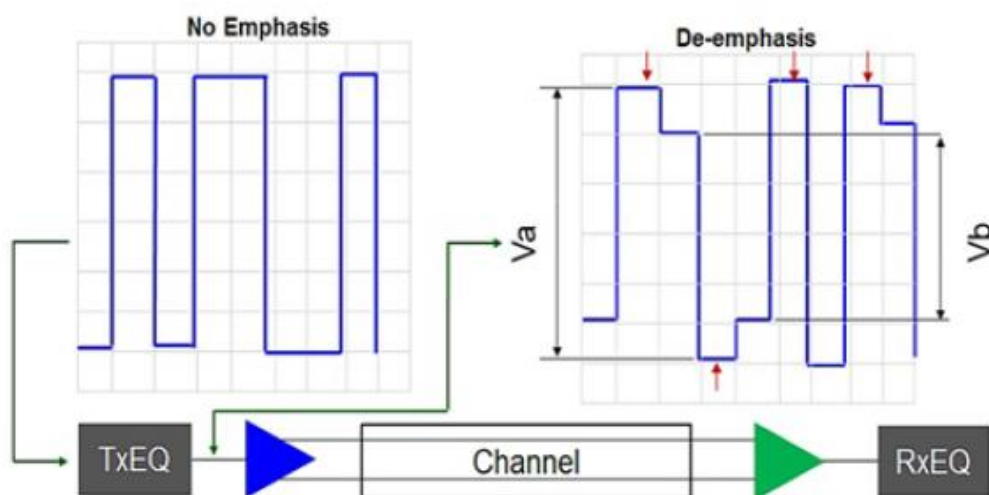


Ilustración 69: De-énfasis

Además, existe un nivel de Pre-shoot (V_c) que se da antes del cambio de polaridad y uno de boost máximo (V_d) para cuando hay un cambio de polaridad de un único bit.

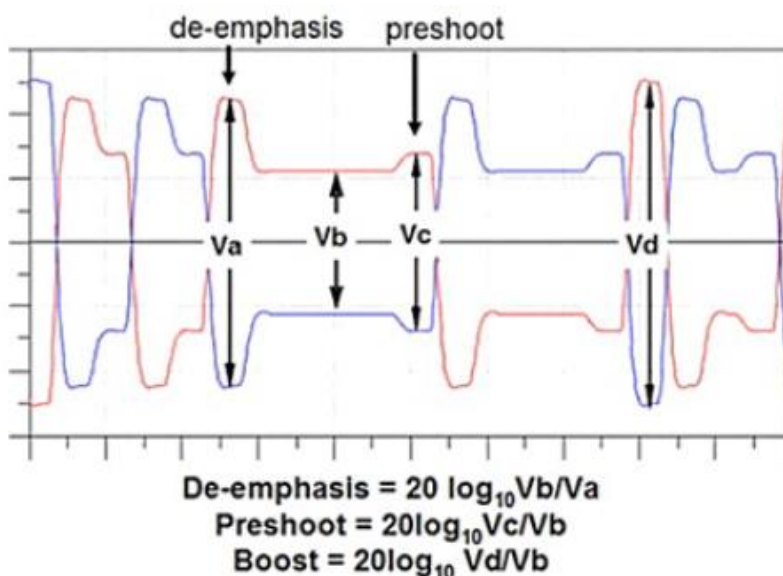


Ilustración 70: De-énfasis y pre-shoot

En cuanto al análisis de integridad de la señal, se simulan el conector y el bus de datos de ocho líneas usando un simulador electromagnético, obteniéndose así los parámetros S para analizar la adaptación de impedancias, reflexiones, atenuaciones y otros fenómenos.

Para realizar este análisis se ha escogido una FPGA de 12 capas. Para las transiciones se utilizaron modelos 3D. Se utilizó el *software* SIPro para la simulación EM. Se puede observar en la Ilustración 71 cómo se degrada el diagrama de ojo a medida que atraviesa los distintos conectores.

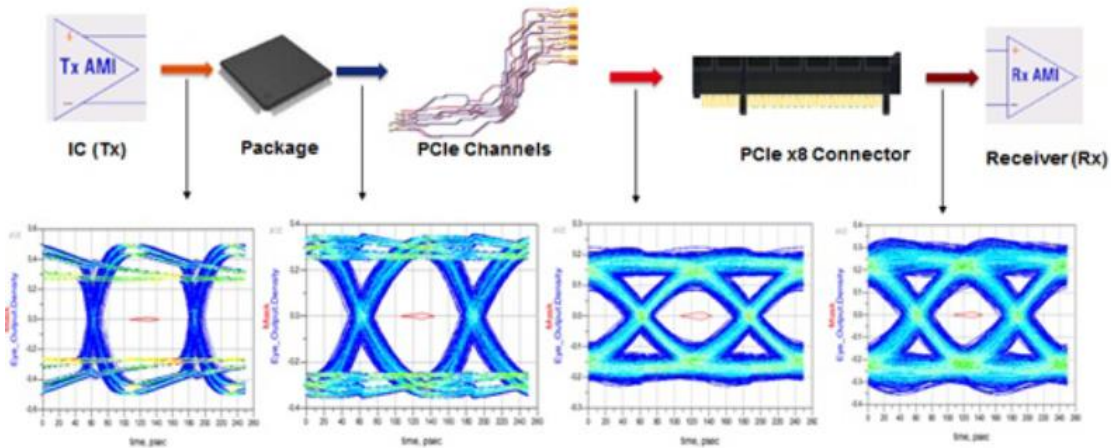


Ilustración 71: Diagrama de ojo en todo el canal

Por último, se realizaron pruebas de conformidad en el transmisor, en el receptor y en el enlace. Se realizaron pruebas de tiempo de UI, voltajes, máscara y jitter, entre otras. Se muestran en la Ilustración 72 el resultado de la simulación del diagrama de ojo en el extremo de transmisión.

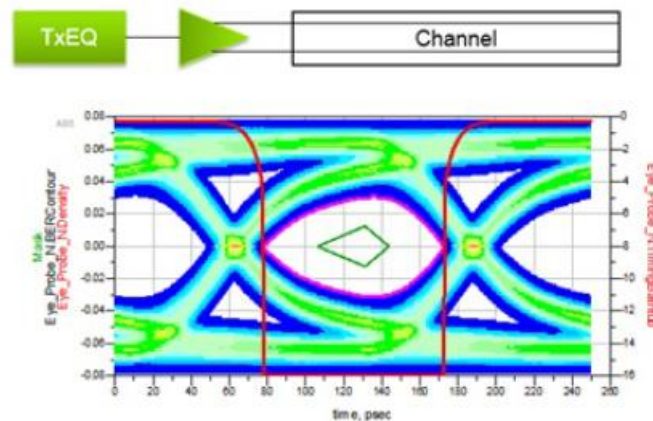


Ilustración 72: Diagrama de ojo en transmisión

Para obtener el diagrama de ojo en el receptor se estimula el extremo receptor y se mide el extremo transmisor. Se usa una máscara en el diagrama de ojo.

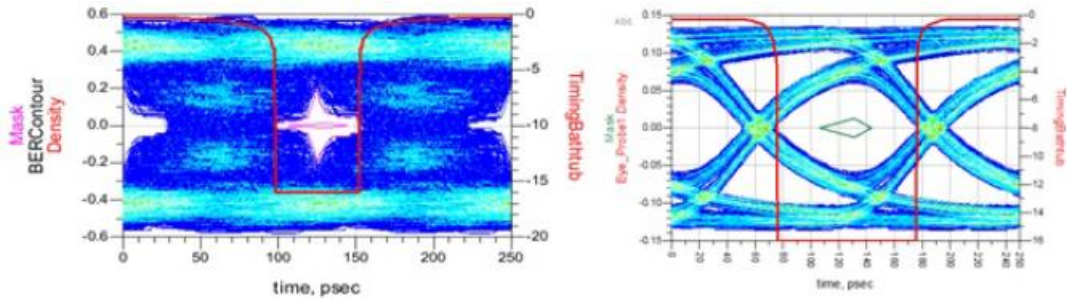


Ilustración 73: Diagrama de ojo en recepción sin ecualizar (izda.) y ecualizado (dcha.)

En la Ilustración 73 podemos ver cómo antes de la ecualización el ojo está totalmente cerrado mientras que si aplicamos ecualización se abre hasta alcanzar una apertura de 368 mV, que es un valor aceptable para obtener una buena medida de BER. Se probaron todos los presets, comprobándose cómo en todos los casos se cumplían las especificaciones. Se muestran las formas de onda de cada uno de los presets de PCIe en la Ilustración 74.

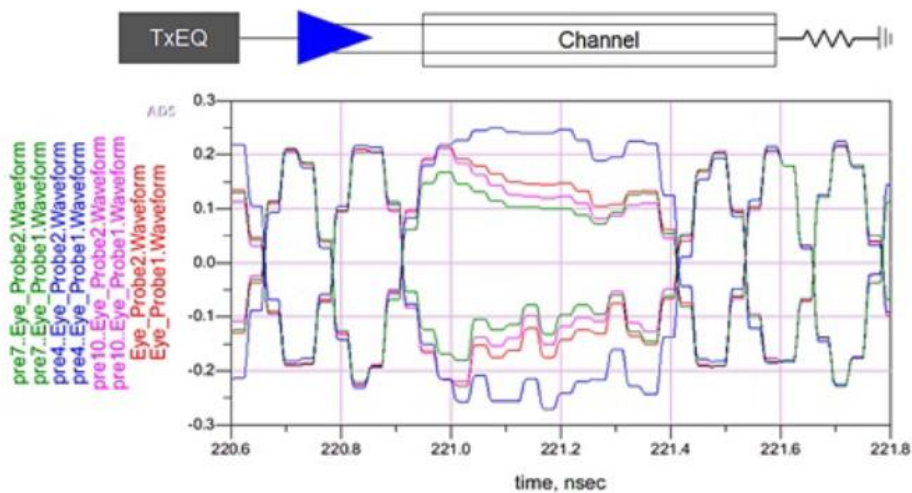


Ilustración 74: Formas de onda de los presets

5.5 DDR4

Double Data Rate type 4 (DDR4) es la última versión de la familia de tecnologías DDR. Esta versión, además de ofrecer mayores capacidades (mayor *data rate*, mayor número de bancos de memoria o mayor confiabilidad, entre otras), ofrece un consumo de energía menor a la anterior versión del protocolo DDR. Más concretamente, este estándar contempla unas velocidades de hasta 2400 MHz. Se incrementa también el número de pines, desde los 240 de los estándares DDR2 y DDR3 hasta los 288 pines que especifica el estándar de DDR4.

Una de las mejoras es el menor consumo de energía, ya que especifica un voltaje nominal de 1.2V y uno máximo de 1.35V, en comparación el 1.5V de voltaje nominal y 1.65 V de voltaje máximo de DDR3. Más allá de la reducción de los voltajes nominales y máximo, DDR4 también propone otras formas de ahorro energético. Frente a DDR3 que opera a un único voltaje que luego se incrementa para tareas específicas, DDR4 tiene directamente un voltaje secundario para estas tareas. Esto contribuye al ahorro energético ya que subir un voltaje supone un gasto energético bastante alto. DDR4 también puede apagar regiones de la memoria que no están en uso mediante

el uso de *Pseudo Open Drains* (PODs), a diferencia de DDR3, donde *VDDQ Termination* no permite esta misma acción.

Esta generación de DDR permite una mayor densidad de circuitos integrados o *integrated circuits* (CIs) y de *Dual In-line Memory Modules* (DIMMs). DDR4 incrementa también el número máximo de bancos de memoria que se pueden emplear, desde los 8 del estándar DDR3 hasta los 16 que permite DDR4.

Por último, también cabe destacar las mejoras implementadas en DDR4 en materia de confiabilidad. Por poner un ejemplo, este nuevo estándar incorpora una comprobación de redundancia cíclica o *Cyclic Redundancy Check* (CRC). Este tipo de comprobación permite detección de errores en tiempo real. Además del CRC, existe el mecanismo de detección y recuperación de errores del bit de paridad. Además de los mecanismos de detección y corrección de errores anteriormente descritos, DDR4 permite la monitorización de la temperatura, ya que las altas temperaturas producen errores y problemas en la integridad de la señal [38].

Característica	DDR2	DDR3	DDR4
Voltaje de operación	1.8 V – 2.5 V	1.35 V – 1.65 V	1.2 V
V _{pp}	X	X	2.5 V
Velocidades (Hz)	400, 533, 667, 800, 1066	800, 1066, 1333, 1600, 1866, 2133	2133, 2400, 2666, 2800, 3000, 3200+
Densidad IC	512 MB – 4 GB	512 MB – 8 GB	2 GB – 16 GB
Nº Bancos	8	8	16 (bancos de 4)
Densidad módulo memoria	512 MB – 4 GB	512 MB – 16 GB	4 GB – 32 GB
Nº pins por módulo	240	240	288

Tabla 18: Versiones DDR

DDR4 se prueba haciendo uso de máscaras, es decir, regiones del diagrama de ojo. DDR4 es válido si el diagrama de ojo no toca en ningún momento dicha máscara. La anchura de la máscara será definida en base al jitter interno de la DRAM, mientras que la altura será definida por el ruido interno [39]. Se muestra un ejemplo en la Ilustración 75.

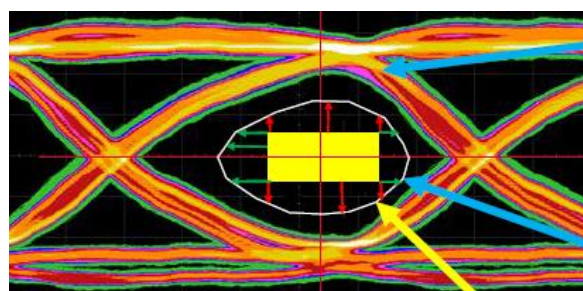


Ilustración 75: Máscara

El diseño de las placas PCB se ha convertido en una parte esencial en el análisis de las señales de alta velocidad. Factores como la elección de placa, los parámetros de la PCB o el cableado pueden desencadenar problemas de integridad de la señal.

En [40] se presenta un análisis de co-simulación de integridad de señal y potencia de una interfaz DDR4. En este tipo de interfaces la integridad de la señal necesita estar optimizada para tiempos de conmutación cada vez más pequeños. Además, el diseño de la red de distribución de

potencia resulta cada vez más complejo debido a componentes cada vez más pequeños y la presencia de un número de capas cada vez mayor.

Este documento se estructura en tres partes: ISI, *crosstalk* e impacto de la fuente de alimentación en la señal debido al *Simultaneous Switching Output (SSO)*.

Primeramente, simuló el banco de IO completo y la PCB utilizando modelos adecuados para la tecnología DDR4, la mayoría de ellos en 3D. Las líneas *microstrip* y las *stripline* fueron modeladas suponiendo una tierra ideal y que no hubiera acoplamiento de la fuente de alimentación hacia la señal.

Para los canales horizontales se modelaron líneas *microstrip* y *stripline* asumiendo un plano de tierra ideal y sin acoplamiento, mientras que para las transiciones verticales se generaron modelos 3D de integridad de la señal y potencia combinando la señal y el PDN. Se realizaron diversas optimizaciones de diseño de cara a mejorar la velocidad de la simulación, como agrupar los pines no utilizados, la omisión del paquete de la DRAM o el empleo de *Current Control Current Source (CCCS)*.

Se concluyó que los problemas de integridad de la señal se deben a la terminación del canal no ideal, a las desadaptaciones de impedancias y a la alta capacitancia de entrada.

Para el análisis del ISI se envía un único bit a la línea víctima cuando las líneas agresoras están inactivas. En el estudio se varió uno de los parámetros y se mantuvo el resto en sus valores nominales. Se evaluaron los efectos de la capacitancia de entrada (Ilustración 76) y la impedancia de la PCB (Ilustración 77) en el margen de tiempo, concluyendo que la capacitancia de entrada fue más limitante que la impedancia del PCB.

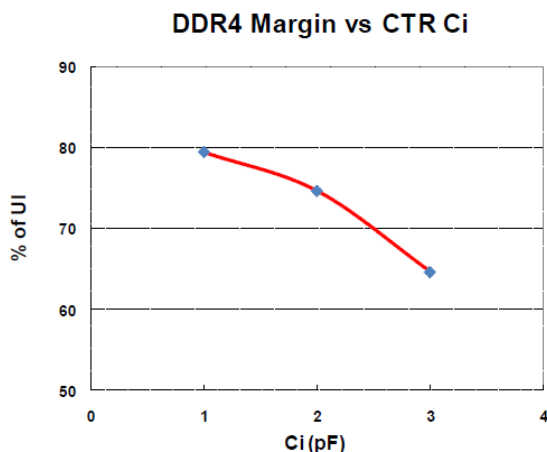


Ilustración 76: Efecto de la variación de la capacitancia de entrada en el margen de tiempo

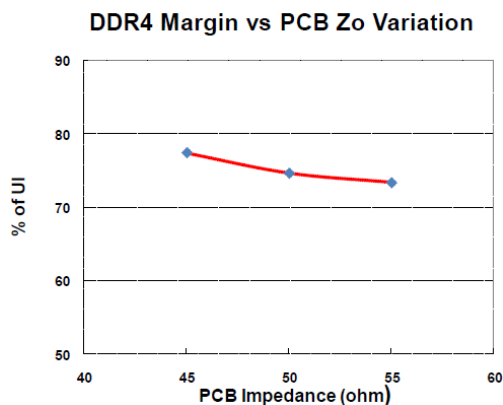


Ilustración 77: Efecto de la variación de la impedancia en el margen de tiempo

En cuanto al *crosstalk*, se usaron líneas de $20\mu\text{m}$ de ancho y $20\mu\text{m}$ de espaciado entre las líneas *stripline* en la mayor parte del circuito. Sin embargo, en la parte de *breakout* se utilizaron un espaciado y anchura menor, de $18\mu\text{m}$. La impedancia nominal de los caminos es de 40Ω , pudiendo variar entre 35Ω y 45Ω .

Se simularon anchuras de $W = 20\mu\text{m}$, $1.5W$ y $2W$, como muestra la Ilustración 78. En el caso de un espaciado $2W$, el margen del canal sube un 12% en comparación con W . Se concluye que la mejor opción para espaciado es $1.5W$ debido a que supone un compromiso entre la buena protección frente al *crosstalk* y la optimización del espacio disponible en la placa.

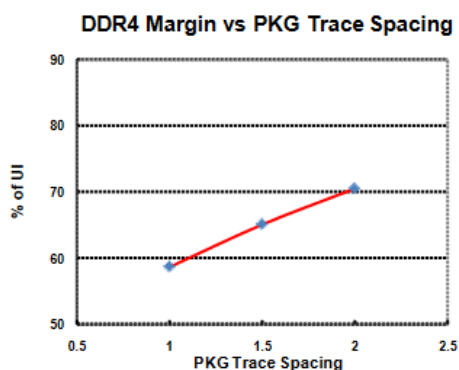


Ilustración 78: Efecto de la variación del espaciado entre líneas de transmisión en el margen de tiempo

Por último, se analiza el SSN. Este fenómeno afecta al margen de tiempo al provocar *jitter*. Para ello se modela Z_{PDN} , que es la impedancia vista desde el circuito de distribución de potencia en dirección a la placa PCB. El diseño de la *Power Distribution Network* (PDN) se realiza con el objetivo de mantener Z_{PDN} por debajo de un valor objetivo concreto durante el rango de frecuencias de interés.

Se mostrarán diferentes diseños de PDN y se comparará su impacto en el diseño, contemplando además su coste de implementación.

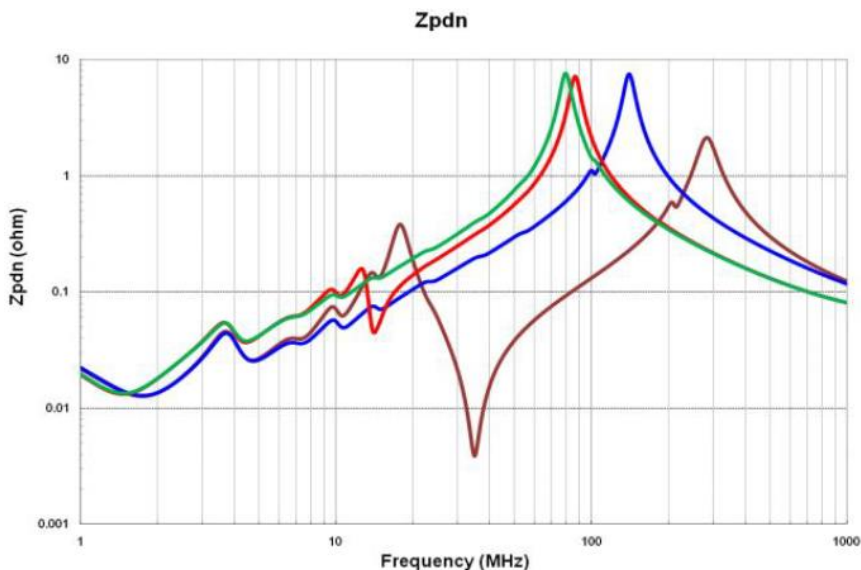


Ilustración 79: Diseños de PDN

	PKG_L	OPD_L	ODC
Caso 1: Marrón	X pH	Y pH	Z nF
Caso 2: Azul	X pH	-	Z nF
Caso 3: Rojo	3X pH	8Y pH	1.75Z nF
Caso 4: Verde	3X pH	-	1.75Z nF

Tabla 19: Parámetros de diseño de la PDN

El diseño del caso 1 es el que muestra mejor resultado. Sin embargo, también es el de mayor coste.

El ruido inducido es una función de la intensidad del circuito.

$$V_{noise}(f) = Z_{pdn}(f) * I_{noise}(f)$$

Ecuación 6: Ruido inducido

Por ello, si logramos reducir la intensidad del circuito reduciremos también se reducirá el ruido inducido. Se estudian dos técnicas para reducir la corriente en el circuito: *Pseudo-Open-Drain Logic (PODL)* y la codificación *Data Bit Inversion (DBI)*.

PODL es un esquema de terminación empleado en DDR4 que se diferencia del *Stub-Series Terminated Logic (SSTL)* de DDR3 por consumir menos corriente. La Ilustración 80 y la Ilustración 81 muestran los esquemas electrónicos de las terminaciones SSTL y PODL

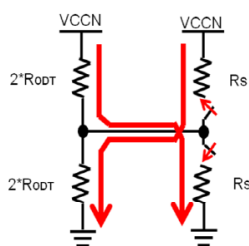


Ilustración 80: SSTL

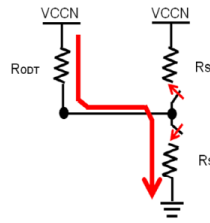


Ilustración 81: PODL

Por otra parte, para reducir la intensidad, en DDR4 se utiliza la codificación DBI. Este tipo de codificación puede reducir el SSO en más de un 50%. DBI consiste en reducir el número de ceros de forma que el número de conmutaciones se reduce notablemente.

DQ [7:0]	DBI	Después de la conversión	Nº ceros con DBI
0000_0000	0	1111_1111	1
0000_0001	0	1111_1110	2
0000_0011	0	1111_1100	3
0000_0111	0	1111_1000	4
0000_1111	1	0000_1111	4
0001_1111	1	0001_1111	3
0011_1111	1	0011_1111	2
0111_1111	1	0111_1111	1
1111_1111	1	1111_1111	0

Tabla 20: Codificación DBI

Se concluyó que el efecto del SSO no fue relevante en la interfaz DDR4, probablemente debido a la reducción que provocan el uso de la terminación POD y la codificación DBI.

Se simulan los diagramas de ojo del canal DDR4 medidos en los pines DRAM, donde el trigger es un *clock* ideal. Visualmente se observó que el ISI y el *crosstalk* son las causas del cierre del ojo. La ISI produce un UI del 75%, el *crosstalk* y el SSO del 16%.

Por último, se realiza la correlación entre modelo y hardware. Para ello:

- 1) Se mide el canal mediante TDR y VNA
- 2) Se verifica la frecuencia resonante y el ruido del PDN
- 3) Se correla la ISI de la línea de transmisión víctima con diferentes patrones (*single bit*, *step response* y *PRBS15*)
- 4) Se correla el *crosstalk* y el SSO utilizando para ello los patrones PRBS15 para conmutar la línea víctima y PRBS10 para el resto de las líneas.

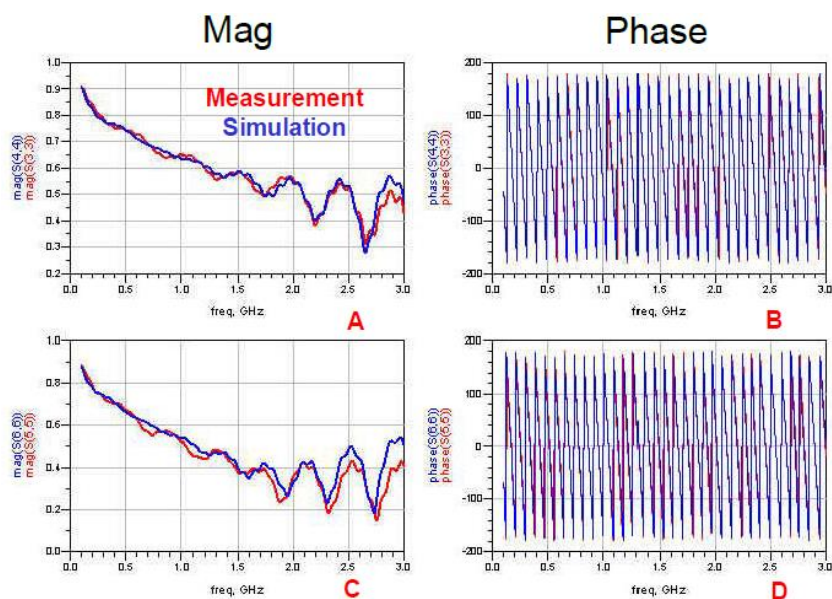


Ilustración 82: Correlación en amplitud y fase en DDR3 mediante el VNA

Como puede apreciarse en Ilustración 82, se tiene una buena correlación tanto en fase como en amplitud (mag) al usar el VNA. También se obtuvo una buena correlación en ISI.

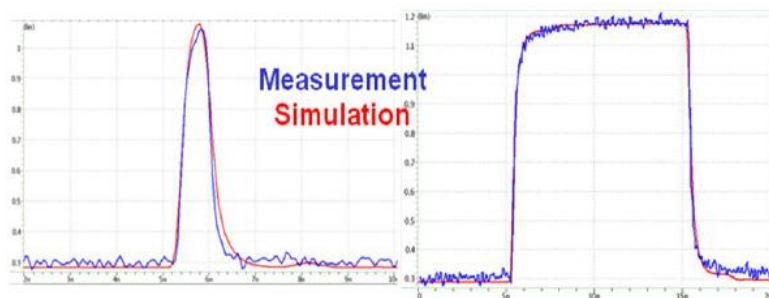


Ilustración 83: Correlación para single bit y step response

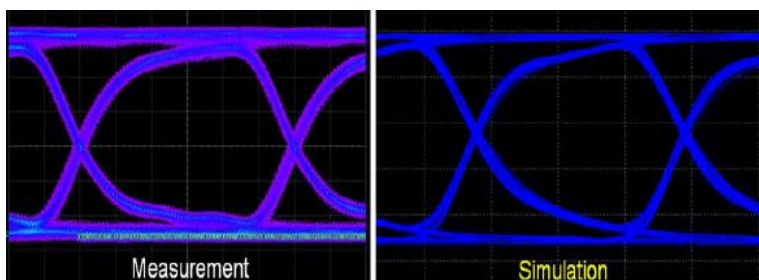


Ilustración 84: Correlación del diagrama de ojo para PRBS

	Fuzz p-p	Altura ojo
Medida	130 ps	570 mv
Simulado	115 ps	540 mv

Tabla 21: Correlación simulación/realidad

En [41] se analizan los efectos en la integridad de la señal de variar distintos parámetros como pueden ser la distancia entre líneas de transmisión paralelas o el *throughput*, entre otros.

Los tipos de línea de transmisión más comunes en PCBs son *stripline* y *microstrip*. Las líneas *stripline* son líneas de transmisión que se encuentran envueltas entre dos niveles de referencia. Son el tipo de línea escogido en este estudio. Para asegurar la calidad de la señal, la impedancia debe ser continua en toda la línea e igual a la impedancia característica.

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} * \ln \frac{4H}{0.67\pi * (0.8W + T)}$$

Ecuación 7: Impedancia característica

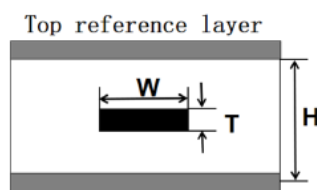


Ilustración 85: Estructura de la línea strip line

En Ecuación 7, W es el ancho de la línea de transmisión, T la altura del metal, H la distancia interplanar y ϵ_r la constante dieléctrica. Los cambios en la anchura de la línea y en la distancia entre líneas provocan cambios en la impedancia, y cambios abruptos en la impedancia causan reflexiones.

$$\rho = \frac{V_i}{V_r} = \frac{Z_1 - Z_0}{Z_1 + Z_0}$$

Ecuación 8: Coeficiente de reflexión

En la Ecuación 8, V_i se corresponde con el voltaje incidente mientras que V_r se corresponde con el voltaje reflejado. Z_0 es la impedancia característica del circuito mientras que Z_1 es la impedancia del circuito. Si $Z_0 = Z_1$, $\rho = 0$ y por lo tanto no habrá reflexiones. Cuanto mayor sea la diferencia entre Z_0 y Z_1 mayor será el coeficiente de reflexión.

Otro problema de integridad de la señal es el *crosstalk*, cuyo modelo circuital se muestra en la Ilustración 86.

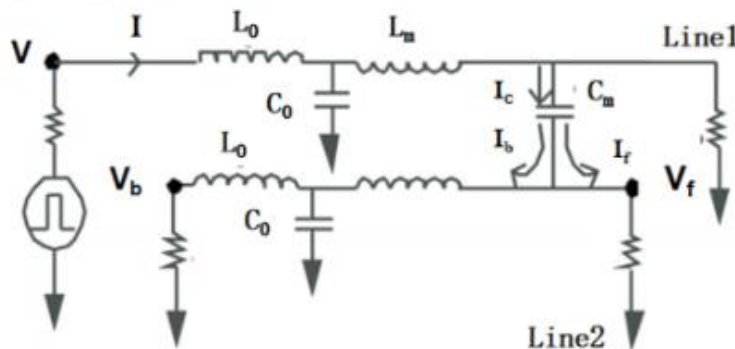


Ilustración 86: Modelo circuital del *crosstalk*

Asumiendo que ambas líneas tienen las mismas características Z_0 , L_0 (coeficiente de autoinductancia), C_0 (coeficiente de autocapacitancia), Len (longitud de la línea de transmisión), L_M (inductancia mutua) y C_M (Capacitancia mutua), los coeficientes de estos fenómenos pueden calcularse de la siguiente manera:

$$NEXT = \frac{V_b}{V_1} = \frac{1}{4} * \left(\frac{C_M}{C_0} + \frac{L_M}{L_0} \right)$$

Ecuación 9: NEXT

$$FEXT = \frac{V_f}{V_1} = \frac{Len}{RT} * \frac{1}{2} * \left(\frac{C_M}{C_0} - \frac{L_M}{L_0} \right)$$

Ecuación 10: FEXT

El *rise time* (RT) es el tiempo de subida. De la fórmula se puede deducir rápidamente como la longitud de la línea y la distancia entre ellas afecta directamente al coeficiente de *crosstalk*.

Para analizar el *crosstalk* se escoge un modelo de tres líneas paralelas, en las que dos son agresoras (L1 y L3) y una es víctima (L2). Se escoge un modelo IBIS y se calculan los parámetros S.

A continuación, se muestran los parámetros de la placa PCB simulada.

Parámetro	Valor
Anchura de datos	32 bits
Estructura topológica	Punto a punto
Material dieléctrico	FR-4
Permitividad eléctrica ϵ_r	4.5
Laminado PCB	De arriba hacia abajo: TOP, L2VCC (power supply), L3SIG (signal), L4SIG(signal), L5GND(stratum) y BOTTOM
Anchura placa	1.6 mm
Anchura línea	0.2 mm
Impedancia característica Z_0	50 Ω

Tabla 22: Parámetros de la PCB

Para simular la placa se han utilizado las herramientas Advanced Design System y Sigrity.

A continuación, se muestran los parámetros de la primera simulación. En primer lugar se comparan los resultados sin eliminación de ruido y con eliminación de ruido.

Parámetro	Valor
Longitud de la línea de transmisión	100 mm
Distancia entre líneas	W (0.15 mm)
Transmission rate	2133 Mbit/s

Tabla 23: Parámetros de la primera simulación

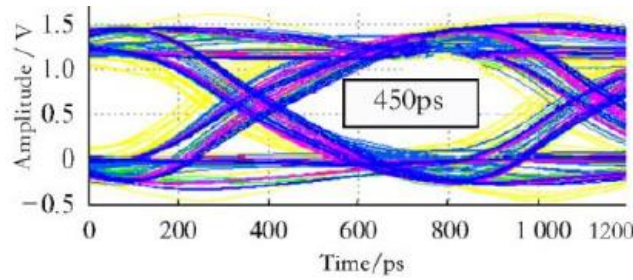


Ilustración 87: Ojo antes de eliminar el ruido

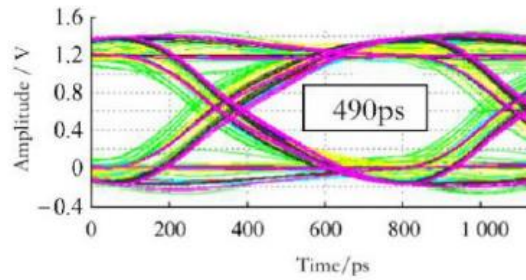


Ilustración 88: Ojo con ruido eliminado

Podemos ver cómo mejora la apertura del ojo en la ilustración 52. A continuación se comprobarán los efectos de la variación de la longitud de las líneas de transmisión, la distancia entre ellas y el data rate.

Se va a comprobar los efectos de variar la longitud de la línea de transmisión.

Parámetro	Valor
Longitud de la línea de transmisión	50 mm, 100 mm y 150 mm
Distancia entre líneas	2W (0.30 mm)
Transmission rate	2133 Mbit/s

Tabla 24: Comparación de longitud de las líneas de transmisión

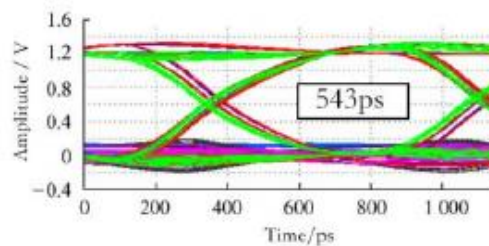


Ilustración 89: Longitud de la línea = 50 mm

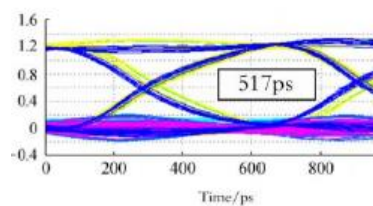


Ilustración 90: Longitud de la línea = 100 mm

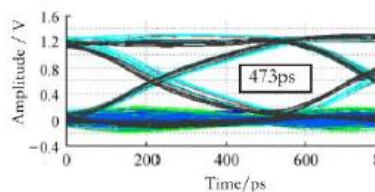


Ilustración 91: Longitud de la línea = 150 mm

Se puede ver en Ilustración 89, Ilustración 90 e Ilustración 91 que si aumentamos la longitud de las líneas, el diagrama de ojo tiende a cerrarse. Por ello se puede concluir que las líneas deberán ser cortas para mejorar la integridad de la señal. Si no es posible, se puede aplicar el rutado JOG, que se muestra en la Ilustración 92. En este tipo de rutado la distancia entre las líneas se aumenta de forma discontinua.

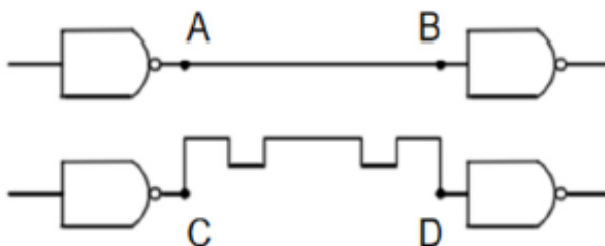


Ilustración 92: Rutado JOG

Ahora se procederá a variar la distancia entre líneas de transmisión en 1W, 2W, 3W y 4W.

Parámetro	Valor
Longitud de la línea de transmisión	50 mm
Distancia entre líneas	1W, 2W, 3W y 4W
Transmission rate	2133 Mbit/s

Tabla 25: Comparación de la separación entre líneas de transmisión

Se obtuvieron los siguientes resultados.

Distancia entre líneas W	1W	2W	3W	4W
Rango NEXT (mV)	72	34	13	5
Rango FEXT (mV)	45	22	9	3

Tabla 26: Resultados de variar la separación entre líneas

Vemos como por cada 0.15mm que se separan las líneas, el total de *crosstalk* se reduce a la mitad. Con una distancia de 0.60mm el *crosstalk* es prácticamente inexistente.

En esta sección se variará el data rate entre líneas de transmisión en 2133Mbit/s, 2400Mbit/s, 2666Mbit/s, 3200Mbit/s.

Parámetro	Valor
Longitud de la línea de transmisión	100 mm
Distancia entre líneas	2W
Transmission rate	2133 Mbit/s, 2400 Mbit/s, 2666 Mbit/s y 3200 Mbit/s

Tabla 27: Comparación de la separación entre transmission rates

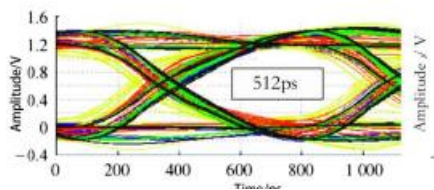


Ilustración 93: Ojo a 2133 Mbit/s

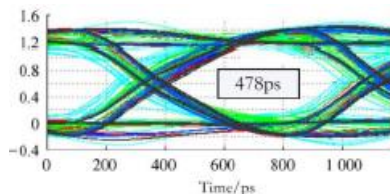


Ilustración 94: Ojo a 2400 Mbit/s

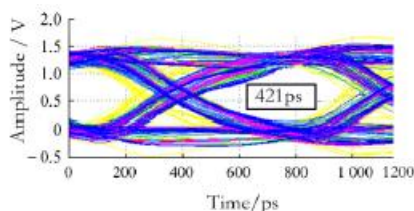


Ilustración 95: Ojo a 2666 Mbit/s

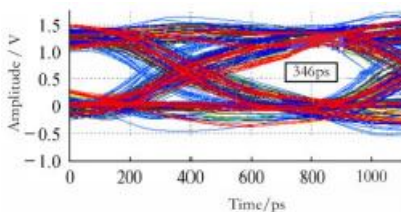


Ilustración 96: Ojo a 3200 Mbit/s

Podemos ver en las ilustraciones más atrás como a mayor data rate menor es la apertura del ojo. Se realizan pruebas y se observa que existe una desadaptación de impedancia en la carga, por lo que se procede a adaptarla poniendo en paralelo al circuito una resistencia con un condensador en serie.

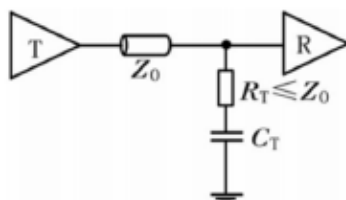


Ilustración 97: Adaptación de impedancias

Para escoger el valor de capacitancia se ha usado Terminator Wizard de Hyperlynx y se concluyó con que era necesario un condensador de 150 pF. Para la resistencia se escogió el valor de la impedancia característica, es decir, 50 Ω . Se compara el *crosstalk* con la carga adaptada y sin adaptar.

Situación	Apertura (ps)	NEXT (mV)	FEXT (mV)
Antes de adaptar	346	120	86
Después de adaptar	447	65	42

Tabla 28: Simulación antes y después de adaptar la carga

Por último, en [42] se estudia la integridad de la señal y la integridad de la potencia de forma combinada.

En este estudio se utiliza un modelo IBIS 5.0 en ADS para realizar el análisis de la integridad de la señal con consciencia de la potencia. En la Ilustración 98 se puede ver una representación gráfica de la placa empleada.

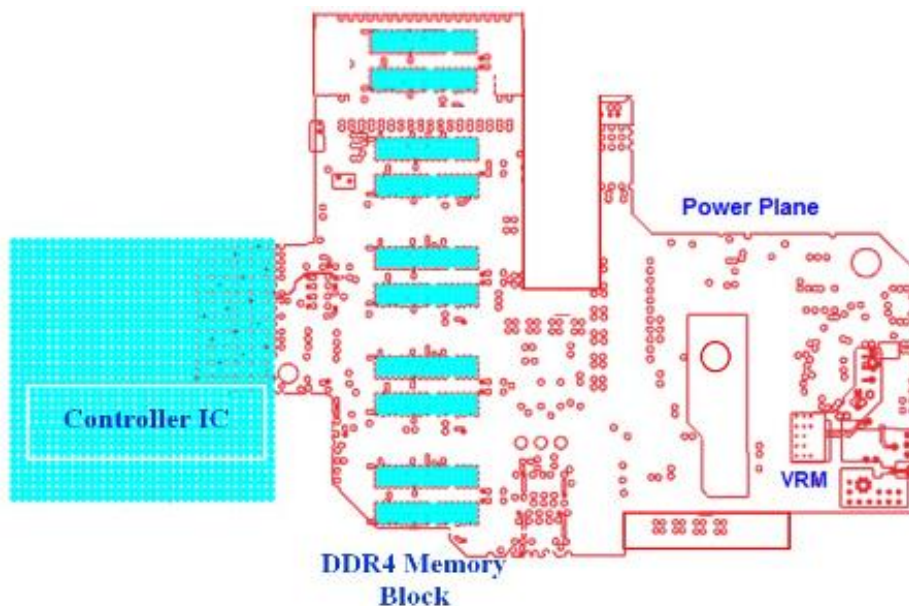


Ilustración 98: Placa estudiada

Se compara el diagrama de ojo teniendo en cuenta los efectos de la potencia y sin tenerlos en cuenta.

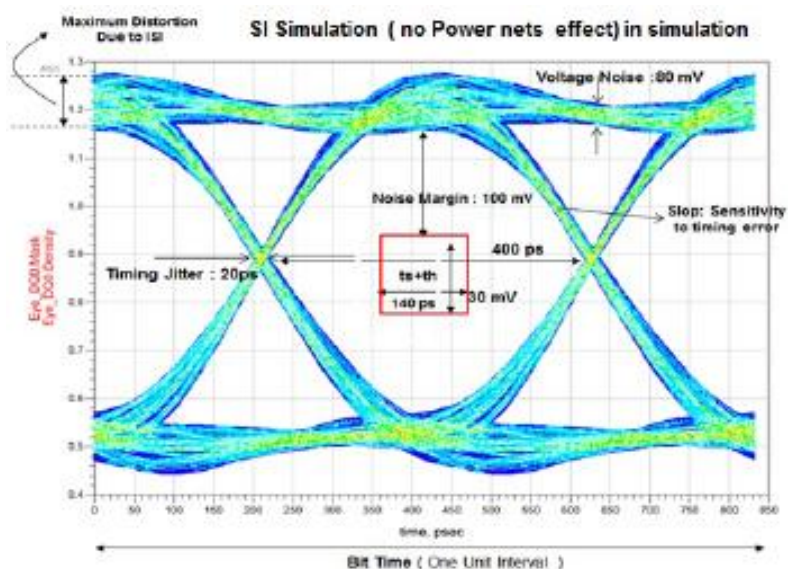


Ilustración 99: Diagrama de ojo sin tener en cuenta efectos de la potencia

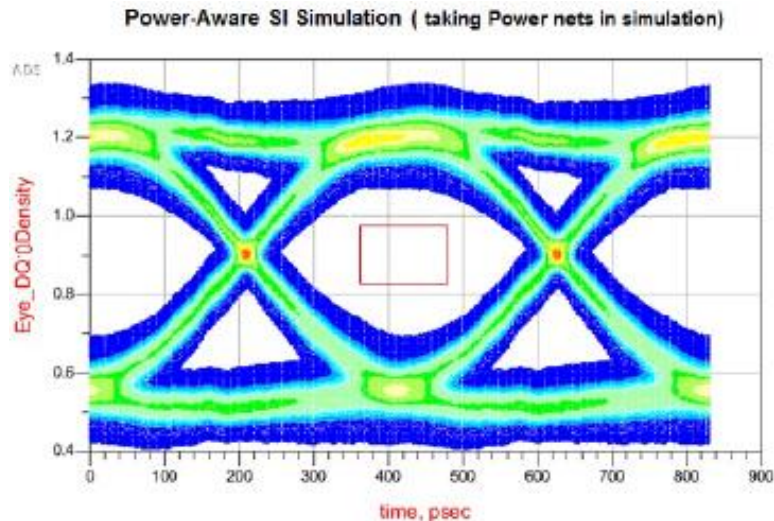


Ilustración 100: Diagrama de ojo teniendo en cuenta efectos de la potencia

Como se había previsto, el diagrama de ojo está más cerrado al tener en cuenta los efectos de la potencia, como se puede ver en la Ilustración 100. Esto sucede porque se tiene en cuenta el jitter creado por la PDN.

También se analizó el SSN, que es causado por un número alto de señales conmutando de forma simultánea. Para analizar el SSN todas las señales de datos deben ser activadas a la vez. Este fenómeno genera ruido en el voltaje, además de desplazar los valores de voltaje mínimo hacia arriba. El SSN se muestra en la Ilustración 101.

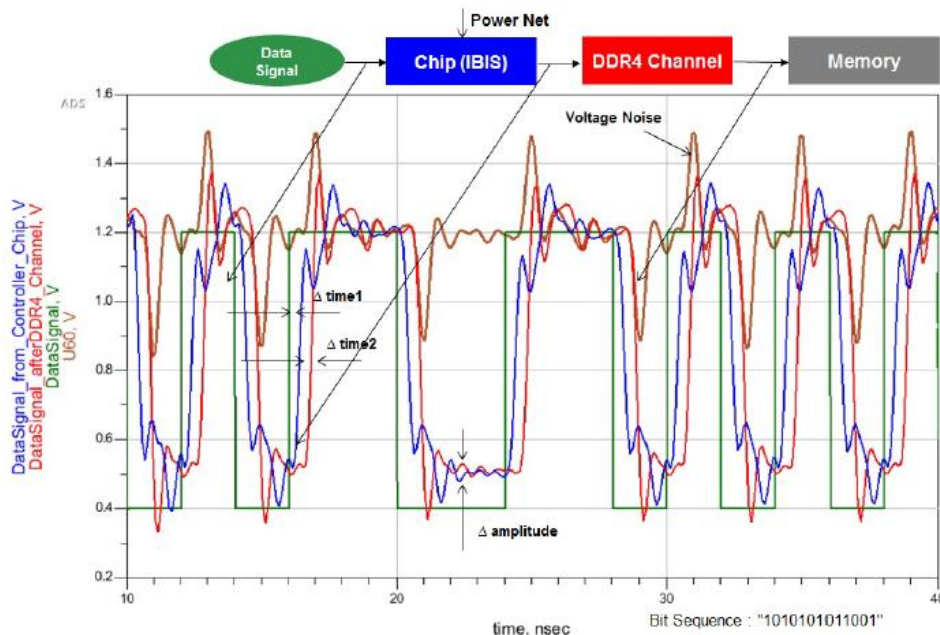


Ilustración 101: SSN

También se analiza el *crosstalk*, midiendo tanto NEXT como FEXT. Se muestran los resultados en la Ilustración 102.

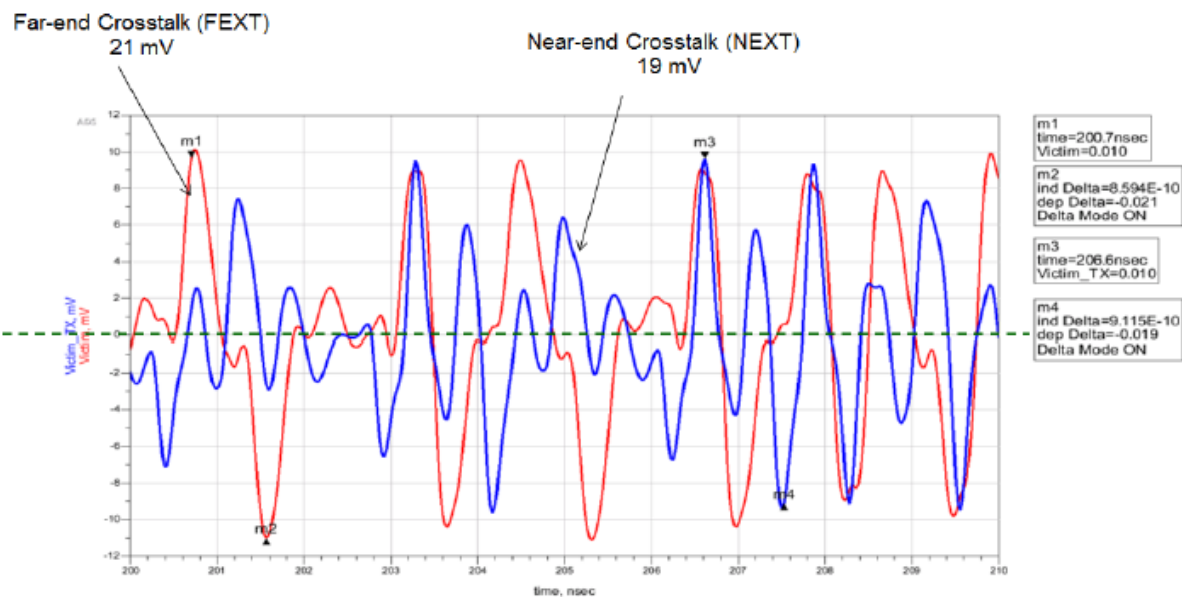


Ilustración 102: Resultados de la simulación de *crosstalk*

Paper	Año	Parámetros analizados	TDR?
[40]	2013	% UI, correlaciones single bit, step response y PRBS (simulación vs medido), apertura del ojo	Sí
[41]	2021	Apertura del ojo, FEXT (mV) y NEXT (mV)	No
[43]	2017	Apertura del ojo, voltage drop (DC), voltage noise	Sí

Tabla 29: Comparación papers DDR4

Debido a retrasos en fabricación de la tarjeta que iba a ser empleada en la caracterización, finalmente no fue posible analizar DDR4.

6. Análisis del equipamiento

Para la toma de medidas se valoró la compra de los equipos que aparecen en la Tabla 30.

Marca/Modelo	Modelo	Bandwidth	Nº de canales	Sample rate	Actualizable?	Memory depth
Keysight [44]	UXR0104A	10 GHz	4	128 GSa/s	Si	200 MSa
Rohde & Schwarz [45]	RTP164B	8 GHz	4	40 GSa/s	Si (Hasta 16 GB)	50 MSa
Tektronix [46]	MSO64B 6-BW-10000	10 GHz	4	25 GSa/s	No	62.5 MSa

Tabla 30: Comparativa de modelos de osciloscopios

Teniendo en cuenta las necesidades para este proyecto, pero también necesidades futuras de la empresa en la que fue realizado este proyecto, se ha escogido el modelo UXR0104A de Keysight por sus posibilidades de ampliación y superiores características.

6.1 Equipamiento

6.1.1 Instrumentación

- Osciloscopio

El modelo de osciloscopio escogido es el UXR0104A de Keysight, mostrado en la Ilustración 103.



Ilustración 103: Keysight UXR0104A

Se trata un osciloscopio de un ancho de banda máximo de 10GHz y 4 canales, actualizable a anchos de banda de hasta 110GHz (hasta 33GHz mediante actualización de firmware y hasta 110GHz modificando el *front-end*). Cuenta con opciones de estimación de jitter (diferenciando el jitter aleatorio del determinista), cálculo del diagrama de ojo o construcción de modelos para

mostrar cómo sería dicha señal sin *crosstalk*/jitter sin tener que apagar dicha señal. La Ilustración 104 muestra el asistente de estimación de *crosstalk*.

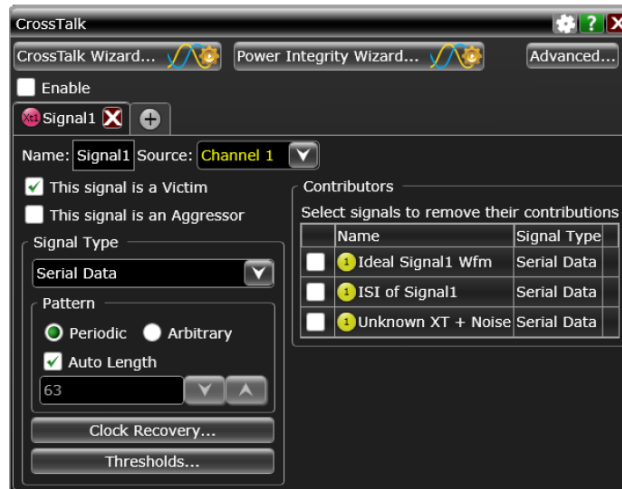


Ilustración 104: Asistente de estimación de *crosstalk*

Esta opción permite, por ejemplo, el cálculo de la interferencia de la fuente de alimentación, que de otra forma no podría calcularse [47].

- VNA

Para la reflectometría en el dominio del tiempo se ha empleado el modelo de VNA E5080A de la marca Keysight, que cuenta con 4 puertos para diferentes señales y tiene un rango frecuencial que va desde los 9 KHz hasta los 6.5 GHz. Además del analizador se ha empleado la aplicación S96010A, “Time Domain Analysis” [48], que permite analizar la respuesta de un sistema en el dominio del tiempo. En [49] pueden consultarse las especificaciones completas de este aparato.

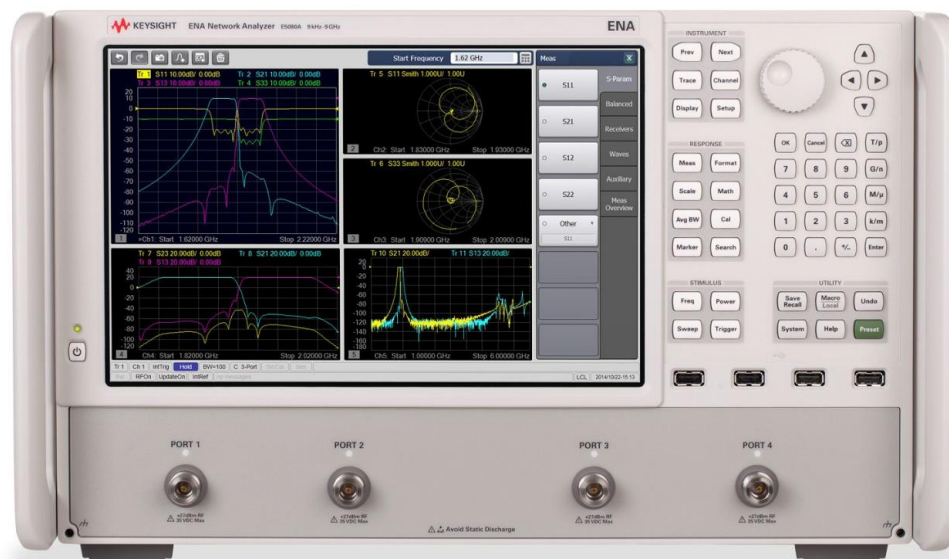


Ilustración 105: VNA E5080A

6.1.2 Sondas

Existen dos tipos de sondas: las activas y las pasivas. Las activas tienen mayor ancho de banda, un menor error de carga a frecuencias altas y un nivel de ruido menor que las pasivas. Las sondas pasivas, en cambio, cuentan con la ventaja de tener un menor coste, lo que las convierte en el tipo de sonda más usado [9].

Hay tres tipos de sondas según su impedancia: de voltaje, de corriente y de potencia.

- Sondas de voltaje: diseñadas para medir en paralelo al circuito. Por ello, tienen una gran impedancia.

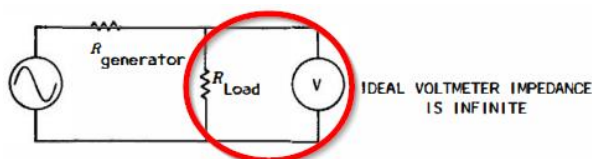


Ilustración 106: Utilización de sonda de voltaje

Presentan una impedancia alta para minimizar el error de carga. Además, son altamente resistentes al desgaste mecánico, y son fáciles de calibrar y mantener. Sin embargo, cuentan también con desventajas como que la impedancia de entrada desciende a altas frecuencias.

- Sondas de corriente: son sondas diseñadas para medir en serie con el circuito, por lo que tienen una gran impedancia

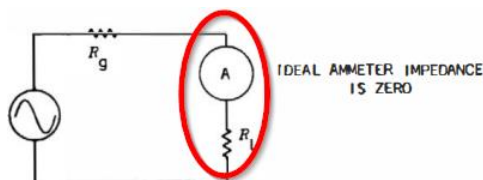


Ilustración 107: Utilización de sonda de corriente

- Sondas de transferencia de potencia: por último, este tipo de sondas está diseñado para que haya adaptación de impedancias entre la impedancia de la sonda y el circuito y de esta forma la transferencia de potencia sea máxima [50].

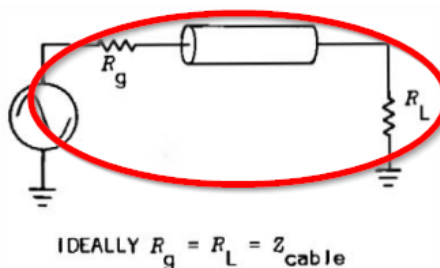


Ilustración 108: Utilización de sondas de transferencia de potencia

Para la toma de medidas se ha empleado la sonda activa MX0021A de Keysight.



Ilustración 109: Sonda Keysight MX0021A (I)



Ilustración 110: Sonda Keysight MX0021A (II)

Se trata de una sonda activa de un ancho de banda de 13 GHz.

6.1.3 Acopladores

Como se indica en [51], un acoplador direccional es una red pasiva de cuatro puertos en la cual uno de los puertos queda aislado de la entrada (puerto aislado). De los puertos restantes uno, el puerto de salida, recibe la mayor parte de la señal que entra del puerto de entrada, mientras que el segundo (el puerto acoplado) recibe una pequeña parte de la potencia incidente.

Se presenta en la Ecuación 11 la matriz de parámetros S de un acoplador direccional ideal.

$$S = \begin{pmatrix} 0 & p & 0 & jq \\ p & 0 & jq & 0 \\ 0 & jq & 0 & p \\ jq & 0 & p & 0 \end{pmatrix}$$

Ecuación 11: Matriz de parámetros S de un acoplador direccional [52]

En este trabajo se han empleado dos acopladores direccionales de 3 puertos (no cuentan con puerta aislada). Se explican más a fondo en la sección Automotive Ethernet 1000Base-T1.

6.1.4 Conectores

En el montaje final se han empleado cables con conectores SMA para conectar diferentes dispositivos. Se trata del tipo de conectores para cable coaxial más pequeño y además el mecanismo de acoplado es de tipo tornillo. Tienen una impedancia de 50Ω y su funcionamiento eléctrico está garantizado hasta una frecuencia de 17GHz.

Hay tres tipos de conectores SMA:

- SMA PCB Type: la entrada y el acoplamiento forman un ángulo de 180°.



Ilustración 111: Conector SMA PCB Type

- SMA PCB Type, right angle: la entrada y el acoplamiento forman un ángulo de 90°.



Ilustración 112: Conector SMA PCB Type, right angle

- SMA edge mount: se monta en el lateral del PCB [53]



Ilustración 113: Conector SMA edge mount

Además, se emplearon cables BNC. Este tipo de conectores siguen los estándares CECC 22121, IEC 61169-8 y MIL-STD-348B. Cuentan con una impedancia de 50 o 75Ω y un rango de frecuencias de operación de hasta 18 GHz dependiendo del modelo [54].



Ilustración 114: Cable BNC

7. Metodología

7.1 Placa PCB

En este proyecto se han empleado varias tarjetas PCB para tomar muestras de distintos protocolos.

La primera de ellas, utilizada para Automotive Ethernet 1000Base-T1, se trata de una tarjeta de fabricación propia basada en el MPSoC Zynq Ultrascale de Xilinx e incluye su lógica programable [55].

Además de ello, para las medidas de integridad de la señal de USB se han empleado una tarjeta Arduino UNO y una tarjeta de fabricación propia.

7.2 Riesgos

7.2.1 Riesgos en el osciloscopio

En cuanto a los riesgos mecánicos, es altamente recomendable usar el protector que viene con el equipo, para que si se daña algo al conectar el circuito al osciloscopio sea el protector lo que resulte dañado y no el aparato. Resulta muy interesante también el uso de una llave dinamométrica para que siempre sea aplicado el mismo par de fuerza a la hora de apretar el conector.

Por último, este modelo específico admite una tensión de entrada de $\pm 5V$ como máximo. Si usamos una sonda activa no habrá problema ya que ella misma adapta la tensión para que no se supere dicho voltaje en la entrada del osciloscopio. En sondas pasivas sí que hay que tener especial cuidado.

7.2.2 Riesgos en las PCBs analizadas

Las PCBs son elementos muy delicados en cuanto a la electricidad estática se refiere, por lo que es importante contemplar los riesgos relacionados con esta. Por una parte, para evitar dañar las placas se debe hacer uso de correa que viene con el osciloscopio. Dicha correa, mostrada en la Ilustración 115, se coloca en los zapatos del operario se conecta a un puerto específico del equipo.

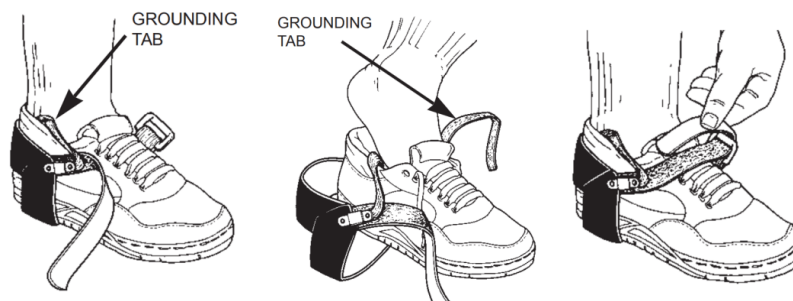


Ilustración 115: Correa para evitar electricidad estática

Adicionalmente también se deben descargar los cables de la posible electricidad estática que puedan tener.

7.3 Diagrama de ojo

Una de las pruebas realizadas es el diagrama de ojo, ya explicada en el apartado de introducción. Sin embargo, también conviene explicar los resultados que se esperan de esta prueba. Para ello, se han estudiado los diferentes diagramas de ojo de los fenómenos más típicos.

En la Ilustración 116 se presenta un diagrama con Duty Cycle Distortion (DCD). Este tipo de problema de la integridad de la señal se presenta mediante un cruce entre el flanco de subida y el de bajada a una altura distinta al 50% de la altura del ojo.

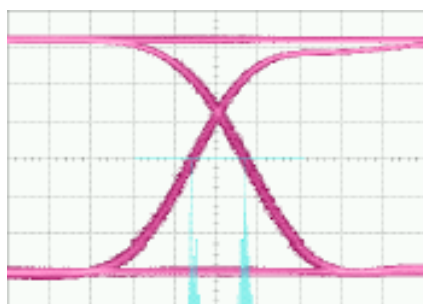


Ilustración 116: Diagrama ojo con DCD

Además del DCD, existen otros fenómenos que afectan a la integridad de la señal, como es el caso de la interferencia entre símbolos o ISI. Se manifiesta ensanchando los trazos del diagrama, como se presenta en la Ilustración 117.

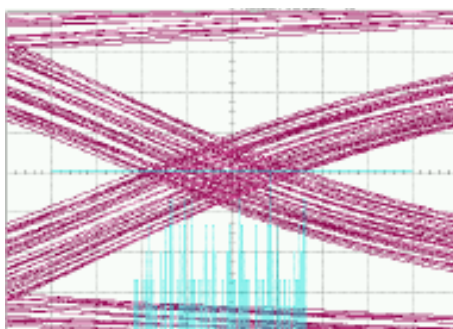


Ilustración 117: Diagrama ojo con ISI

Por último, el ruido aleatorio, aunque inevitable, también puede suponer un problema. Se presenta mediante puntos aislados alejados de los flancos.

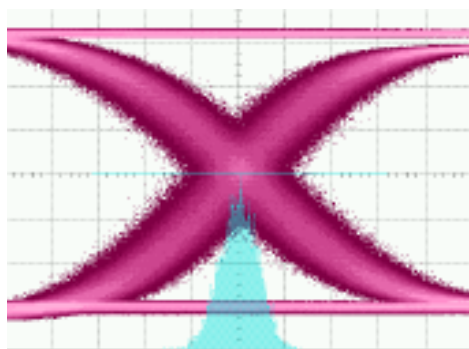


Ilustración 118: Diagrama con ruido aleatorio

7.4 Técnica de medida

7.4.1 Set - Up

Este montaje es necesario para separar las señales transmitidas y recibidas, por lo que se montó un set-up como el que aparece en la Ilustración 119. Se emplearon dos modelos de acopladores para realizar las medidas: el ZFDC -10-5 [56] y el ZFDC-15-5 [57].

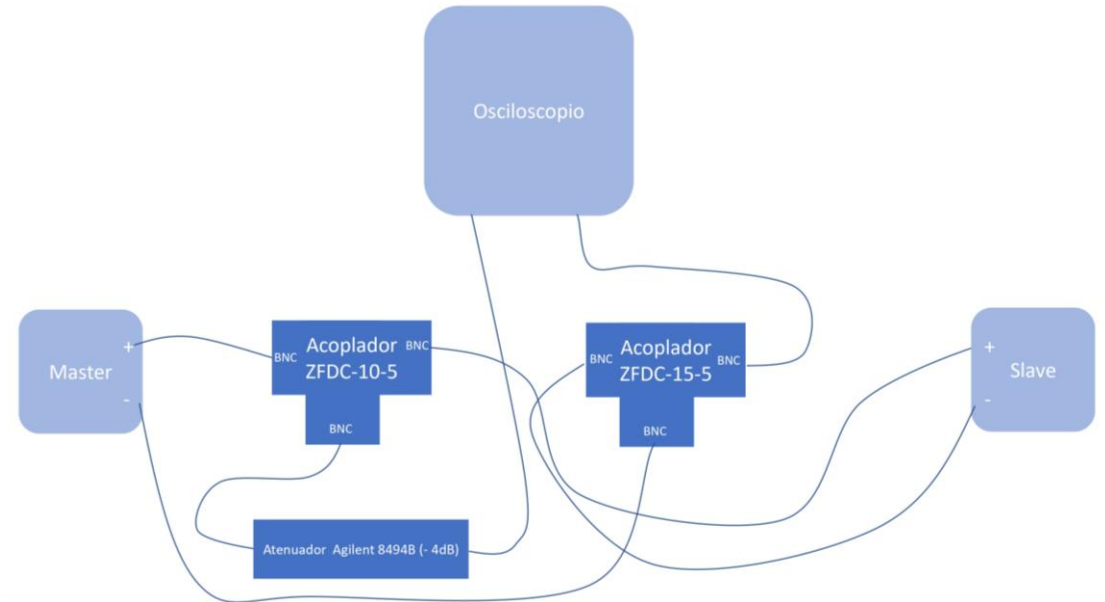


Ilustración 119: Esquema de conexionado

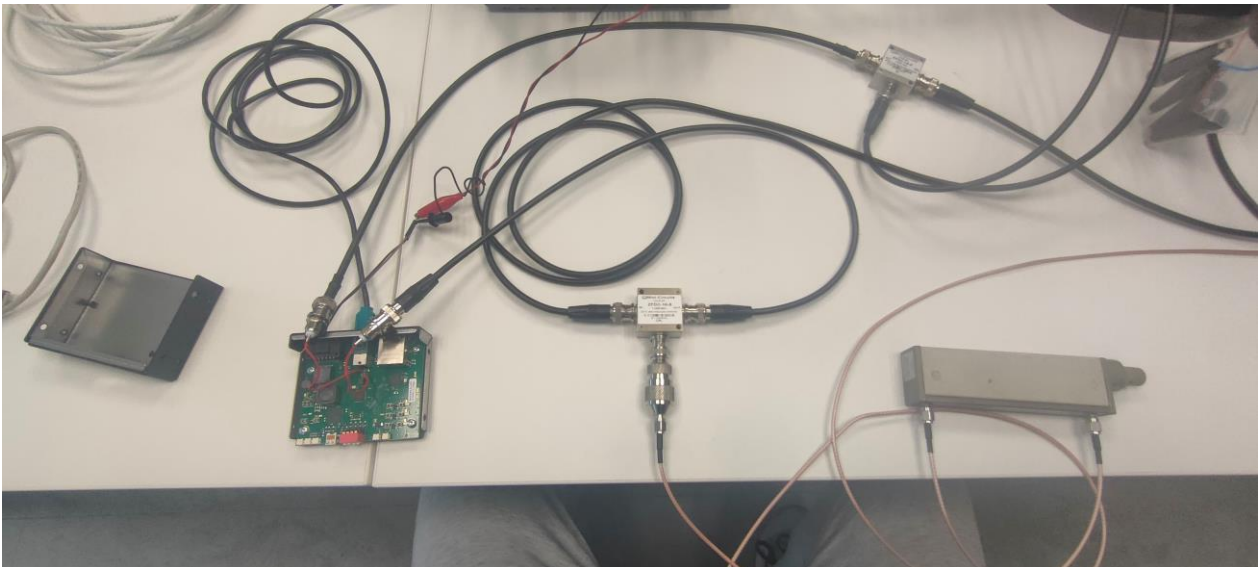


Ilustración 120: Set Up medidas



Ilustración 121: Esquema acoplador ZFDC-15-5



Ilustración 122: Esquema acoplador ZFDC-15-5/ZFDC-10-5

Se trata de dos acopladores de la marca Mini-Circuits prestados por parte del grupo de investigación TSR de la UPV/EHU para las medidas de los protocolos full-duplex con conectores BNC. El modelo ZFDC-10-5+ cuenta con un valor nominal de acoplamiento de 10.8 ± 0.5 dB, mientras que el ZFDC-15-5 tiene un valor de acoplamiento de 15.5 ± 0.5 dB. Para igualar estos valores de acoplamiento se ha empleado un atenuador variable Agilent, concretamente el modelo Agilent 8494B [58]. Este atenuador tiene un rango de DC a 18 GHz por lo que resulta adecuado para todas las aplicaciones de este proyecto. Tiene además unas pérdidas de inserción muy bajas y un paso de 1 dB para los valores de atenuación.

Se midió el parámetro S31 (es decir, el porcentaje de la potencia incidente que se acopla en la puerta acoplada) en el ZFDC-15-5 y en el sistema formado por el acoplador ZFDC-10-5+ y el atenuador Agilent 8494B con 4 dB de atenuación. Se muestra el resultado superpuesto en la misma gráfica en el Gráfico 1.

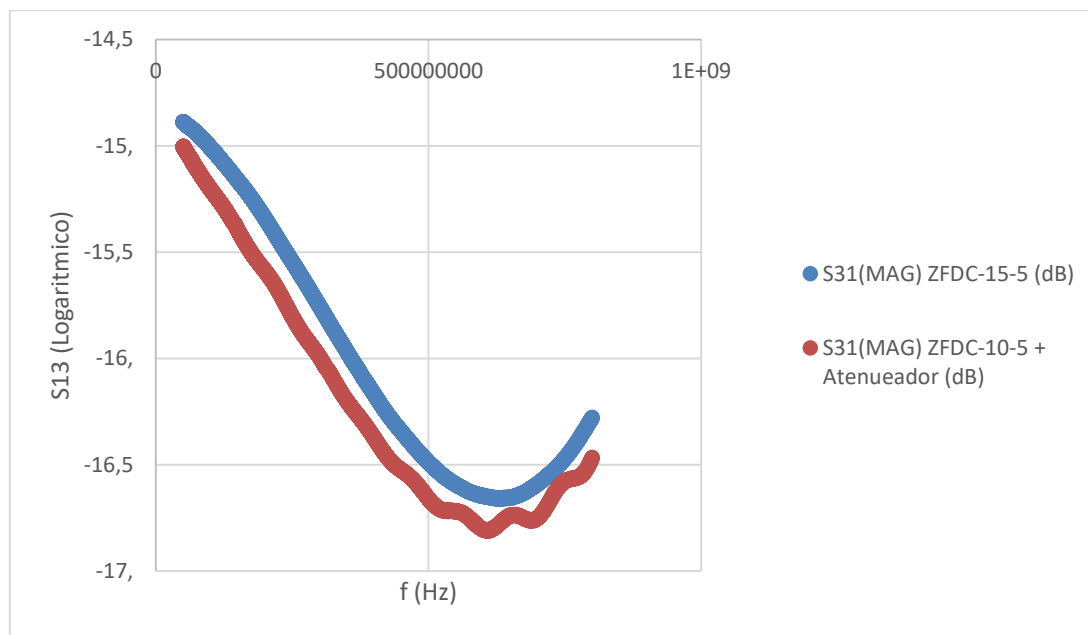


Gráfico 1: S31 en escala logarítmica

Podemos ver que los S13 en ambos casos se asemejan lo máximo posible teniendo en cuenta las limitaciones del atenuador, que tiene pasos de 1dB. De esta forma hemos conseguido un acoplamiento prácticamente igual con dos acopladores con distinto factor de acoplamiento.

7.4.2 Automotive Ethernet 1000Base-T1

Se estudiaron los diferentes modos de test de Automotive Ethernet. Cada uno de ellos está diseñado para testar distintos parámetros del módulo Automotive Ethernet. El osciloscopio UXR0104A cuenta con test apps que evalúan cada modo de test automáticamente. Sin embargo, al no disponerse de licencia cuando llegó el material de medidas para estas test apps se han tenido que evaluar algunos de los modos de forma manual. En el apartado Otras medidas se ha descrito el funcionamiento de dichas test app.

Además, en el modo 2 se midió la apertura del diagrama de ojo, además de realizar un test de máscara sobre el mismo.

7.4.3 USB 2.0

Se analizaron los requerimientos que exige el estándar USB 2.0. USB 2.0 especifica unos requerimientos relativos a la *rise time* de la señal que varían en función de la velocidad de USB que se esté utilizando (*Low*, *Full* o *High*).

Velocidad	Data Rate	Rise time
Low Speed	1.5 Mb/s	75 ns – 300 ns
Full Speed	12 Mb/s	4 ns – 20 ns
High Speed	480 Mb/s	100 ps

Tabla 31: Requerimientos de *rise time* en USB 2.0 [59]

La medida fundamental de la integridad de señal en USB 2.0 es el *rise time*. Se define como *rise time* el tiempo que necesita la señal para pasar de un 10% a un 90% de su amplitud máxima, como se puede ver en la Ilustración 123.

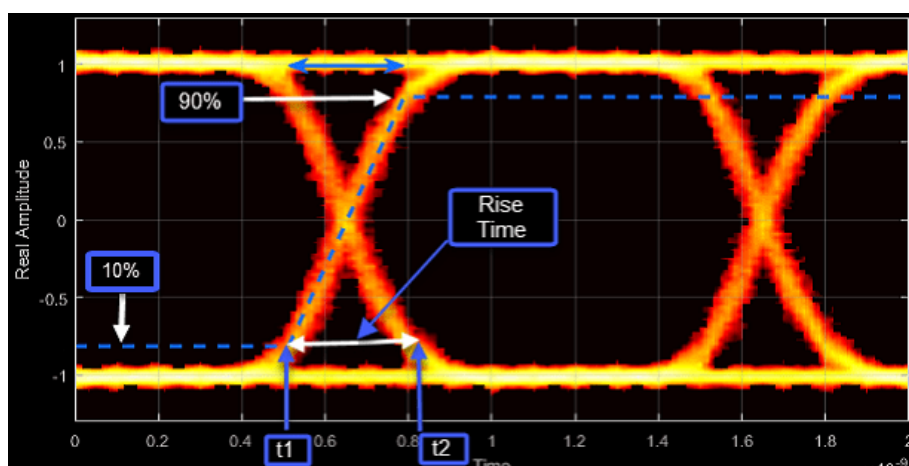


Ilustración 123: Rise time [60]

Para medir la integridad de USB 2.0 se utilizarán dos tarjetas: una tarjeta Arduino programada para que devuelva datos aleatorios por su salida serie y una tarjeta comercial.

- Arduino UNO

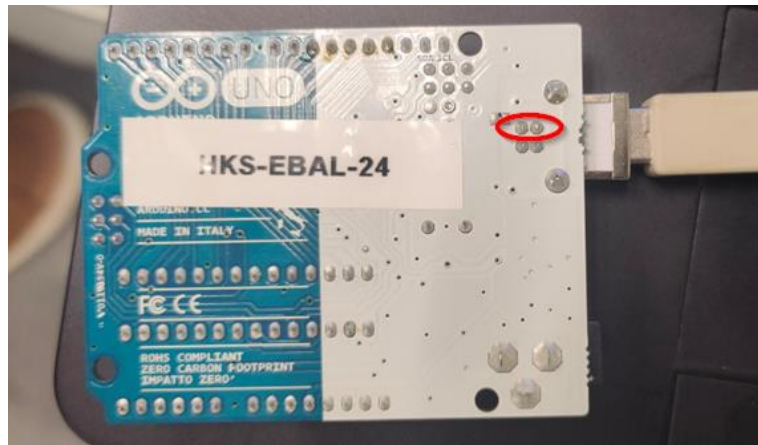
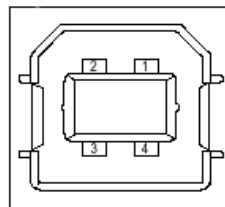


Ilustración 124: Pines USB de la Arduino UNO

USB Type B Socket



- 1=Vbus (5V)
- 2=D-
- 3=D+
- 4=GND

Ilustración 125: Conector USB Arduino

Se midió el diagrama de ojo en la salida diferencial de datos D de USB. Se muestra en la Ilustración 126 en rojo.

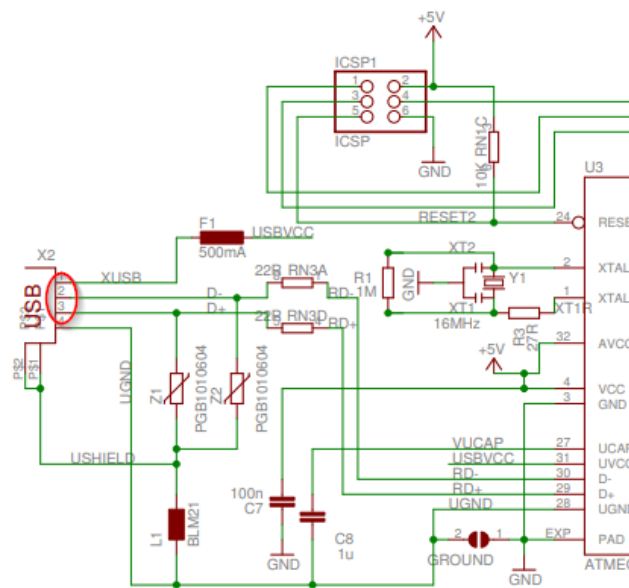


Ilustración 126: Esquemático Arduino UNO

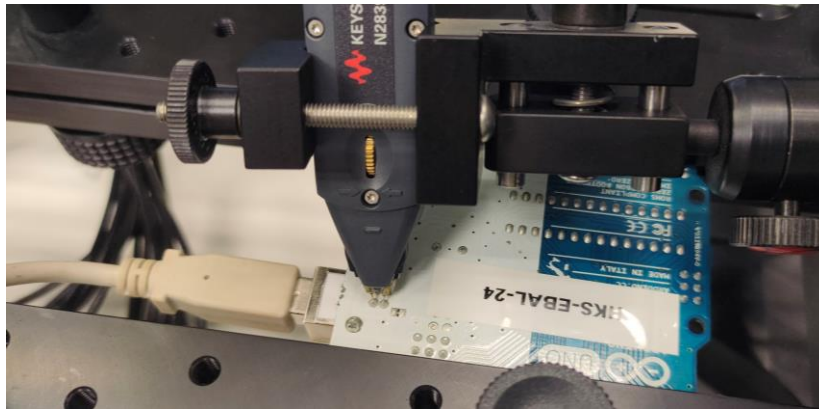


Ilustración 127: Medida de USB 2.0 (Sonda)

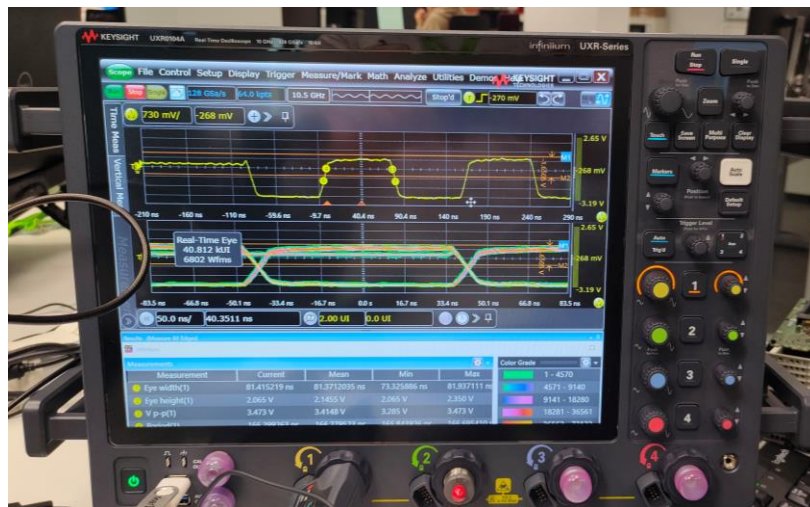


Ilustración 128: Medida de USB 2.0 Full Speed

- Tarjeta de fabricación propia

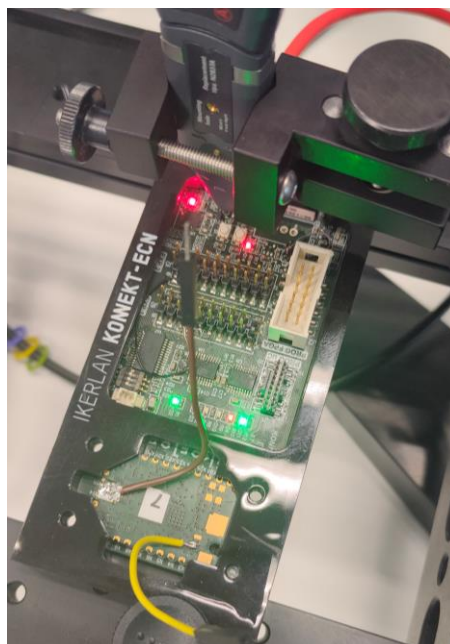


Ilustración 129: Tarjeta USB de fabricación propia



Ilustración 130: Medición

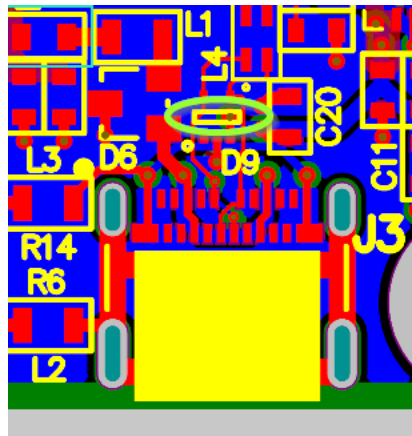


Ilustración 131: Esquemático placa (punto de medida en verde claro)

- Tarjeta de fabricación propia (II)

En este trabajo se realizó un TDR sobre un desarrollo a medida de tarjeta controladora con varios sensores y actuadores, concretamente en el bus USB 2.0 de esta.

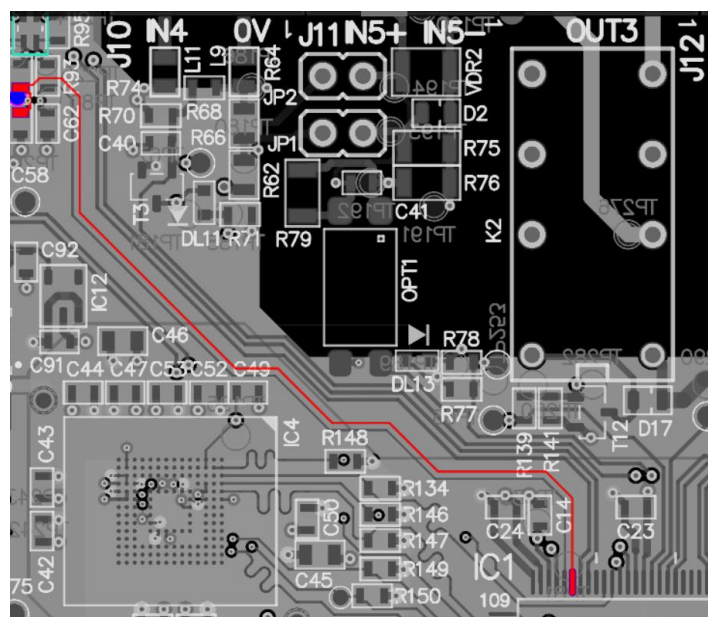


Ilustración 132: Par diferencial USB (negativo)

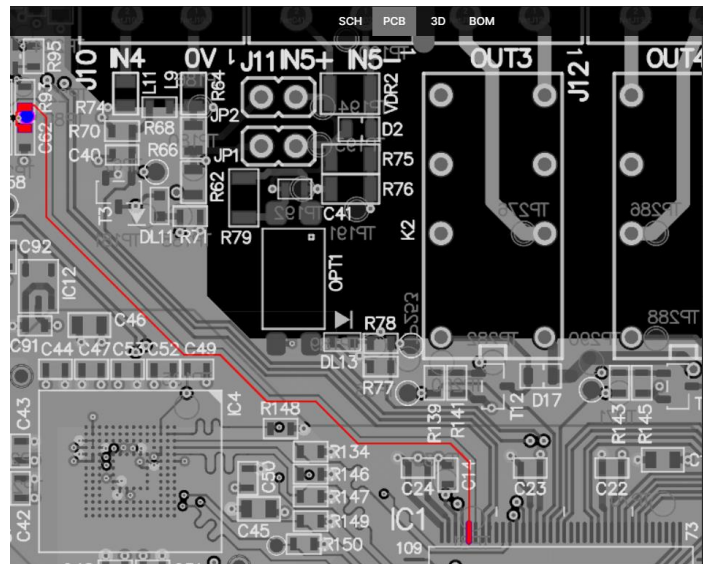


Ilustración 133: Par diferencial USB (positivo)

TDR

La caracterización de las interconexiones se puede hacer en el dominio de la frecuencia mediante un VNA o en el dominio del tiempo mediante un análisis de TDR. Por esta misma razón, mediante una transformada de Fourier podemos pasar del dominio del tiempo al dominio de la frecuencia y del dominio de la frecuencia al del tiempo mediante una transformada inversa de Fourier.

La técnica TDR es una potente herramienta para medir impedancia, distancia y *crosstalk* en diferentes sistemas. Sirve también para conocer el retardo de propagación. Se puede medir la impedancia en modo diferencial y en modo común. En esta técnica, el VNA envía pulsos rectangulares por el cable. Cuando hay un cambio en la impedancia parte de la señal se reflejará, siendo la amplitud de la reflexión proporcional a la impedancia [61]. En el proceso de TDR se tiene una impedancia objetivo (Z_0) que en USB es de 90Ω y un margen de error superior e inferior ($\pm 15 \%$).

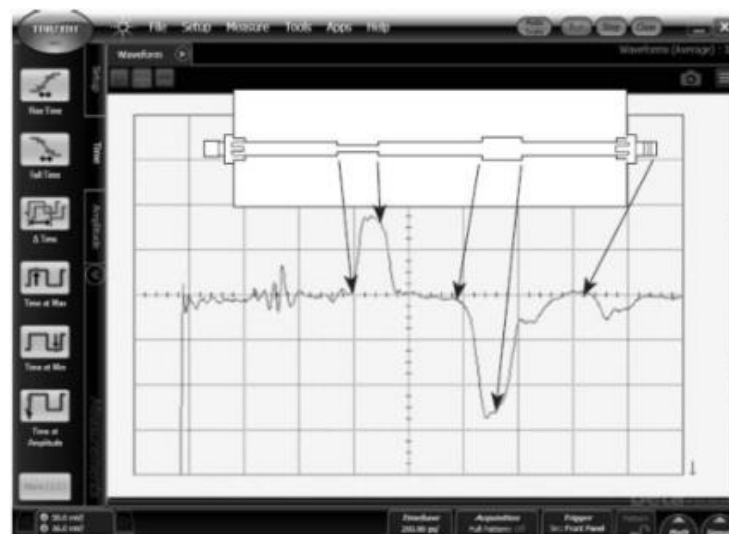


Ilustración 134: Ejemplo de TDR

$$\rho = \frac{V_{reflejada}}{V_{incidente}} = \frac{Z_L - Z_0}{Z_L + Z_0}$$

Ecuación 12: Coeficiente de reflexión

$$Z_{out} = Z_0 \frac{1 + \rho}{1 - \rho}$$

Ecuación 13: Impedancia de la línea

Si $Z_L = Z_0$, $\rho = 0$ y por lo tanto $Z_{out} = Z_0$. Si $Z_L = 0$ se producirá un cortocircuito. En este caso, $\rho = -1$ y por lo tanto se reflejará toda la onda, pero en dirección opuesta. Por último, si $Z_L = \infty$, $\rho = 1$ y se tratará de un circuito abierto, en cuyo caso $Z_{out} = \infty$.

El TDR está sujeto a una resolución máxima, es decir, la capacidad que tiene de distinguir discontinuidades muy próximas entre sí. Si dos discontinuidades están más próximas entre sí que la mitad del *rise time* del sistema el reflectómetro los mostrará como una única reflexión.

$$T_{res} = \frac{1}{2 * Rise\ Time}$$

Ecuación 14: Resolución TDR

Además, puede haber aberraciones antes y después del flanco de subida, que pueden reducir la resolución y por lo tanto ocultar pequeñas reflexiones y reflejarlas como una sola.

Sin embargo, utilizar un *rise time* demasiado rápido puede ocasionar reflexiones demasiado intensas en algunas discontinuidades, por lo que debemos tener en cuenta este factor también [62].

En este trabajo no se utilizó un reflectómetro en el dominio del tiempo si no que se utilizó un VNA, por lo que el proceso de obtención de la gráfica de impedancia es distinto. En este caso, el VNA envía senos con una frecuencia F_0 , $2F_0$ y $3F_0$. Cuando hay una reflexión los senos reflejados están en fase con el seno incidente, por lo que al sumarse podrá verse gráficamente la reflexión.

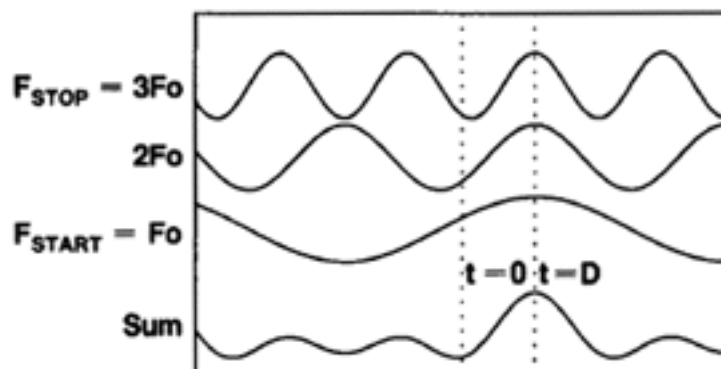


Ilustración 135: Reflexión

En un cortocircuito, en cambio, serán los mínimos de los que se alineen en el tiempo, por lo que la suma será negativa [63].

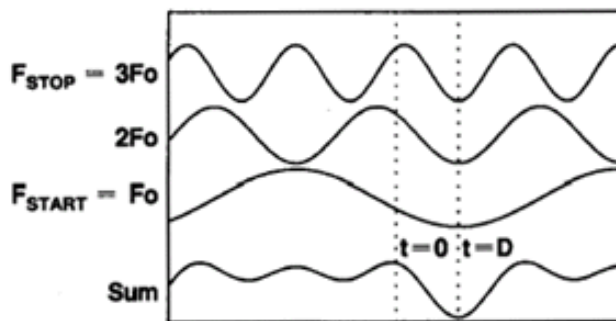


Ilustración 136: Cortocircuito

Se debe contemplar la existencia de aliasing, que ocurre en intervalos de tiempo iguales a $1/\text{frequency step size}$. Sin embargo, el dispositivo ajusta automáticamente el time span de forma que no se muestre el aliasing.

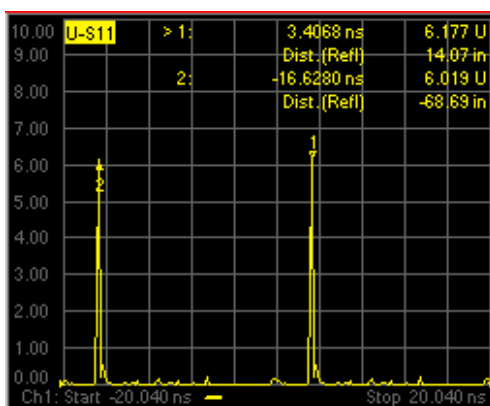


Ilustración 137: Aliasing

7.4.4 FPD Link III

Se estudió también la forma tradicional de testeo de FPD Link III, y se concluyó que la forma de realizarla es visual. Se disponen para ello de varios modos de generación de la señal que se controlan a través de la interfaz I2C. Estos patrones van desde colores sólidos preconfigurados a franjas tanto verticales como horizontales [64]. Sin embargo, en este estudio se pretendía testear mediante el diagrama de ojo para poder establecer una comparación con el resto de los estándares. Debido a que se trata de un protocolo *full-duplex* se planteó utilizar acopladores direccionales para separar las dos señales, tal y como se realizó en el apartado previo de Automotive Ethernet 1000Base-T1. Sin embargo, debido al difícil acceso del bus FPD Link III de la tarjeta empleada finalmente se descartó la idea.

7.4.5 Otras medidas

El estándar 1000Base-T1 de Ethernet contempla una serie de modos de test de conformidad en los que comprobar la fiabilidad de los dispositivos testados. En ellos se comprueban parámetros como la distorsión o el jitter. De todos los modos que contempla el hardware, por limitaciones del osciloscopio se realizarán los modos de prueba 1, 2, 5 y 6 de 1000Base-T1.

1000Base-T1 Test Modes

Special signals for ECU compliance test

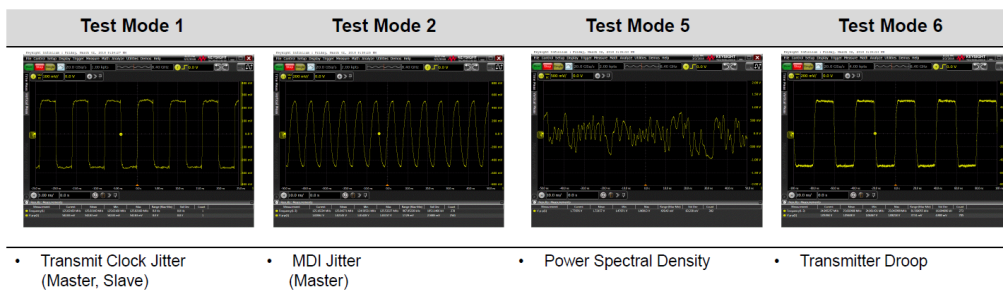


Ilustración 138: Compliance test modes de 1000BASE-T1

- Prueba en Modo 1

Para superar la prueba del modo de test 1 la frecuencia del *clock* del transmisor debe situarse entre 124.9875 MHz y 125.0125 MHz.

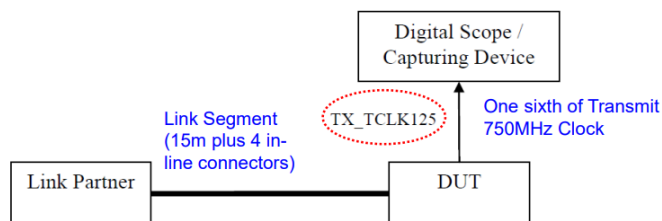


Ilustración 139: Modo test 1 de 1000Base-T1

Primero se procedió a realizar los compliance test para obtener una primera aproximación a los valores esperados. Sin embargo, estas medidas pueden no ser exactas debido a que no se utilizaron acopladores direccionales al no disponerse de ellos en ese momento, razón por lo que no se adjuntan los resultados de dichas pruebas.

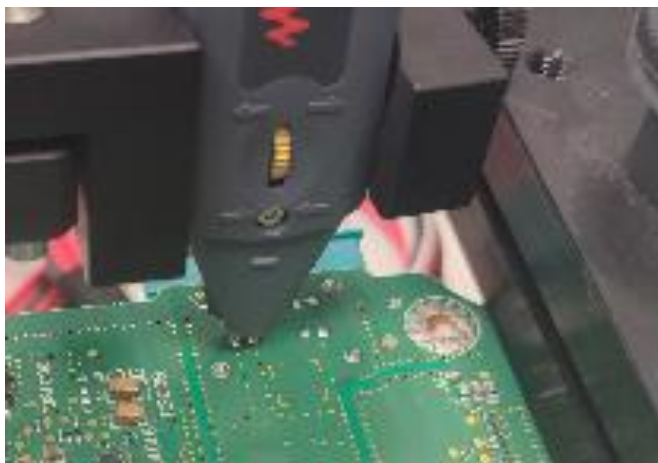


Ilustración 140: Medición de Automotive Ethernet 1000Base-T1

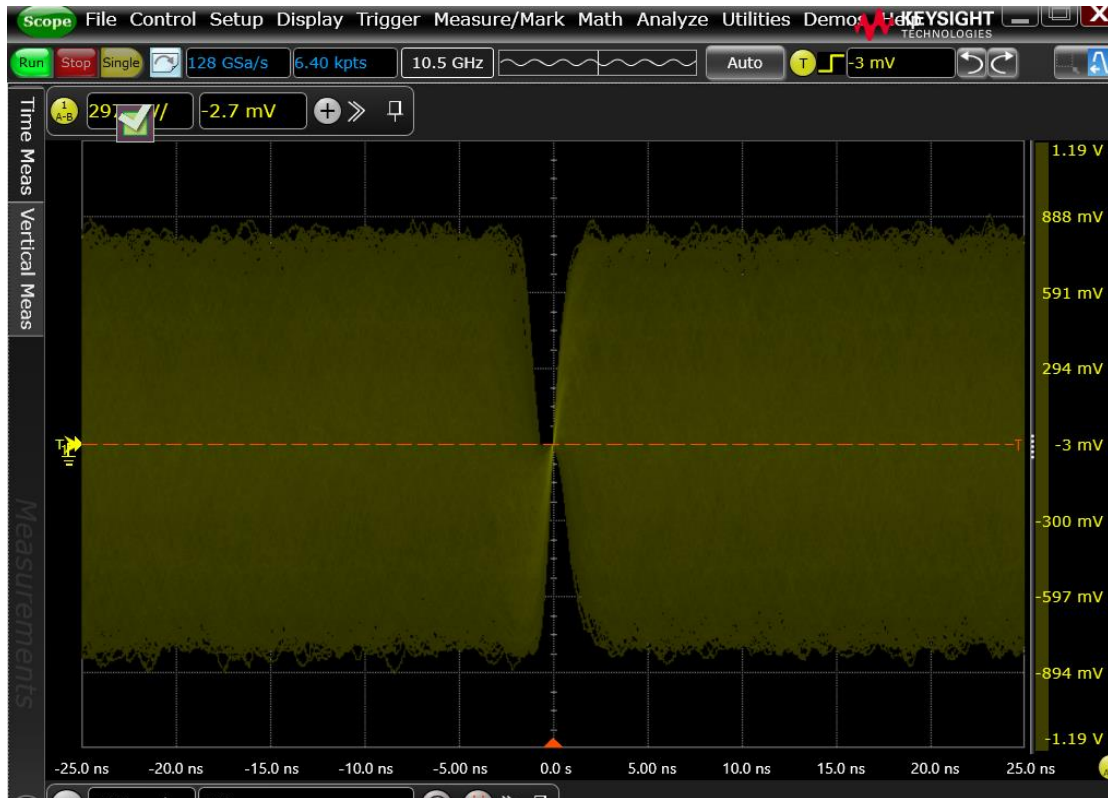


Ilustración 141: Señal de 1000Base-T1 en modo de test 1

En esta prueba se pone a prueba la frecuencia del *clock* del transmisor. Para ello se pone la placa en el modo de prueba 1 mediante una serie de comandos propietarios. El rango para que se supere esta prueba se sitúa entre 124.9875 MHz y 125.0125 MHz. En el *slave*, el jitter en 1 ms debe ser inferior a 10 ps rms y a 100 ps pico-pico. En el *master*, en cambio, el jitter en 1 ms debe ser inferior a 5 ps rms y a 50 ps pico-pico.

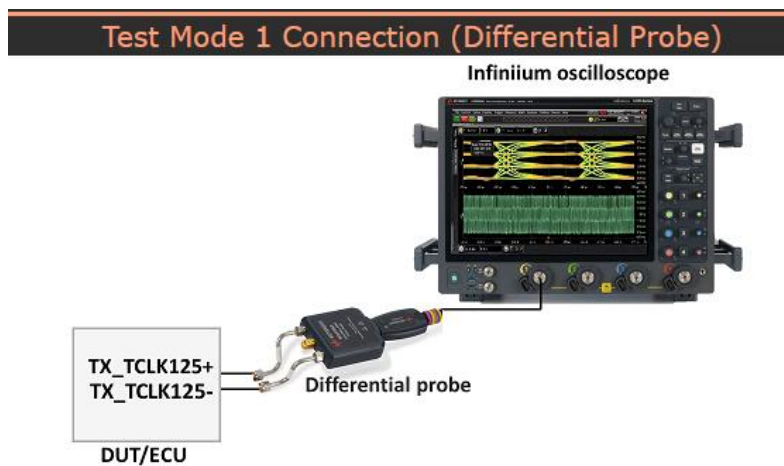


Ilustración 142: Modo de conexión de la prueba 1 del modo 1 de test

Test Mode 1 Jitter Connection w/TX_TCLK125 (Differential Probe)

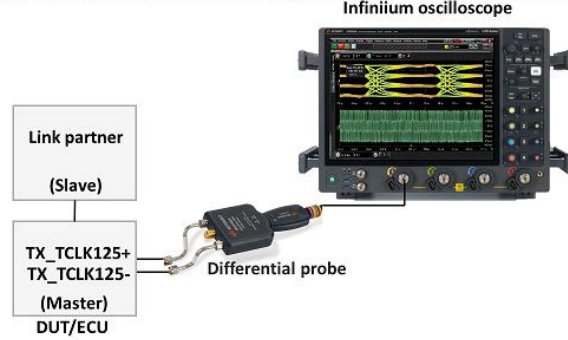


Ilustración 143: Modo de conexión de la prueba 2 del modo 1 de test

Test Mode 1 Jitter Connection w/TX_TCLK125 (Differential Probe)

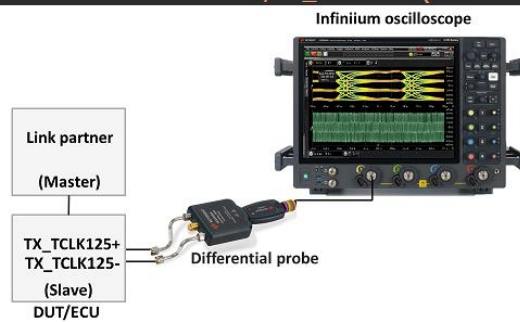


Ilustración 144: Modo de conexión de la prueba 3 del modo 1 de test

- Prueba en Modo 2

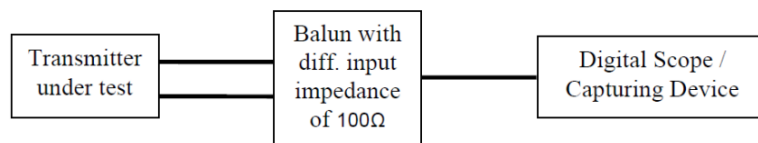


Ilustración 145: Modo test 2 de 1000Base-T1

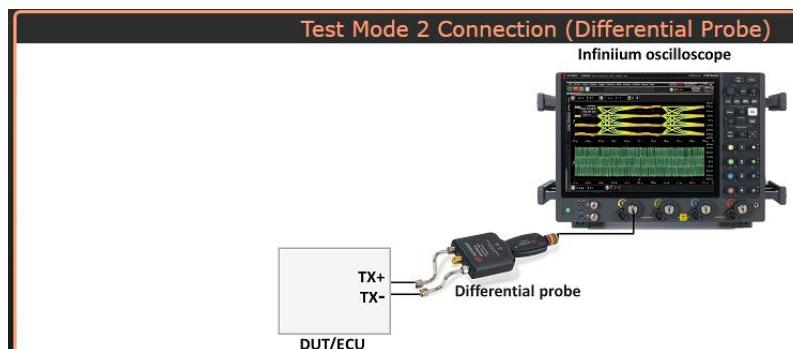


Ilustración 146: Modo de conexión de las pruebas del modo 2

En este test se prueba el jitter en el MDI y la frecuencia en el *transmit clock*. Se utiliza un test pattern de 125 MHz. En este test se transmiten 3 símbolos +1 y a continuación 3 símbolos -1, para posteriormente medir el jitter. Se muestra la señal esperada en las medidas:

Example waveform:

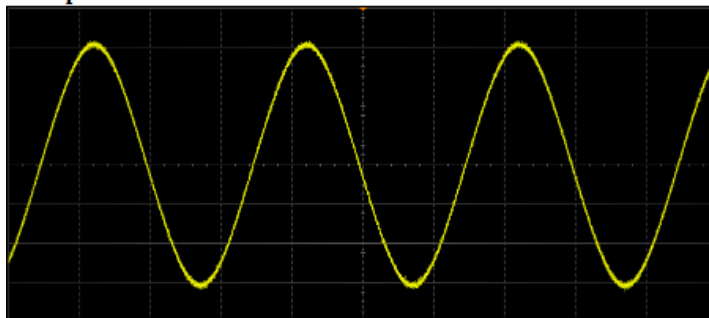


Ilustración 147: Señal esperada en

A continuación, se muestra la señal diferencial 1000BASE-T1 medida en la placa.



Ilustración 148: Señal modo de test 2

Dicho jitter en 1 ms debe ser menor de 5 ps rms y menos de 50 ps pico-pico. La frecuencia del *transmit clock* deberá ser la misma que en el caso anterior, con los mismos rangos [65].

- Prueba en Modo 4

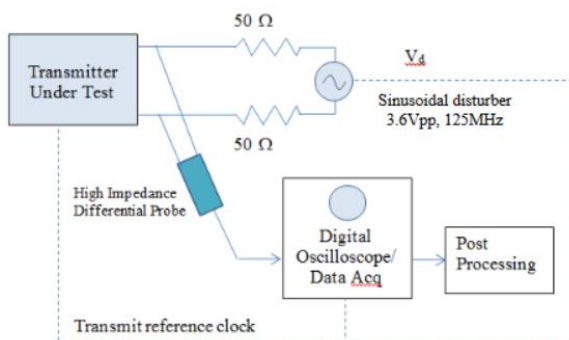


Ilustración 149: Montaje del modo 4

En esta prueba se emplea el montaje que aparece en la Ilustración 149 se envía un patrón de test específico. En él, el sinusoidal disturber y el osciloscopio deben estar conectados al reloj del transmisor. Se comprueba que la distorsión sea de menos de 10 mV.

- Prueba en Modo 5

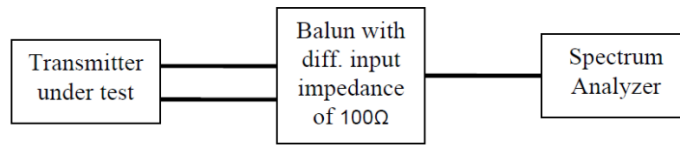


Ilustración 150: Modo test 5 de 1000Base-T1

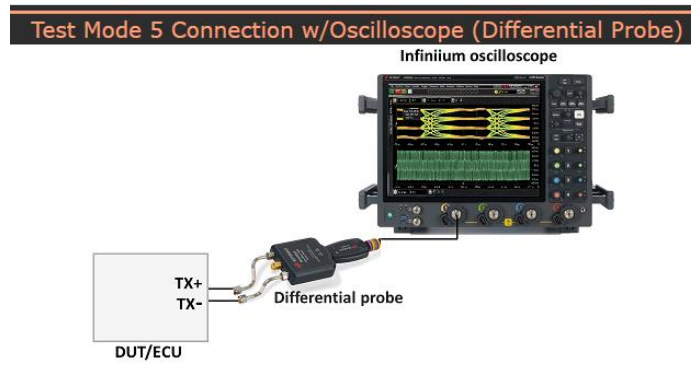


Ilustración 151: Modo de conexión de las pruebas del modo 5

Example waveform:

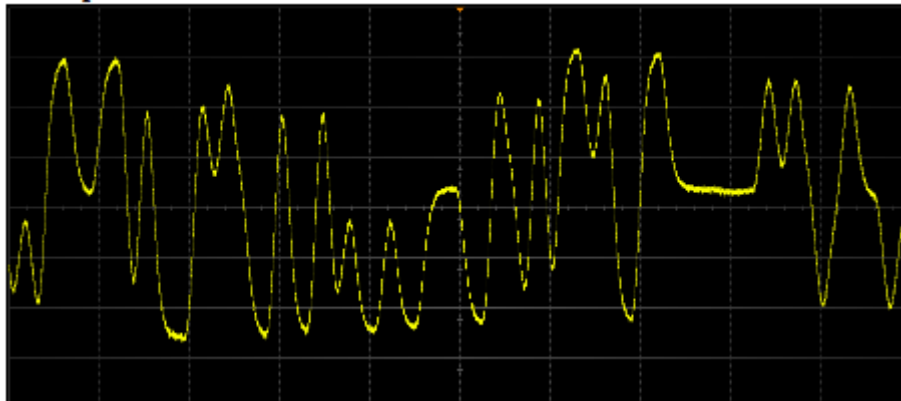


Ilustración 152: Señal esperada en modo de test 6

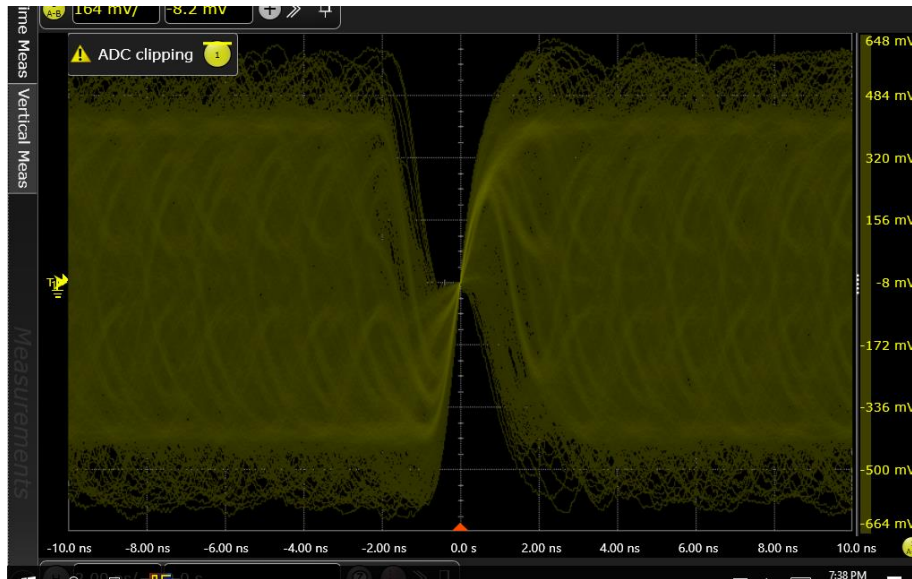


Ilustración 153: Señal en modo 5 de test

El modo 5 permite estudiar la densidad espectral de potencia. Dicha densidad de potencia debe estar entre ciertos márgenes denominados máscaras (se muestran en la Ilustración 154). Además, la potencia transmitida debe de estar por debajo de 5 dBm.

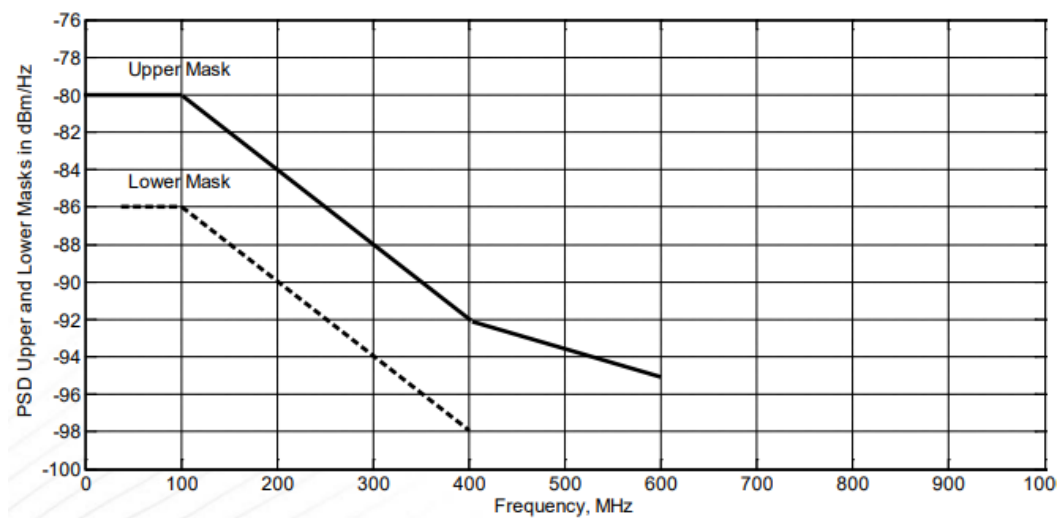


Ilustración 154: Máscara de densidad espectral

Las máscaras (tanto la superior como la inferior) son funciones definidas a trozos de la siguiente forma.

$$\left\{ \begin{array}{l} -80 \frac{\text{dBm}}{\text{Hz}} \quad 0 < f_{\text{MHz}} < 100 \\ -76 - \frac{f_{\text{MHz}}}{25} \frac{\text{dBm}}{\text{Hz}} \quad 100 < f_{\text{MHz}} < 400 \\ -85.6 - \frac{f_{\text{MHz}}}{62.5} \frac{\text{dBm}}{\text{Hz}} \quad 400 < f_{\text{MHz}} < 600 \end{array} \right\}$$

Ecuación 15: Máscara superior

$$\left\{ \begin{array}{l} -86 \frac{dBm}{Hz} \quad 40 < f_{MHz} < 100 \\ -82 - \frac{f_{MHz}}{25} \frac{dBm}{Hz} \quad 100 < f_{MHz} < 400 \end{array} \right\}$$

Ecuación 16: Máscara inferior

- Prueba en Modo 6

En este test se envía una onda cuadrada de 25 MHz de frecuencia con el objetivo de detectar la caída de tensión en la transmisión.

Example waveform:

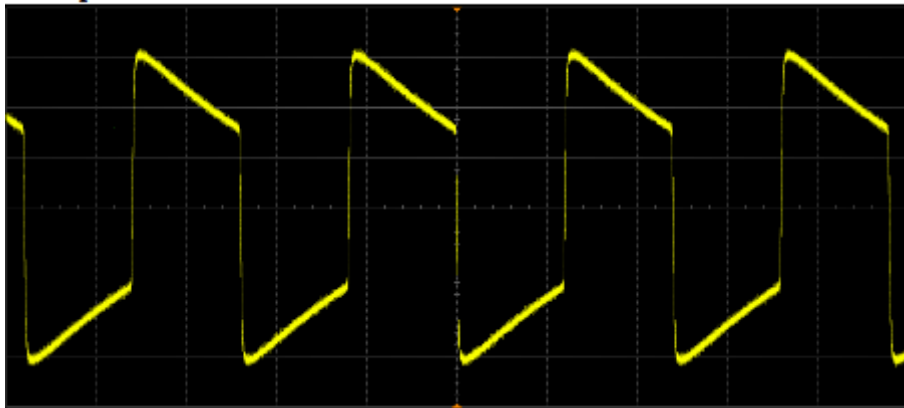


Ilustración 155: Señal esperada en modo 6 de test

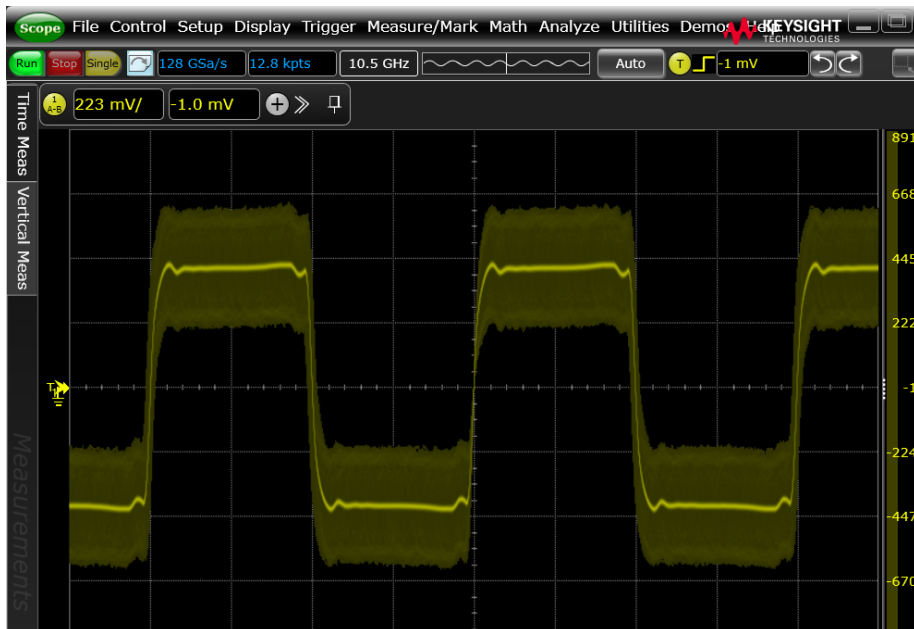


Ilustración 156: Señal en modo de prueba 6

Para que la prueba sea superada el valor de droop en la punta positiva y en la negativa debe ser inferior al 50 % en el intervalo de tiempo de 4 ns a 16 ns después del cruce con cero.

Modo	Prueba	Valores
Test mode 1	Transmitter Clock Jitter	f: entre 124.9875 MHz y 125.0125 MHz Jitter en slave: en 1 ms, menos de 10 ps rms y 100 ps pico-pico Jitter en master: en 1 ms, menos de 5 ps rms y 50 ps pico-pico
Test mode 2	Transmitter MDI jitter (MASTER)	f: entre 124.9875 MHz y 125.0125 MHz Jitter en master: en 1 ms, menos de 5 ps rms y 50 ps pico-pico
Test mode 5	Transmitter PSD Mask and power	PSD entre las 2 máscaras Potencia transmitida < 5dBm
Test mode 6	Transmitter droop	Droop < 50 % en el intervalo de tiempo de 4 ns a 16 ns después del cruce con cero

Tabla 32: Comparativa test 1000Base-T1

Estos test fueron realizados a modo de ensayo, ya que no se disponía de los acopladores direccionales para separar la señal transmitida de la recibida en el momento de hacer las pruebas.

Para poder realizar una comparación con las medidas tomadas en otros artículos científicos, se escogió una metodología más tradicional midiendo el diagrama de ojo y realizando una TDR. Debido al carácter full-duplex del protocolo 1000Base-T1 se emplearon dos acopladores direccionales, siguiendo el modo tradicional para separar las señales [66].

8. Resumen de resultados

8.1 Automotive Ethernet

Modo 1

Date and Time	19 may 2023 19:45
Serial Number	MY63040104

Measurement	Current	Mean	Min	Max
Eye width(f1)	55.186 ps	55.186 ps	55.186 ps	55.186 ps
Eye height(f1)	900 μ V	900 μ V	900 μ V	900 μ V
V p-p(f1)	17.6 mV	98.426 mV	8.7 mV	116.9 mV
Period(f1)	11.553429 ns	7.87943902 ns	122.243 ps	16.509369 ns
Frequency(f1)	86.554390 MHz	134.70115 MHz	60.571666 MHz	8.18040 GHz
Rise time(f1)	7.525673 ns	1.49890441 ns	213.966 ps	7.819853 ns
Fall time(f1)	3.726917 ns	1.50478255 ns	236.167 ps	18.992132 ns
V max(f1)	7.2 mV	50.992 mV	4.1 mV	60.9 mV
V min(f1)	-10.4 mV	-49.007 mV	-62.6 mV	-1.2 mV
+ width(f1)	1.574025 ns	3.84822523 ns	55.086 ps	10.562864 ns
- width(f1)	9.979404 ns	4.08737574 ns	53.004 ps	11.658134 ns
Duty cycle(f1)	13,62 %	47.7211 %	800 m%	98.77 %

Tabla 33: Resultado de medidas 1000Base-T1 modo de test 1

En el modo 1 se miden la frecuencia del reloj del transmisor, que debe ser de 125MHz, y el jitter en el *slave* y el *master*, que debe ser menor que 10ps rms y 100ps de pico a pico en el caso del *slave* y menor que 5ps rms y 50ps de pico a pico en el caso del *master*. Como se puede ver en la tabla de resultados, la frecuencia no se ajusta a los 125MHz especificados. El jitter no pudo medirse por no disponerse de la licencia en el osciloscopio.

Modo 2

Date and Time	19 may 2023 19:44
Serial Number	MY63040104

Measurement	Current	Mean	Min	Max
Eye width(f1)	3.664320 ns	3.6683005 ns	3.664320 ns	3.670584 ns
Eye height(f1)	63.0 mV	64.61 mV	63.0 mV	64.7 mV
V p-p(f1)	102.3 mV	98.624 mV	8.7 mV	116.9 mV
Period(f1)	7.977610 ns	7.88250689 ns	122.243 ps	16.509369 ns
Frequency(f1)	125.35083 MHz	134.49119 MHz	60.571666 MHz	8.18040 GHz
Rise time(f1)	1.439220 ns	1.48849531 ns	926.814 ps	3.526932 ns
Fall time(f1)	1.393906 ns	1.50443169 ns	236.167 ps	18.992132 ns
V max(f1)	49.6 mV	51.445 mV	36.0 mV	60.9 mV
V min(f1)	-52.7 mV	-49.106 mV	-62.6 mV	-1.5 mV
+ width(f1)	3.892300 ns	3.85232705 ns	55.086 ps	8.147652 ns
- width(f1)	4.085310 ns	4.08506924 ns	53.004 ps	11.658134 ns
Duty cycle(f1)	48,79 %	47.7891 %	800 m%	98.77 %

Tabla 34: Resultado de medidas 1000Base-T1 modo de test 2

En el modo de test 2 se mide el jitter en el MDI. La frecuencia debe ser de 125MHz, por lo que esta prueba tampoco se supera, y el jitter debe ser menor de 5ps rms y 50ps de pico a pico (en esta prueba tampoco fue posible medir el jitter).

En este modo se ha decidido medir también el diagrama de ojo, que se muestra en Ilustración 157.



Ilustración 157: Diagrama de ojo en modo de test 2

Adicionalmente se realizó un test de máscara. Una máscara es una región definida dentro del ojo en la que se comprueba que no entren los trazos del diagrama de ojo. En la Ilustración 158 se adjuntan los puntos que definen la máscara utilizada en la prueba.

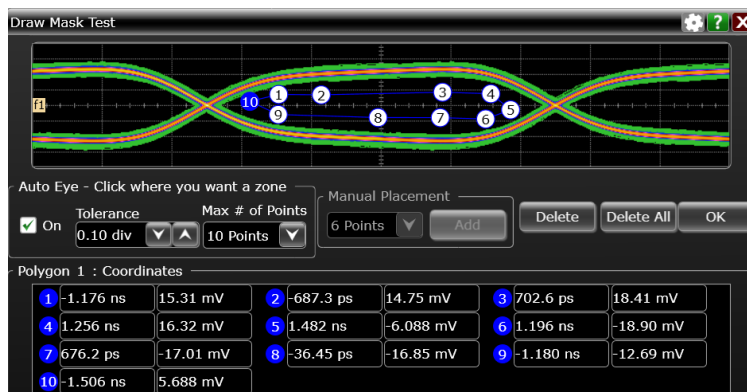


Ilustración 158: Mask test

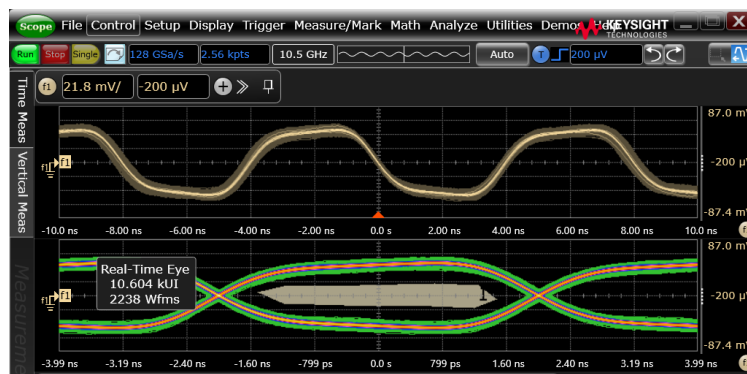


Ilustración 159: Mask Test (II)

La prueba se realizó durante un minuto y fue superada.

Modo 5

En este modo se utilizó el osciloscopio para medir la densidad espectral de potencia en el rango frecuencial de 0Hz a 1GHz para probar que la Densidad Espectral de Potencia se sitúan entre las máscaras presentadas en el apartado Otras medidas.

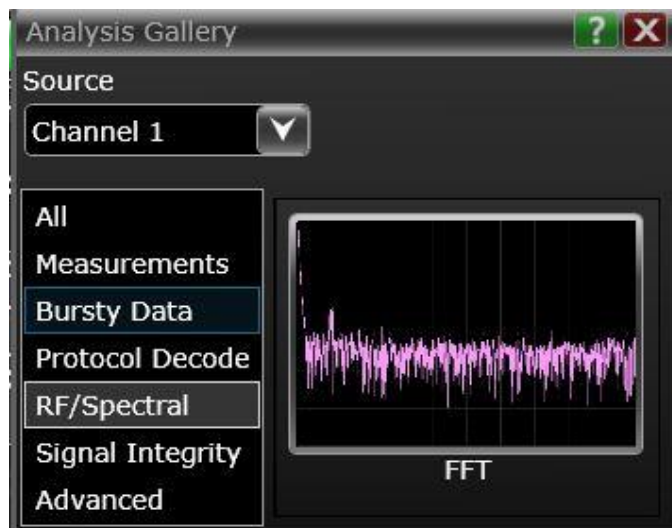


Ilustración 160: FFT



Ilustración 161: Parámetros análisis DEP

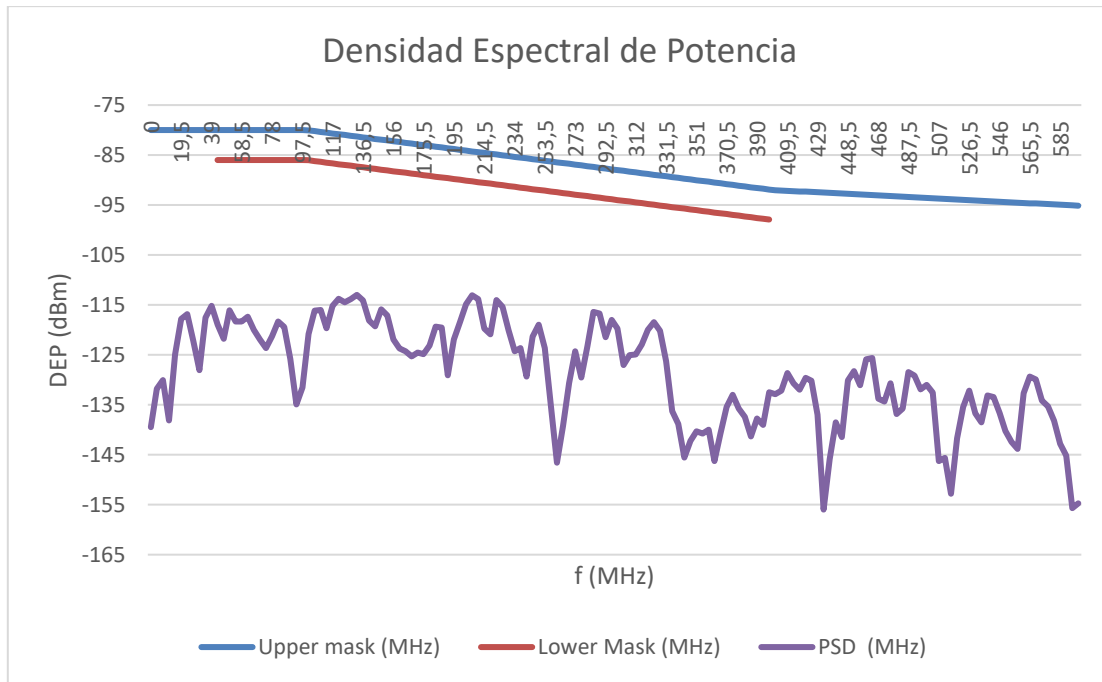


Gráfico 2: PSD en modo de test 5

En el gráfico se muestra la Densidad Espectral de Potencia descontando los efectos del acoplador direccional. Se puede ver claramente que la prueba no ha sido superada.

Modo 6

En este modo de test se pretende probar el *droop*. Para superar la prueba el *droop* debe ser menor del 50% desde los 4ns a los 16ns después del cruce con cero.



Ilustración 162: Droop test

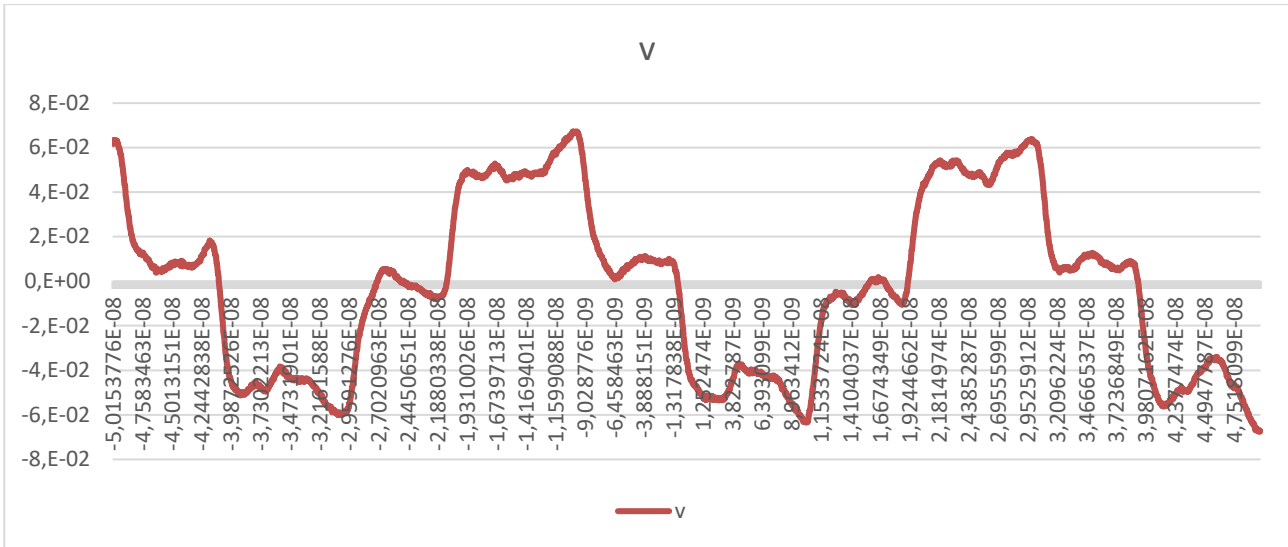


Gráfico 3: Droop test: señal

Primeramente, se analiza el *droop* negativo. Para ello, se coge la porción de señal que va desde 4 ns después del cruce con cero hasta 12 ns después del cruce con cero. En ella, calcularemos el *droop*, que no debe superar el 50%. Puede verse en el Gráfico 4 Se calcula de esta forma:

$$Droop = 100 * \frac{V_d}{V_{pk}} \%$$

Ecuación 17: *Droop* [67]

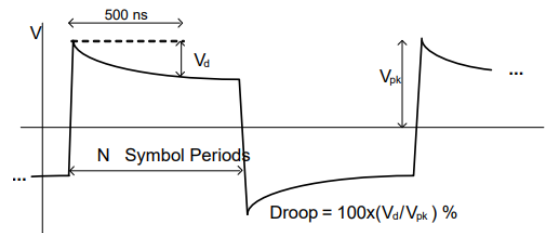


Ilustración 163: Cálculo de *droop* [67]

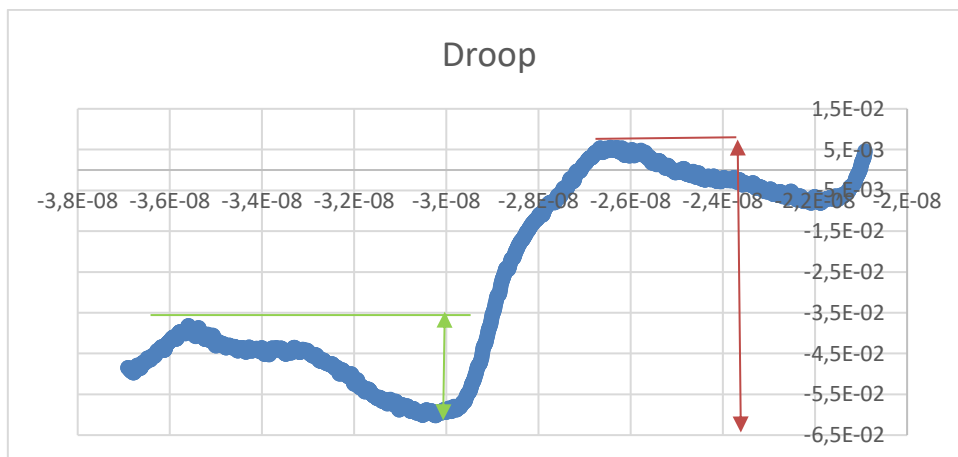


Gráfico 4: Señal desde cruce con cero + 4 ns hasta cruce con cero + 12 ns

El *droop* test negativo no fue superado al sobrepasarse el límite del *droop* del 50%. Se muestra el cálculo en la Tabla 35.

Max	-3,570171E-02
Min	-6,0167274E-02
Diferencia	0,02
Droop	41%
Supera droop?	SI

Tabla 35: Cálculo de *droop* negativo

Por último, se calculó también el *droop* positivo. Se realizó el mismo procedimiento, tomando la porción de la señal de 4 ns después del cruce con cero hasta los 12 ns después del cruce con cero.

Se calcula el *droop* de forma análoga al caso anterior. Se observa que tampoco supera el *droop* test, arrojando resultados significativamente peores.

Max	5,482512E-03
Min	-6,0167274E-02
Diferencia	0,07
Droop	109%
Supera droop?	No

Tabla 36: Cálculo del *droop* positivo

8.2 USB 2.0

Se ha probado el estándar USB 2.0 en su modalidad Full Speed, a 12 Mb/s.

Arduino UNO

La primera medición se tomó en una tarjeta Arduino UNO programada para generar datos de forma aleatoria. En la tarjeta Arduino UNO se obtuvo un *rise time* con una media de 7.76 ns, cumpliendo de esta forma el *rise time* especificado (de entre 4 ns y 20 ns).



Ilustración 164: Altura y anchura del ojo



Ilustración 165: Rise Time

Gráficamente podemos ver poco ruido aleatorio y poca ISI. Tampoco se puede apreciar distorsión del ciclo de trabajo. Se trata de un buen diseño en lo relativo a la integridad de la señal.

- Diagrama de ojo

Date and Time	10 may 2023 15:11
Serial Number	MY63040104

Measurement	Current	Mean	Min	Max	Range (Max-Min)
Eye width(f1)	81.415219 ns	81.3712035 ns	73.325886 ns	81.937111 ns	8.611225 ns
Eye height(f1)	2.065 V	2.1455 V	2.065 V	2.350 V	285 mV
V p-p(f1)	3.473 V	3.4148 V	3.285 V	3.473 V	188 mV
Period(f1)	166.299263 ns	166.279523 ns	165.843926 ns	166.695410 ns	851.484 ps
Frequency(f1)	6.0132557 MHz	6.0139735 MHz	5.9989654 MHz	6.0297655 MHz	30.800172 kHz
Rise time(f1)	7.960942 ns	7.76610447 ns	7.031898 ns	15.953748 ns	8.921850 ns
Fall time(f1)	7.596172 ns	8.29458725 ns	7.083222 ns	11.033659 ns	3.950437 ns
V max(f1)	810 mV	760.5 mV	684 mV	10 mV	125 mV
V min(f1)	-2.663 V	-2.6543 V	-2.663 V	-2.601 V	63 mV
+ width(f1)	77.746614 ns	77.9547612 ns	76.833917 ns	79.972048 ns	3.138131 ns
- width(f1)	88.552649 ns	89.3097533 ns	87.150799 ns	90.582105 ns	3.431306 ns
Duty cycle(f1)	46,75 %	46,6021 %	46,23 %	47,58 %	1,35 %

Tabla 37: Resultado de medidas USB 2.0 Full Speed Arduino Uno

Vemos cómo en la placa Arduino tenemos un rise de media 7.031898 ns en el periodo medido. Se obtiene una apertura del ojo de 2.1455 V de altura y 81.3712035 ns anchura.

Tarjeta de fabricación propia

La segunda medición se ha tomado en la placa de fabricación propia, que se muestra en Ilustración 167 e Ilustración 168.



Ilustración 166: Tarjeta de fabricación propia



Ilustración 167: Medición tarjeta propia (I)



Ilustración 168: Medición tarjeta propia (II)

En la tarjeta de fabricación propia podemos ver una cantidad algo superior de ruido aleatorio y de ISI. Como en el caso de la tarjeta Arduino, no hay DCD.

- Diagrama de ojo

Date and Time	10 may 2023 19:59
Serial Number	MY63040104

Measurement	Current	Mean	Min	Max	Range (Max-Min)
Eye width(f1)	77.307086 ns	78.111011 ns	77.307086 ns	82.130632 ns	4.823545 ns
Eye height(f1)	1.745 V	1.871 V	1.745 V	2.400 V	656 mV
V p-p(f1)	4.241 V	4.004 V	3.356 V	4.241 V	885 mV
Period(f1)	166.688908 ns	234.508443 ns	165.298281 ns	666.667380 ns	501.369099 ns
Frequency(f1)	5.9991994 MHz	4.7645950 MHz	1.4999983 MHz	6.0496696 MHz	4.5496713 MHz
Rise time(f1)	9.610575 ns	9.58856871 ns	7.857808 ns	70.741306 ns	62.883498 ns
Fall time(f1)	9.632942 ns	11.1878740 ns	7.867621 ns	82.898974 ns	75.031353 ns
V max(f1)	850 mV	670 mV	277 mV	850 mV	573 mV
V min(f1)	-3.390 V	-3.334 V	-3.390 V	-3.078 V	312 mV
+ width(f1)	81.901220 ns	103.746033 ns	74.344347 ns	499.546095 ns	425.201748 ns
- width(f1)	84.866363 ns	137.699703 ns	82.045766 ns	583.795447 ns	501.749681 ns
Duty cycle(f1)	49,09 %	42.2161 %	12.42 %	83.13 %	70.71 %

Tabla 38: Resultado de medidas USB 2.0 Full Speed tarjeta de fabricación propia

En el caso de la placa de fabricación propia, el *rise time* es de 9.58856871 ns, es decir, un 20% más. Sin embargo, ambos tiempos se encuentran lejos del límite superior de 20 ns impuesto por el estándar.

En cuanto al diagrama de ojo, la placa de fabricación propia arroja resultados algo peores (1.871 V y 78.111011 ns de anchura), aunque igualmente válidos debido a que no afectan de forma significativa al diagrama de ojo.

Tarjeta de fabricación propia (II)

En este trabajo se ha realizado una reflectometría en el dominio del tiempo en otra tarjeta de fabricación propia, para lo que se ha utilizado el analizador de redes E5080A de Keysight. Se muestra un esquema del montaje en el que se ha tomado el TDR.

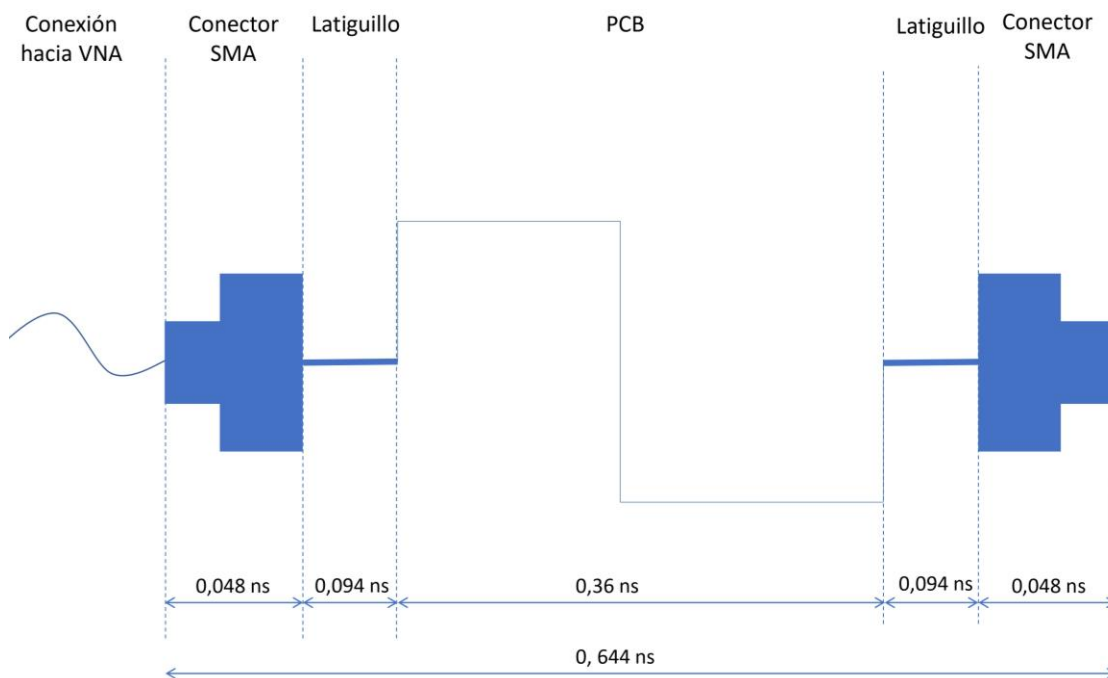


Ilustración 169: Retardos teóricos en TDR

- Path 1

Se muestran los resultados de la reflectometría en el primer path, tanto en módulo como en fase.

Con terminación en circuito abierto

En el caso de la terminación en circuito abierto, el Gráfico 5 muestra que además de las reflexiones en latiguillo del conector de entrada (primer pico a 280ps), las reflexiones más importantes son las que se dan al final del conector (segundo pico, a 1.3 ns).

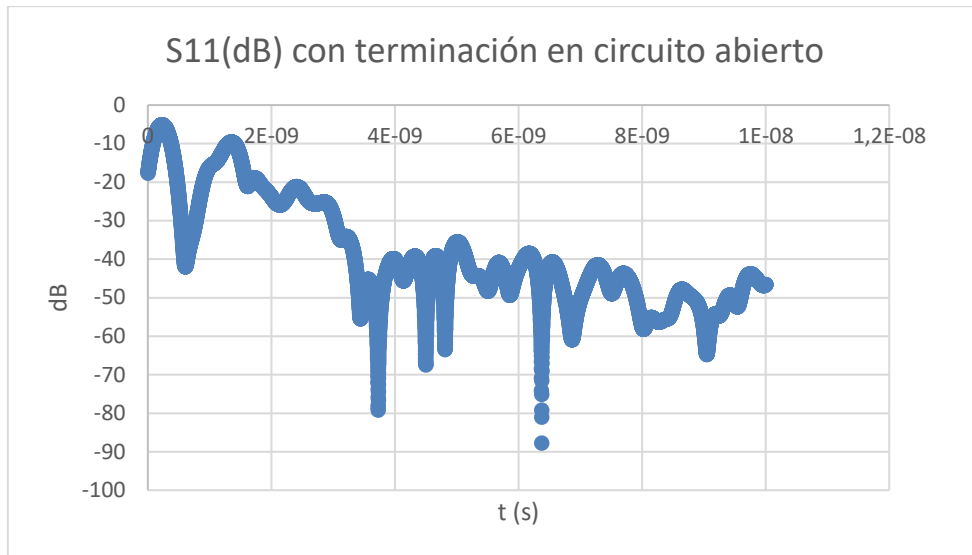


Gráfico 5: S11(dB) con terminación en circuito abierto

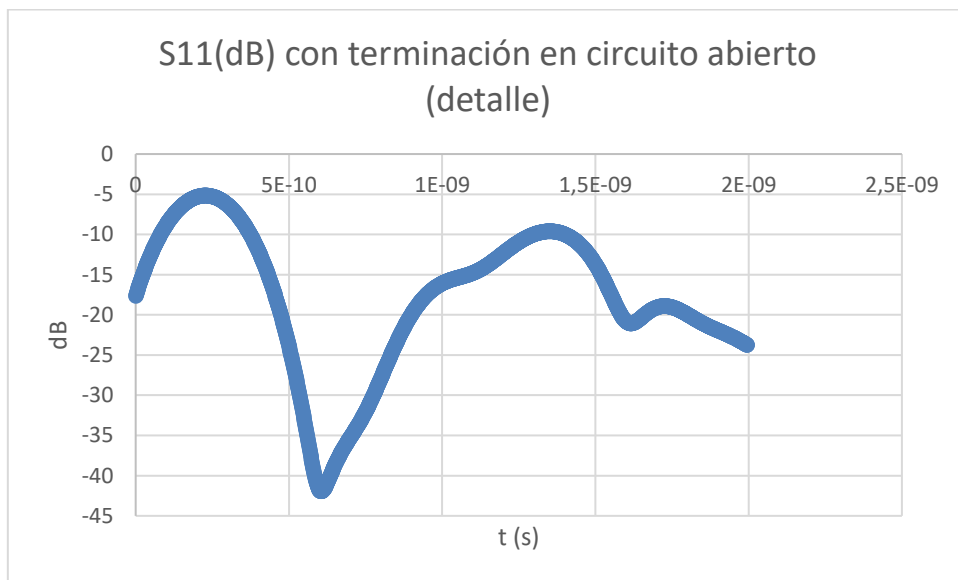


Gráfico 6: S11(dB) con terminación en circuito abierto (detalle)

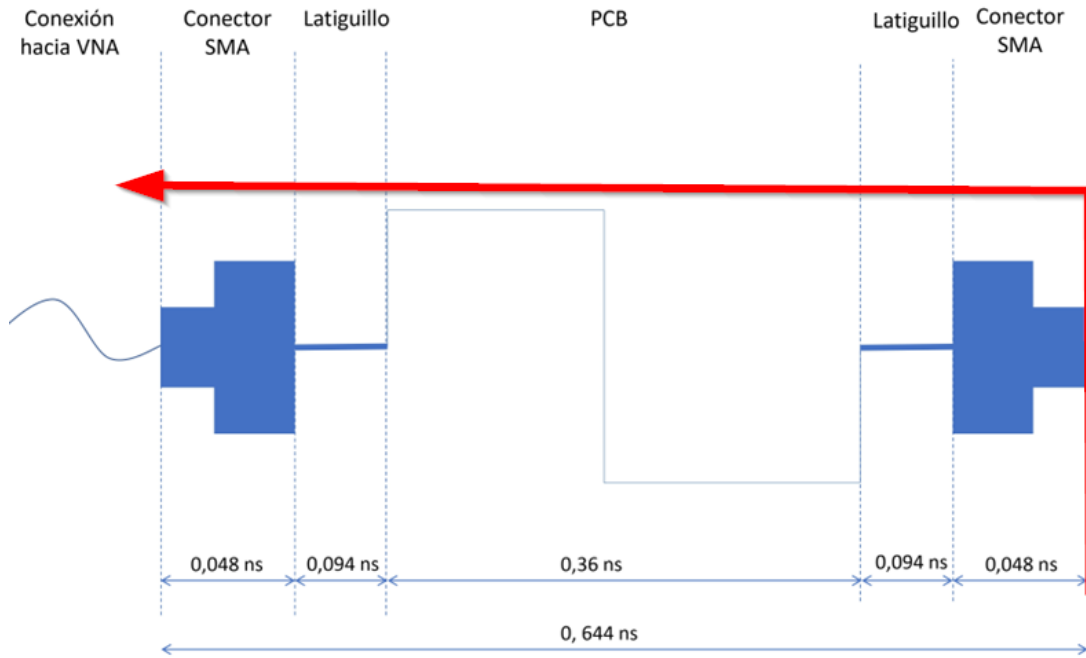


Ilustración 170: Reflexión en circuito abierto

Con terminación adaptada

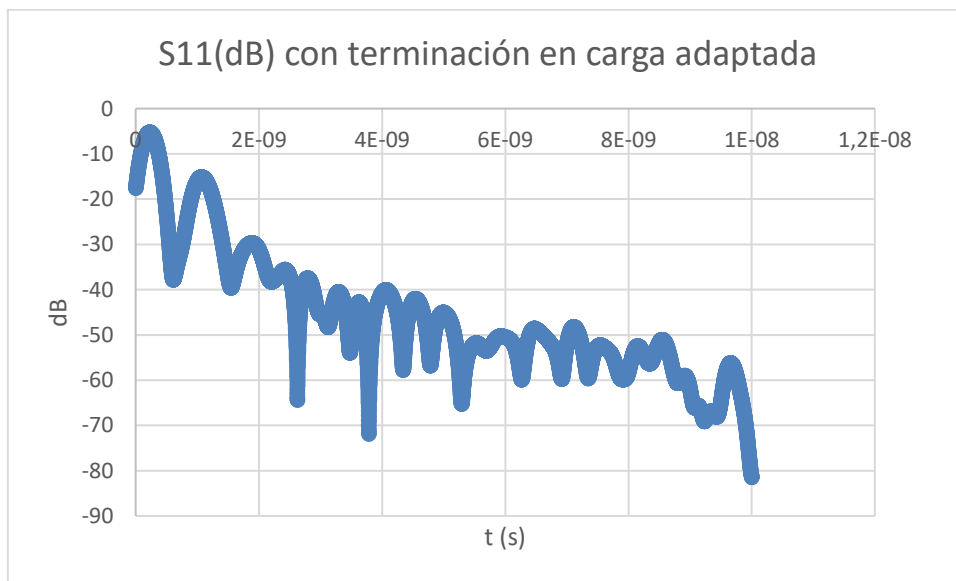


Gráfico 7: S11(dB) con terminación en carga adaptada

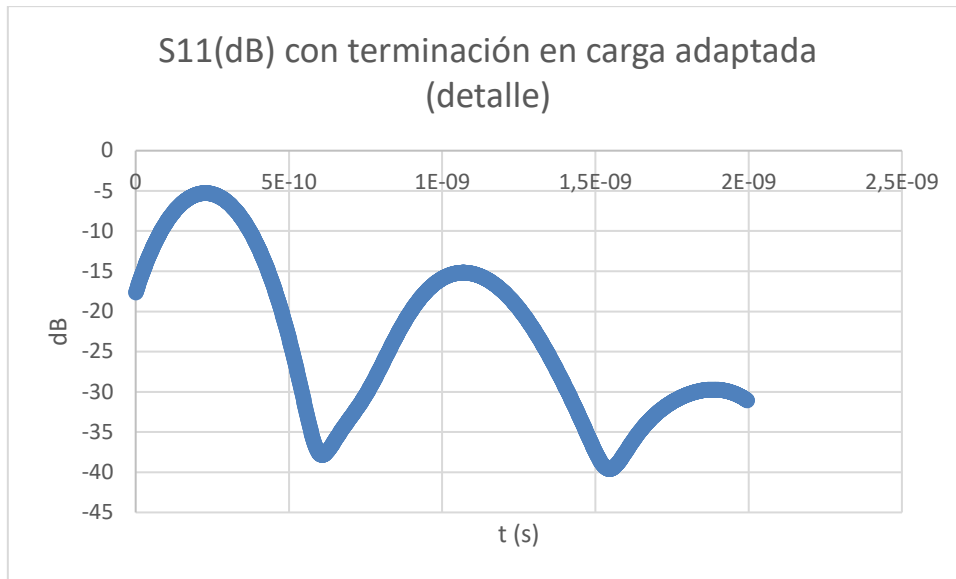


Gráfico 8: S11(dB) con terminación en carga adaptada (detalle)

En el caso en el que la terminación de la carga es adaptada vemos una reflexión en 1 ns, es decir, estamos viendo la reflexión en el latiguillo del conector donde se conecta la carga.

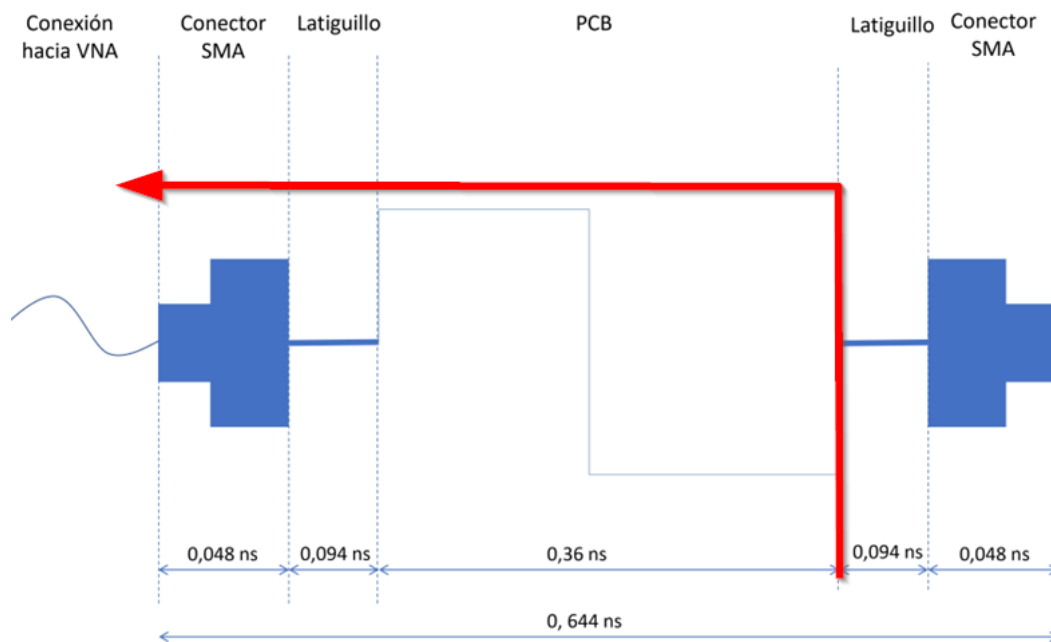


Ilustración 171: Reflexión con carga adaptada



Ilustración 172: Comparativa terminación en circuito abierto (rojo) y con terminación en carga adaptada (amarillo) en path 1

Se conecta el cable al otro lado de la línea y se toman las mismas medidas.

Con terminación en circuito abierto

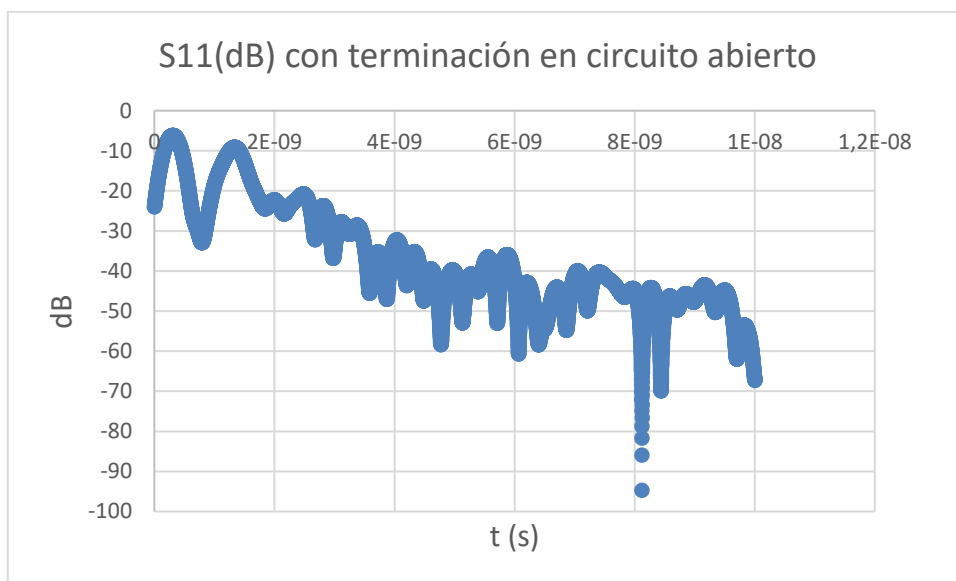


Gráfico 9: S11(dB) con terminación en circuito abierto

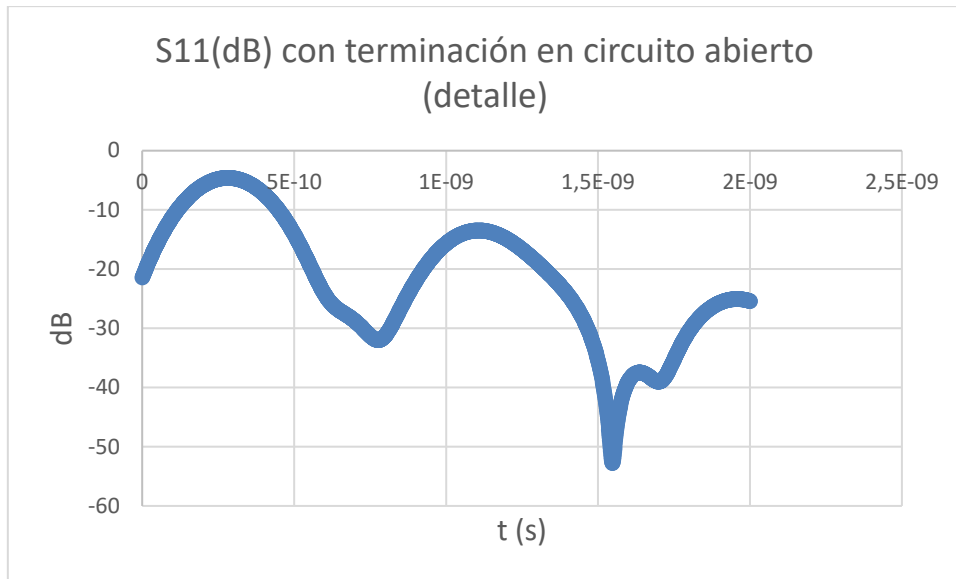


Gráfico 10: S11(dB) con terminación en circuito abierto (detalle)

Con terminación en carga adaptada

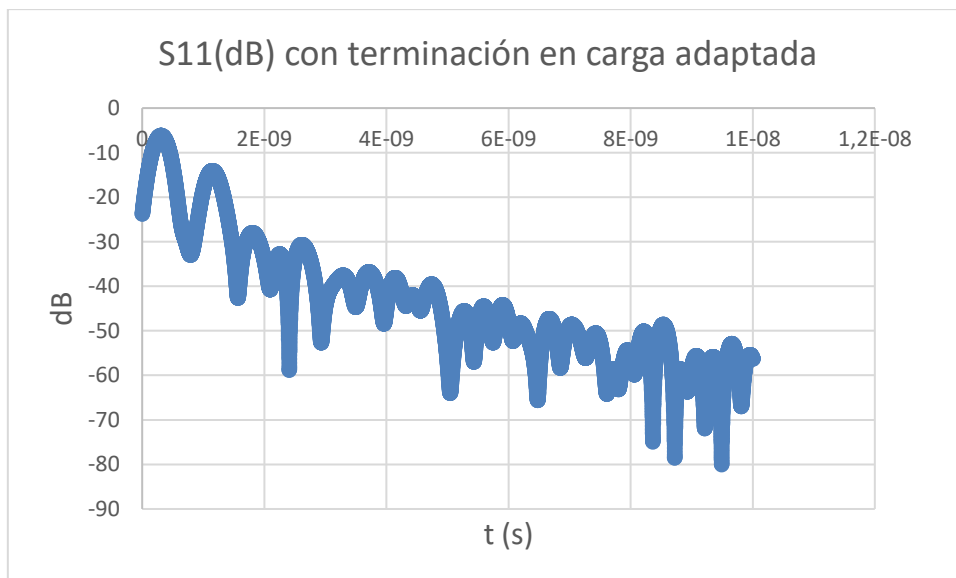


Gráfico 11: S11(dB) con terminación en carga adaptada

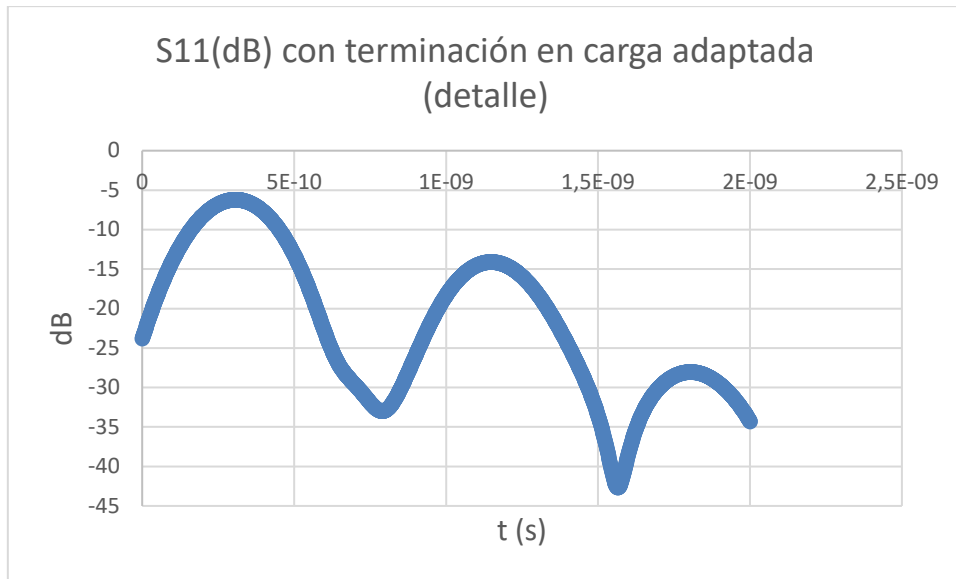


Gráfico 12: S11(dB) con terminación en carga adaptada (detalle)

- Path 2

Con terminación en circuito abierto (II)

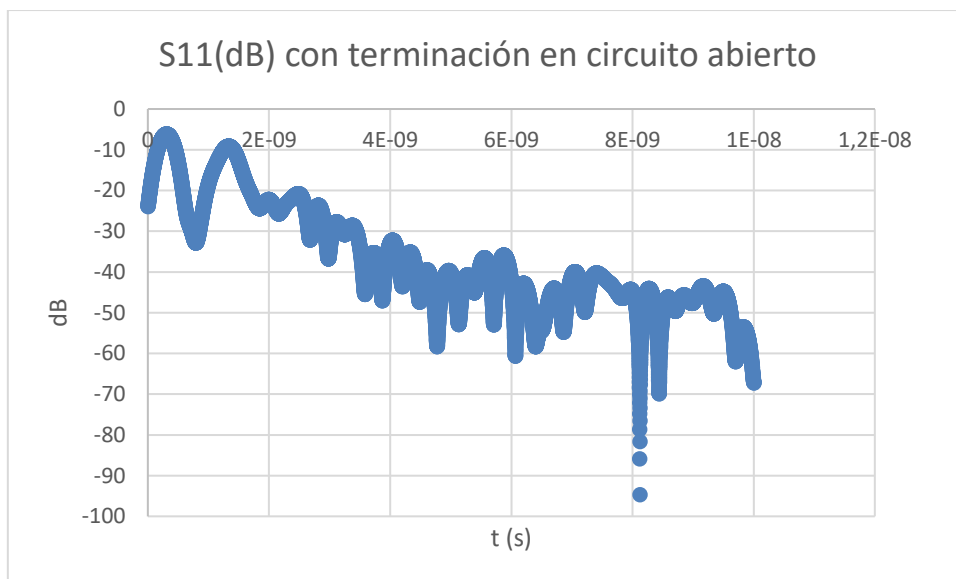


Gráfico 13: S11(dB) con terminación en circuito abierto

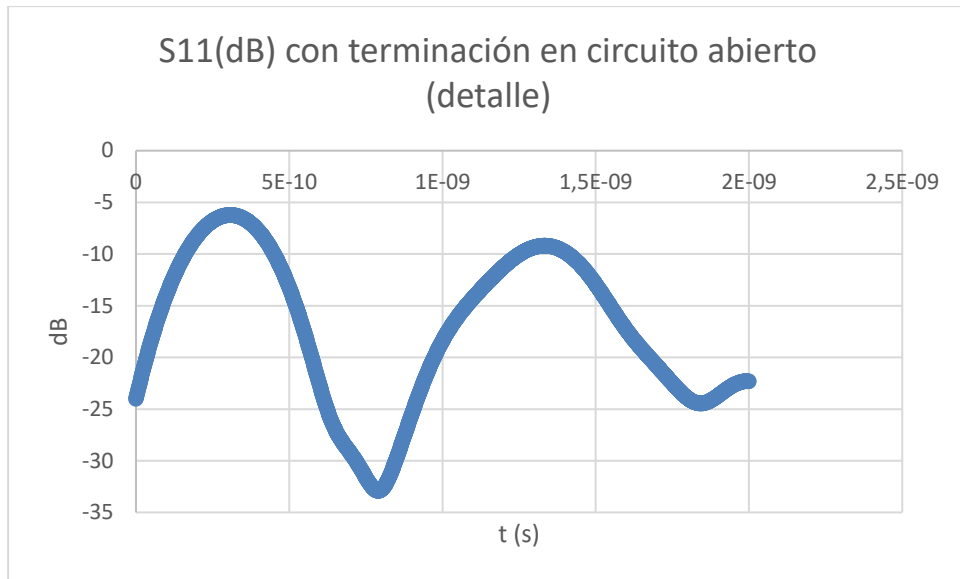


Gráfico 14: S11(dB) con terminación en circuito abierto (detalle)

Con terminación adaptada (II)

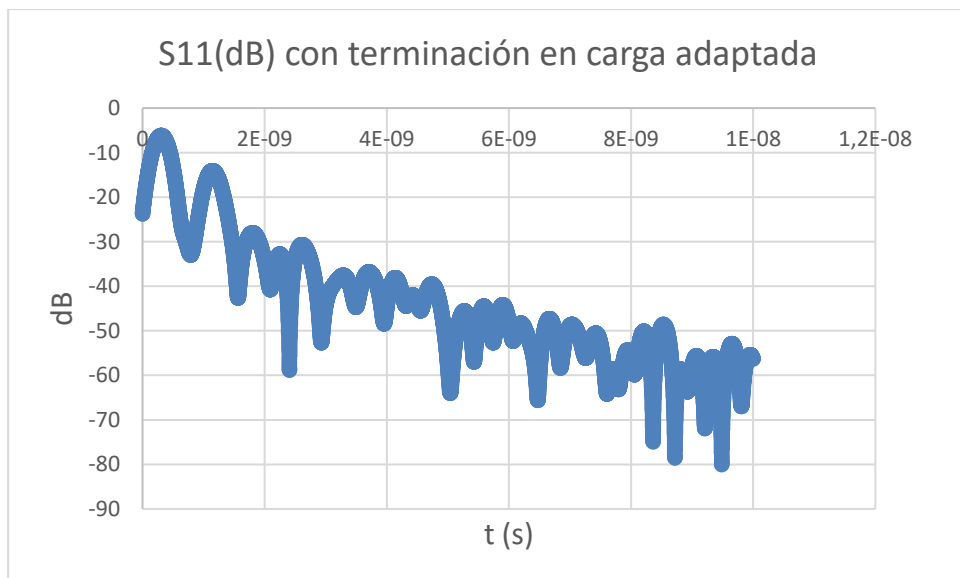


Gráfico 15: S11(dB) con terminación en carga adaptada

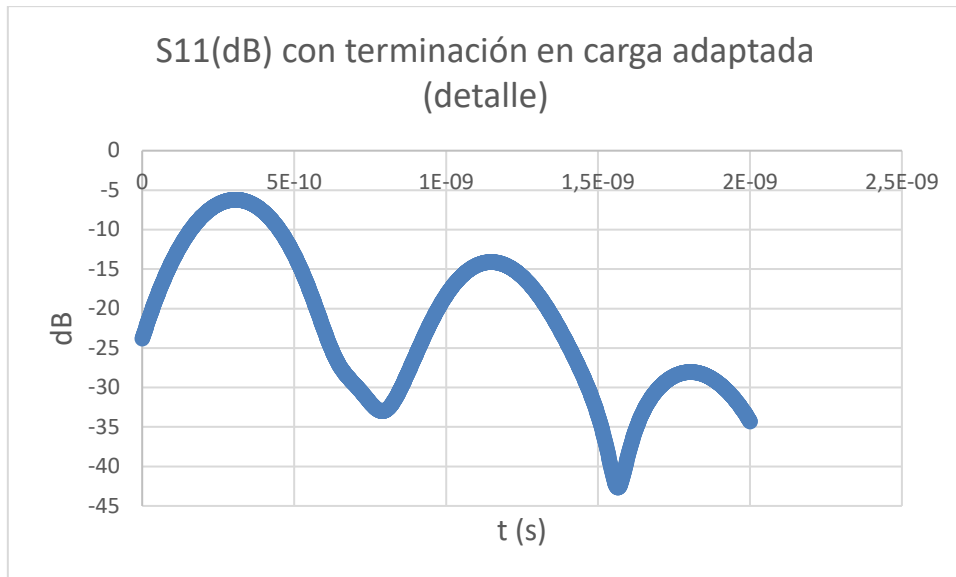


Gráfico 16: S11(DB) con terminación en carga adaptada (detalle)

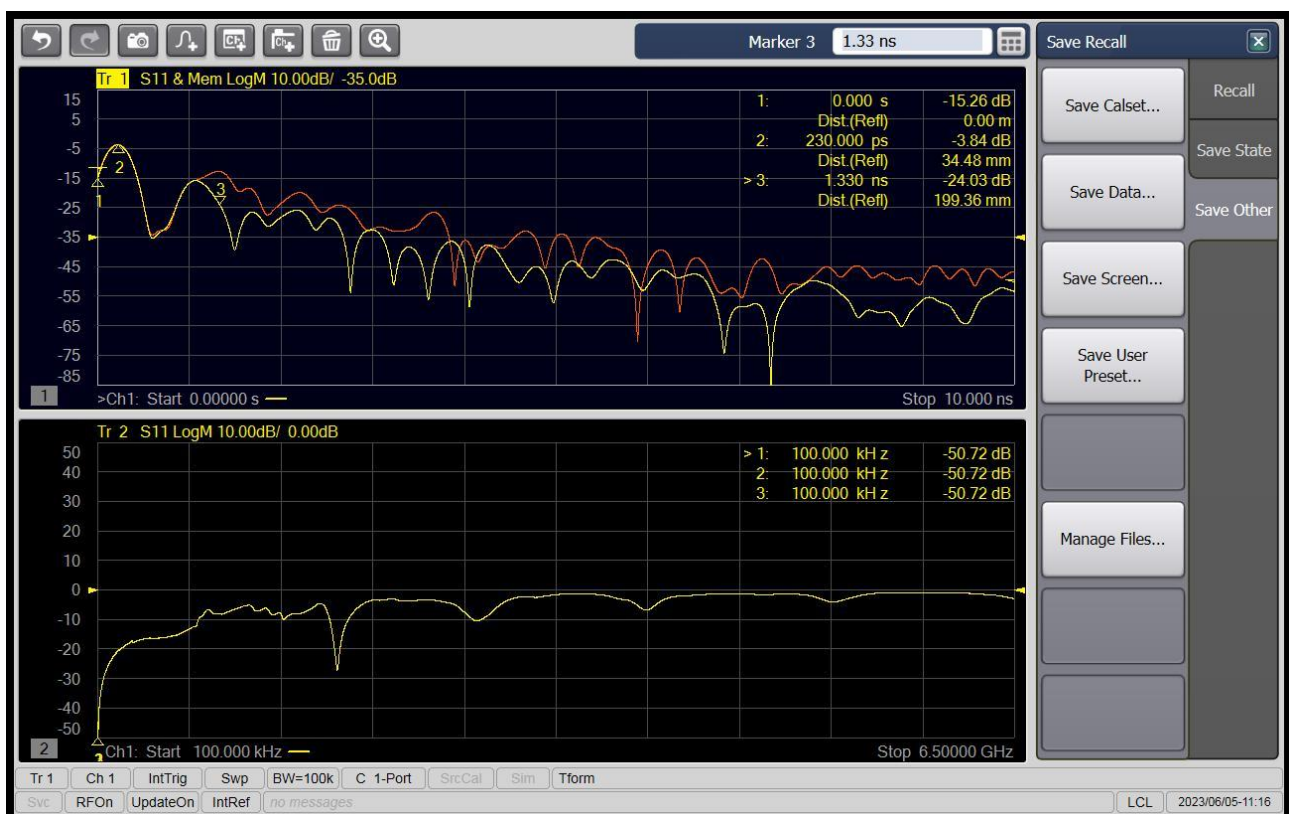


Ilustración 173: Comparativa terminación en circuito abierto (rojo) y con terminación en carga adaptada (amarillo) en path 2

Como se ha hecho en el apartado anterior, se van a tomar medidas conectando el cable en el otro extremo.

Con terminación en circuito abierto

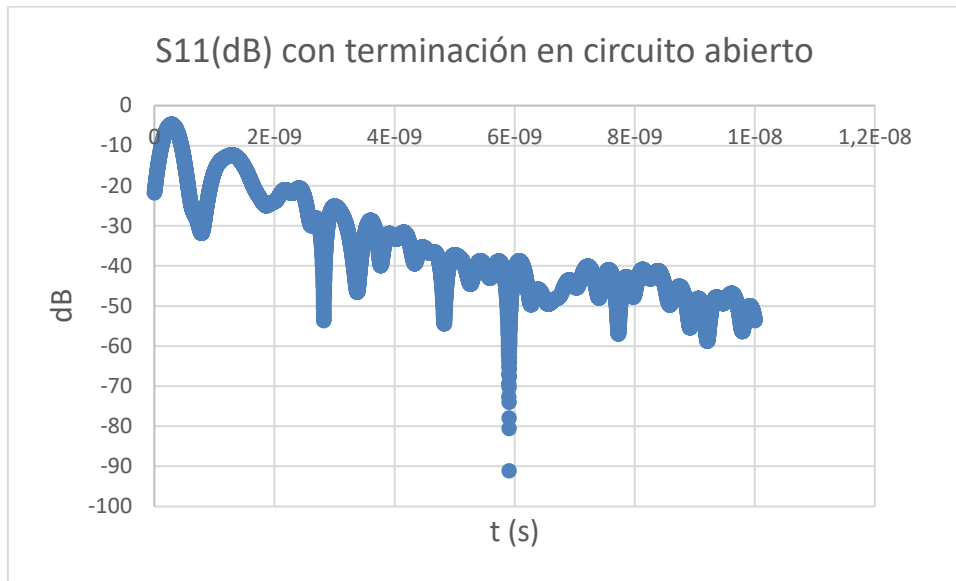


Gráfico 17: S11(dB) con terminación en circuito abierto

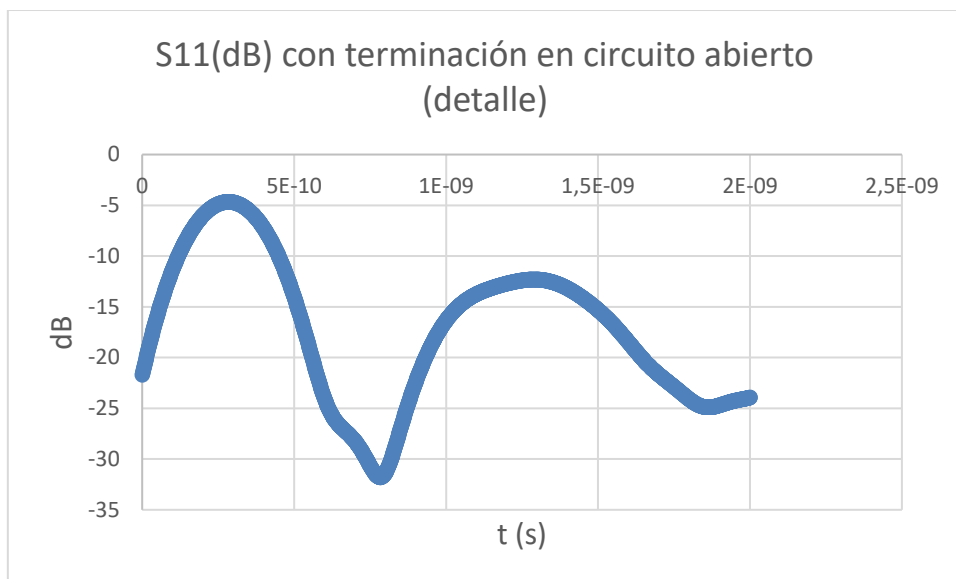


Gráfico 18: S11(dB) con terminación en circuito abierto (detalle)

Con terminación en carga adaptada

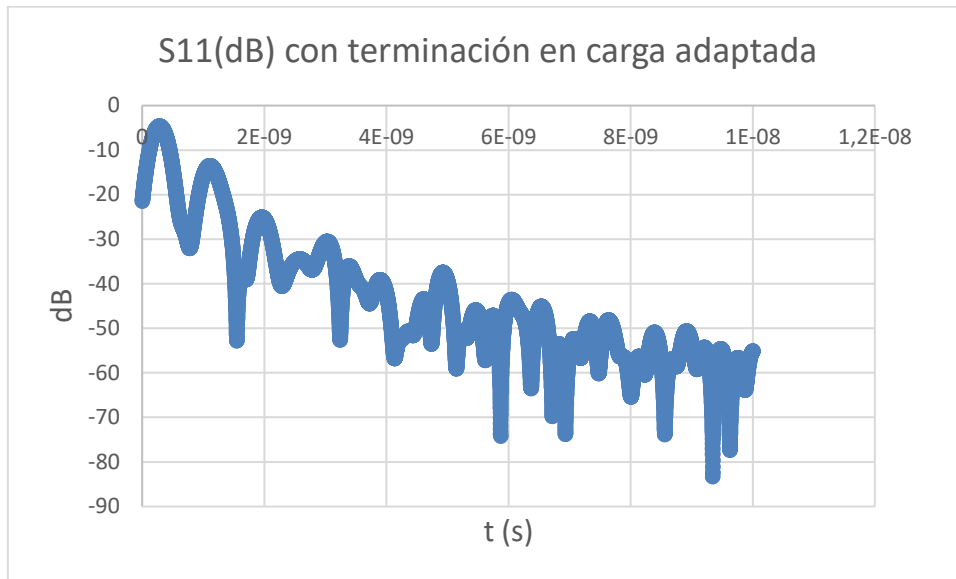


Gráfico 19: S11(dB) con terminación en carga adaptada (detalle)

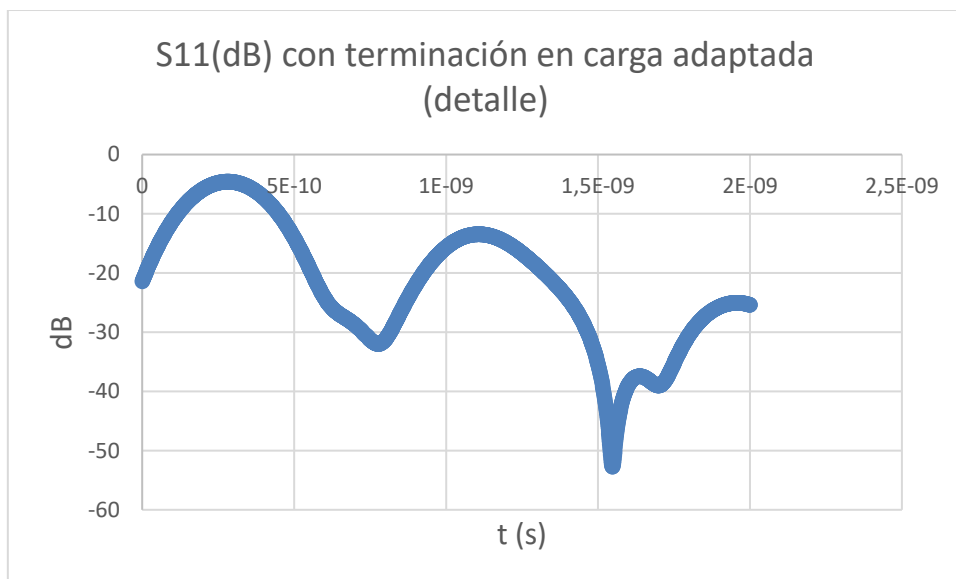


Gráfico 20: S11(dB) con terminación en carga adaptada (detalle)

Vemos resultados similares en ambos paths, aunque no idénticos. Una de las causas puede ser que los dos paths estudiados tienen longitudes similares. Además, las tolerancias en la fabricación de los elementos también afectan a la similitud de los valores de S11. Se puede ver, además, que las diferencias entre ambos gráficos se dan en la parte del circuito (primer pico), y no en la carga (segundo pico). Como cabría esperar, las reflexiones son menores en los casos en los que se conecta una carga adaptada.

- Cálculo de los retardos

A continuación se muestran los cálculos de los retardos de cada elemento del TDR. Para ello, se ha utilizado la Ecuación 18.

$$Retardo = \frac{l}{\frac{c}{\sqrt{\epsilon_{eff}}}}$$

Ecuación 18: Retardo de propagación

$$Conexión VNA = \frac{1}{\frac{3 * 10^8}{\sqrt{2.02}}}$$

Ecuación 19: Retardo de propagación de conexión VNA - PCB

$$Conector SMA = \frac{10^{-2}}{\frac{3 * 10^8}{\sqrt{2.08}}}$$

Ecuación 20: Retardo de propagación de conector SMA

$$Latiguillo = \frac{2 * 10^{-2}}{\frac{3 * 10^8}{\sqrt{2.02}}}$$

Ecuación 21: Retardo de propagación de latiguillo

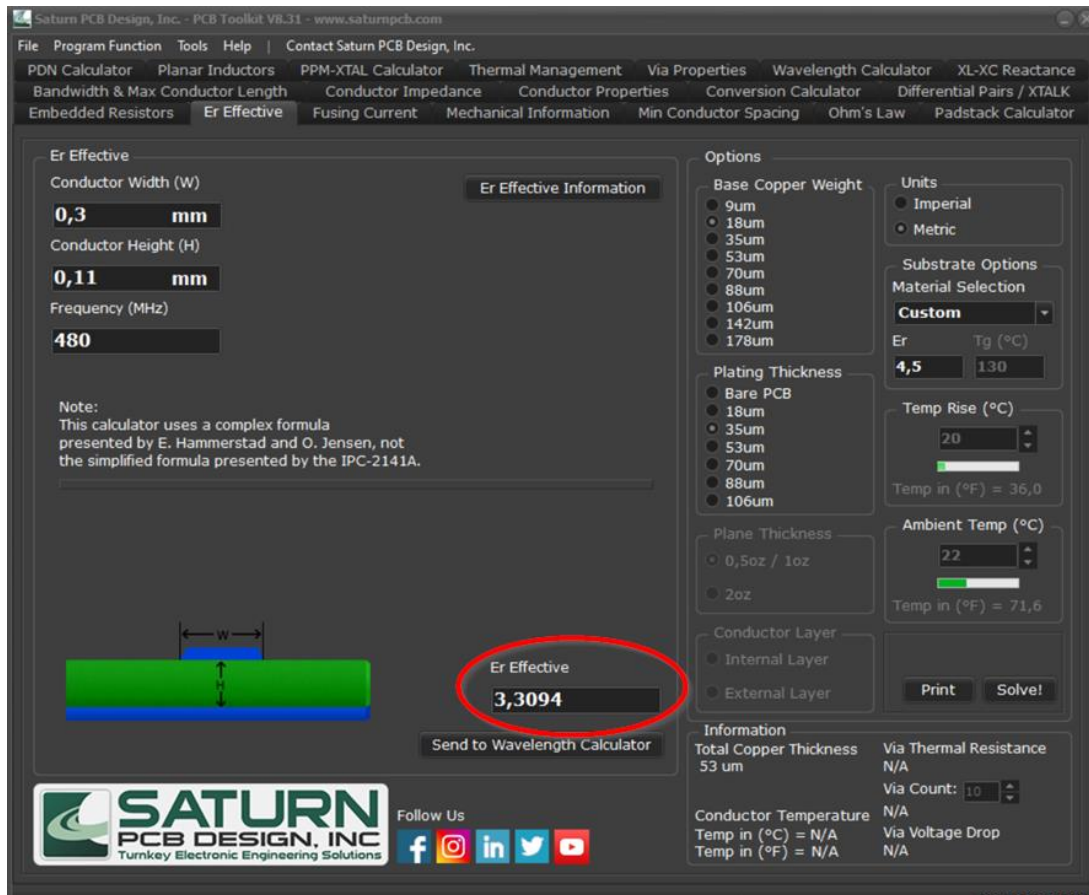


Ilustración 174: Cálculo de épsilon relativa efectiva en la PCB

$$PCB = \frac{60.08 * 10^{-3}}{\frac{3 * 10^8}{\sqrt{3.3094}}}$$

Ecuación 22: Retardo de propagación de PCB

Una vez realizados los cálculos teóricos de forma teórica se realizó la reflectometría en el dominio del tiempo, obteniéndose los siguientes resultados.

8.3 Comparativa

Protocolo		Altura del ojo (V)	Anchura del ojo (ns)	Ruido aleatorio	ISI	DCD	TDR
USB 2.0 Full Speed	Arduino	2.1455	81.3712035	No	No	No	X
	Tarjeta propia	1.871	78.111011	Poco	Poco	No	X
	Tarjeta propia (II)	X	X	X	X	X	Sí
Automotive Ethernet 1000Base-T1 (Modo de test 2)		0.06461	3.6683005	No	No	No	X

Tabla 39: Comparativa de la integridad entre distintos protocolos

9. Análisis previo de riesgos

La realización de cualquier proyecto implica una serie de riesgos. Por ello, la realización de un análisis previo de riesgos es fundamental para poder gestionar y dar respuesta de una forma adecuada a los mismos.

9.1 Riesgos

- **Osciloscopio no disponible:** Puede suceder porque alguien necesite el osciloscopio a la vez. También puede darse porque necesita algún tipo de reparación por haber hecho un mal uso de este. En cualquier caso, se trata de un riesgo de una probabilidad media (0.5) y de un impacto medio (0.5) también.
- **Medidas mal tomadas:** puede darse por múltiples causas y su gravedad puede variar en función de cuánto se desvíen de la medida correcta. Teniendo en cuenta que se han contrastado todas las medidas, se ha otorgado una probabilidad de ocurrencia baja (0.1), y un impacto medio (0.5).
- **Retraso de la producción de tarjetas:** Se tomarán las medidas en placas PCB de fabricación propia. Se le ha asignado un impacto alto (0.9) pero una probabilidad de suceso baja (0.1), ya que se cuenta con profesionales altamente cualificados.

		Impacto		
		Bajo (0.1)	Medio (0.5)	Alto (0.9)
Probabilidad	Baja (0.1)	0.01	0.05 (Medidas mal tomadas)	0.09
	Media (0.5)	0.05	0.25 (Osciloscopio no disponible)	0.45 (Retraso en la producción de PCBs)
	Alta (0.9)	0.09	0.45	0.81

Tabla 40: Matriz de probabilidad-impacto

9.2 Plan de contingencia

- **Osciloscopio no disponible:** Para evitar averías debemos de tener en cuenta que el osciloscopio utilizado admite una tensión máxima de $\pm 5V$. Para garantizar esto podemos emplear una sonda activa, que garantiza que la tensión en la entrada del osciloscopio no sea superior a la tensión máxima admitida. Se elaborará un plan de uso para evitar el solapamiento de uso del aparato entre los distintos usuarios.
- **Medidas mal tomadas:** Debemos tener en cuenta que, según el fabricante, el osciloscopio comienza a tomar medidas con máxima precisión a los 45 minutos de haber sido encendido. Además, las diferencias en la fuerza de ajuste de los conectores también pueden afectar al valor de las medidas, por lo que se empleará una llave dinamométrica para asegurar que el par ejercido es siempre el mismo.
- **Retraso en la producción de tarjetas:** En caso de que la producción de las tarjetas se retrase se emplearán otras tarjetas para la toma de medidas.



4.1	Introducción																	
4.2	Contexto								X									
4.3	Objetivos								X									
4.4	Beneficios								X									
4.5	Análisis del estado del arte								X									
4.6	Búsqueda Alternativas								X									
4.7	Metodología								X									
4.8	Redacción Gantt								X									
4.9	Analisis de Riesgos								X									
4.10	Presupuesto								X									
4.11	Resultados y conclusiones								X									
4.12	PPT								X									
4.12.1	Creación archivo presentación								X									
4.12.2	Preparación presentación								X									
4.13	Tutorías								X									

11. Presupuesto ejecutado

En este apartado se van a contemplar los costes del proyecto, incluyendo desde gastos y amortizaciones hasta mano de obra.

11.1 Mano de obra

La primera partida del presupuesto ejecutado es la correspondiente a la mano de obra. Para ello, se contemplará la tasa horaria de los trabajadores, el número de horas diarias y el número de días empleado.

Trabajador	Tasa horaria (euros/hora)	Horas/día	Numero días	Coste (€)
Unai Jurado	5.00	8	88	3520
Xabier Eguiluz	17.50	1	88	1540
			Coste total mano obra	15060

Tabla 41: Costes

11.2 Gastos

Esta partida recoge los gastos imputables al proyecto. Se incluyen conceptos relacionados con el material de oficina (bolígrafos, cuadernos...) así como los relativos al conexionado de la placa.

Concepto	Coste (€)
Material Oficina	15.00
Cables	30.00
Coste total mano obra	45.00

Tabla 42: Gastos

11.3 Amortizaciones

En esta partida se detallan las amortizaciones de los equipos utilizados en las pruebas (osciloscopio y PCB) y en su posterior tratamiento estadístico (PC).

Concepto	Coste Adquisición (€)	Vida útil (años)	Uso (meses)	Coste (€)
Osciloscopio	150000.00	15	4.5	3750.00
PCB Pruebas	200.00	10	4.5	7.50
Portátil	700.00	10	4.5	26.25
			Amortizaciones	3783.75

Tabla 43: Amortizaciones

11.4 Coste total

Por último, se calcula el coste total del proyecto sumando los costes de los anteriores apartados

Coste total mano obra	5060
Gastos	45.00
Amortizaciones	3783.75
Coste total	8888.75

Tabla 44: Coste total

12. Conclusiones

En este trabajo se han evaluado la integridad de varias tarjetas en las que están implementados distintos protocolos como Automotive Ethernet 1000 BASE-T1 o USB 2.0.

En el caso de Automotive Ethernet se han realizado las pruebas que se requieren en la normativa, pero de forma manual. La frecuencia medida en los modos 1 y 2 fue de unos 134 MHz, cuando debía ser de 125 MHz según las especificaciones de las pruebas. El *droop* de bajada fue del 41%, superando así la prueba, que fija el umbral en un 50%. Sin embargo, en la prueba de subida el *droop* fue del 109%, por lo que no fue superada. Además, se estudió la apertura del diagrama de ojo en el modo 2, tomando medidas de la altura y la anchura del ojo, además del *rise time*. Se obtuvo una apertura del ojo de 3.66 ns de anchura y 64.61 mV de altura. La variabilidad en ambos casos fue muy baja, con 6.26 ps de rango en anchura y 1.7 mV en altura.

En cuanto al protocolo USB, se han comparado una tarjeta comercial frente a otra con un diseño propio realizada en la empresa. El *rise time*, que es la medida especificada en el estándar de USB 2.0 para medir la integridad de la señal, ha sido ligeramente superior en la tarjeta realizada en la empresa, con 9.59 ns de media frente a los 7.77 ns de media de la tarjeta comercial Arduino UNO, aunque se situaron en ambos casos dentro del rango requerido. Tanto el valor mínimo (7.03 ns) como el máximo (15.95 ns) del *rise time* alcanzados en la prueba de la tarjeta comercial se encuentran dentro de los valores especificados en el estándar para velocidad full, que es la que fue testada. Sin embargo, en el caso de la tarjeta propia, el valor mínimo de *rise time* (7.86 ns) sí que entró dentro de los valores requeridos, pero no el máximo (77.31 ns), que superó ampliamente los 20 ns de máximo de *rise time* durante un breve espacio de tiempo. En este caso las pruebas sí que han sido superadas en ambos casos al ajustarse a los valores esperados.

Además se realizó una reflectometría en el dominio del tiempo. Gracias a ella se pudieron comprobar las reflexiones en los paths, apreciándose que no eran completamente idénticos. Por poner un ejemplo, en el primer path estudiado, a 230 picosegundos el parámetro S11 fue de -3.84 dB en uno de los paths y de -5.18 dB en el otro. En 1.330 ns, donde se sitúa la carga adaptada y el circuito abierto, los resultados fueron similares. Comparando los resultados con carga y sin carga la diferencia en el segundo pico fue de 3 dB en uno de los paths y de 5dB en el otro.

Con estos resultados se puede concluir que la tarjeta en la que fue evaluada Automotive Ethernet necesita una mejora en el diseño para cumplir con las especificaciones requeridas, aunque funcionalmente era totalmente operativa, a pesar de ser un prototipo. Además, dado que no es una tarjeta concebida para hacer pruebas, se sugiere incluir test points específicos para poder realizar las pruebas de una forma mucho más rigurosa.

Por último, también se ha evaluado la calidad del diseño de la tarjeta diseñada por la empresa en la que se evaluó USB 2.0, que fue comparada con una tarjeta comercial, logrando resultados comparables con esta última.

13. Líneas futuras

13.1 Compliance test

Una de las posibilidades más interesantes de cara a ampliar el trabajo sería la realización de los *compliance test* del osciloscopio para los protocolos Automotive Ethernet y USB 2.0 [68]. De esta forma, se podrían realizar pruebas de una forma aún más estandarizada y reduciendo las probabilidades de errores humanos.

13.2 Protocolos adicionales

Otra línea de expansión es la inclusión de protocolos adicionales a analizar. Se podrían incluir protocolos de acceso a memoria DDR4 (que no fue analizado por no disponerse de la placa), de transferencia de datos a alta velocidad como Thunderbolt o USB en su versión 3.0 o de video como HDMI. Todos los protocolos mencionados tienen además su propio compliance test en el osciloscopio empleado para tomar las mediciones. Además, se podría intentar tomar una medida del diagrama de ojo en los casos de Low Speed (1.5 Mbps) y High Speed (480 Mbps) de USB, los cuales no han podido ser probados debido a la ausencia del controlador que decide la velocidad del bus de USB. Finalmente, FPD Link III no ha podido ser utilizado por limitaciones de *hardware* al emplearse una tarjeta que no era propiedad de la empresa y por ende no podían hacerse modificaciones sustanciales en la misma. Además, las pistas de la placa eran demasiado pequeñas para acceder a la placa asegurando la integridad de esta.

13.3 Jitter

El jitter es un parámetro de la integridad de la señal interesante que no ha podido ser medido debido a la falta de la licencia de la *test app* “EZJit Plus” [69] de Keysight. Mediante esta *test app* podría verse el jitter y mostrar el histograma del jitter aleatorio, el jitter periódico, el determinista, el dependiente de los datos, la distorsión del ciclo de trabajo y la interferencia entre símbolos. También muestra el gráfico Bathtub [70].

14. Referencias

- [1] E. Bogatin, *Signal and power integrity--simplified*, 2nd ed. en Prentice Hall modern semiconductor design series. Prentice Hall signal integrity library. Upper Saddle River, NJ: Prentice Hall, 2010.
- [2] «Difference between 2 Types of Crosstalk - Near-End Crosstalk (NEXT) and Far-End Crosstalk (FEXT)», *Home*, 30 de marzo de 2018. <https://www.ad-net.com.tw/difference-2-types-crosstalk-near-end-crosstalk-next-far-end-crosstalk-fext/> (accedido 16 de mayo de 2023).
- [3] «P15F:Certificación en cobre (Enlace permanente y canal).» <https://informatica.gonzalonazareno.org/certired/p15f/p15f.html> (accedido 18 de mayo de 2023).
- [4] «Memory Bus Crosstalk». http://www.sigcon.com/Pubs/news/9_06.htm (accedido 17 de mayo de 2023).
- [5] D. Bogdanoff, «Jitter Simplified», *Electronic Design*, mayo de 2016. <https://www.electronicdesign.com/technologies/test-measurement/article/21801497/jitter-simplified> (accedido 18 de mayo de 2023).
- [6] A. Pini, «Basic jitter measurements using an oscilloscope».
- [7] G. Breed, «Analyzing Signals Using the Eye Diagram».
- [8] «handout2.pdf». Accedido: 20 de marzo de 2023. [En línea]. Disponible en: <http://courses.washington.edu/ee417/handouts/handout2.pdf>
- [9] «Signal Integrity Fundamentals».
- [10] P. Hank, S. Muller, O. Vermesan, y J. Van Den Keybus, «Automotive Ethernet: In-vehicle Networking and Smart Mobility», en *Design, Automation & Test in Europe Conference & Exhibition (DATE), 2013*, Grenoble, France: IEEE Conference Publications, 2013, pp. 1735-1739. doi: 10.7873/DATE.2013.349.
- [11] A.-M. Silaghi, C. Pescari, C. Bleoju, y A. De Sabata, «Solving Automotive Signal Integrity Issues by EMC Simulation», en *2021 IEEE 27th International Symposium for Design and Technology in Electronic Packaging (SIITME)*, Timisoara, Romania: IEEE, oct. 2021, pp. 33-36. doi: 10.1109/SIITME53254.2021.9663717.
- [12] Proto-Electronics, «PCB FR4: La guía del FR-4 para sus circuitos impresos». <https://www.proto-electronics.com/es/blog/pcb-fr4-la-guia-del-fr-4-para-sus-circuitos-impresos> (accedido 21 de marzo de 2023).
- [13] S. Mortazavi, D. Schleicher, A. Stieler, A. Sinai, F. Gerfers, y M. Hampe, «EMC Analysis of Shielded Twisted Pair and Shielded Parallel Pair Transmission Lines for Automotive Multi-Gig Ethernet», en *2019 IEEE International Symposium on Electromagnetic Compatibility, Signal & Power Integrity (EMC+SIPI)*, New Orleans, LA, USA: IEEE, jul. 2019, pp. 193-198. doi: 10.1109/IEMC.2019.8825261.
- [14] K. Y. See, A. Kamarul, y P. L. So, «Longitudinal conversion loss of power line network for typical Singapore household», en *2005 International Power Engineering Conference*, Singapore: IEEE, 2005, pp. 1-265. doi: 10.1109/IPEC.2005.206918.
- [15] «Mund - Coupling attenuation.pdf».
- [16] «Mortazavi et al. - 2018 - Modeling and Verification of Automotive Multi-Gig .pdf».
- [17] S. Mortazavi, D. Schleicher, y F. Gerfers, «Modeling and Verification of Automotive Multi-Gig Ethernet Communication up to 2.5 Gbps and the Corresponding EMC Analysis», en *2018 IEEE Symposium on Electromagnetic Compatibility, Signal Integrity and Power Integrity (EMC, SI & PI)*, Long Beach, CA: IEEE, jul. 2018, pp. 329-334. doi: 10.1109/EMCSI.2018.8495375.
- [18] L. Ramadoss y J. Y. Hung, «A study on universal serial bus latency in a real-time control system», en *2008 34th Annual Conference of IEEE Industrial Electronics*, Orlando, FL: IEEE, nov. 2008, pp. 67-72. doi: 10.1109/IECON.2008.4757930.
- [19] J. Saade, F. Petrot, A. Picco, J. Huloux, y A. Goulahsen, «A system-level overview and comparison of three High-Speed Serial Links: USB 3.0, PCI Express 2.0 and LLI 1.0», en *2013 IEEE 16th International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS)*, Karlovy Vary: IEEE, abr. 2013, pp. 147-152. doi: 10.1109/DDECS.2013.6549807.
- [20] «Simplifying Validation and Debug.pdf».

- [21] S. L. Zhou, Y. L. Guan, y X. K. Tang, «Signal Integrity Analysis of High-Speed Signal Connector USB3.0», *Adv. Mater. Res.*, vol. 760-762, pp. 320-324, sep. 2013, doi: 10.4028/www.scientific.net/AMR.760-762.320.
- [22] EDN, «Automotive Video—The FPD-Link III-Do more with less», *EDN*, 27 de agosto de 2014. <https://www.edn.com/automotive-video-the-fpd-link-iii-do-more-with-less/> (accedido 2 de mayo de 2023).
- [23] M. R. Ahmadi y C. Ying, «The Evolution of Automotive Interconnect and Physical-Layer Technologies: Ubiquitous pathways enabling intelligent vehicles», *IEEE Solid-State Circuits Mag.*, vol. 14, n.º 2, pp. 36-43, 2022, doi: 10.1109/MSSC.2022.3161257.
- [24] S. Kempainen, «Low-Voltage Differential Signaling (LVDS)».
- [25] A. Heng y B. Kahler, «FPD-Link™ High Speed Design and Channel Requirements».
- [26] «What is PCB Back Drilling? | Sierra Circuits». <https://www.protoexpress.com/blog/back-drilling-pcb-design-and-manufacturing/> (accedido 2 de mayo de 2023).
- [27] «PCI Express 6.0 Specification | PCI-SIG». <https://pcisig.com/pci-express-6.0-specification> (accedido 27 de abril de 2023).
- [28] «PCI-SIG® Announces PCI Express® 7.0 Specification to Reach 128 GT/s», 21 de junio de 2022. <https://www.businesswire.com/news/home/20220621005137/en/PCI-SIG%C2%AE-Announces-PCI-Express%C2%AE-7.0-Specification-to-Reach-128-GTs> (accedido 27 de abril de 2023).
- [29] «¿Qué es PAM4 y cuáles son las diferencias entre PAM4 y NRZ? | Comunidad FS», *Knowledge*, 20 de diciembre de 2019. <https://community.fs.com:7003/es/blog/pam4-for-400g-ethernet-applications.html> (accedido 27 de abril de 2023).
- [30] «The Art of Networking (Series 2): PCIe Goes Automotive | Renesas». <https://www.renesas.com/us/en/blogs/art-networking-series-2-pcie-goes-automotive> (accedido 10 de marzo de 2023).
- [31] M. Lu, «Connecting Zonal Automotive Architectures with PCIe», 2021.
- [32] W. G. Wong, «What's the Difference Between Domain and Zonal Automotive Architectures?», *Electronic Design*, junio de 2021. <https://www.electronicdesign.com/markets/automotive/article/21166567/electronic-design-whats-the-difference-between-domain-and-zonal-automotive-architectures> (accedido 10 de marzo de 2023).
- [33] redeweb, «How to face the challenges of E/E architecture | Redeweb», 26 de enero de 2023. <https://www.redeweb.com/en/Articles/how-to-meet-the-challenges-of-future-zone-ee-architecture-introducing-an-mcu-based-virtualization-solution-platform/> (accedido 10 de marzo de 2023).
- [34] «PCI Express®5.0 and the Road to PAM4_Final_042820_2.pdf».
- [35] H. R. Kaveri, K. A. Manjunatha, Shankaraiah, M. Chandrashekar, y S. Musunuri, «Signal Integrity Evaluation for Automotive ECU with PCIe Gen 3.0 Interface», en *2020 International Conference on Smart Electronics and Communication (ICOSEC)*, Trichy, India: IEEE, sep. 2020, pp. 1031-1037. doi: 10.1109/ICOSEC49089.2020.9215364.
- [36] shivakumar, «Difference between LIN, CAN and FlexRay Protocols», *Prodigy Technovations*, 13 de abril de 2022. <https://prodigytechno.com/difference-between-lin-can-and-flexray-protocols/> (accedido 27 de abril de 2023).
- [37] A. K. Pandey, «Ensuring High Signal Quality in PCIe Gen3 Channels».
- [38] Corsair, «DDR4 White Paper». Accedido: 9 de marzo de 2023. [En línea]. Disponible en: <https://images-eu.ssl-images-amazon.com/images/I/91LwsXv8xUS.pdf>
- [39] *Getting the Most Out of DDR4 and Preparing for DDR5*, (2 de marzo de 2019). Accedido: 15 de marzo de 2023. [En línea Video]. Disponible en: https://www.youtube.com/watch?v=YaZzN_146AM
- [40] J. Feng, B. Dhavale, J. Chandrasekhar, Y. Tretiakov, y D. Oh, «System level signal and power integrity analysis for 3200Mbps DDR4 interface», en *2013 IEEE 63rd Electronic Components and Technology Conference*, Las Vegas, NV, USA: IEEE, may 2013, pp. 1081-1086. doi: 10.1109/ECTC.2013.6575708.
- [41] F. Li, «Research Analysis of PCB Design's Influence on DDR4 Highspeed Signal Integrity», *J. Phys. Conf. Ser.*, vol. 1873, n.º 1, p. 012021, abr. 2021, doi: 10.1088/1742-6596/1873/1/012021.
- [42] «Pandey - 2016 - Power-aware signal integrity analysis of DDR4 data.pdf».

- [43] A. K. Pandey, «Power-aware signal integrity analysis of DDR4 data bus in onboard memory module», en *2016 IEEE 20th Workshop on Signal and Power Integrity (SPI)*, Turin, Italy: IEEE, may 2016, pp. 1-4. doi: 10.1109/SaPIW.2016.7496261.
- [44] Keysight, «UXR0104A Infiniium UXR-Series Oscilloscope: 10 GHz, 4 Channels, 3.5 mm», *Keysight*. <https://www.keysight.com/es/en/product/UXR0104A/infiniium-uxr-series-oscilloscope-10-ghz-4-channels.html> (accedido 6 de marzo de 2023).
- [45] «© Rohde & Schwarz; R&S®RTP High-Performance Oscilloscope», 2022.
- [46] «Mixed Signal Oscilloscope, 4+32 CH, 10 GHz, 25-50 GS/s, 6 Series B MSO». <https://www.testequity.com/31786-1-MSO64B/6-BW-10000> (accedido 6 de marzo de 2023).
- [47] «Crosstalk Analysis Application User's Guide».
- [48] Keysight, «S96010A Time Domain Analysis», *Keysight*. <https://www.keysight.com/es/en/product/S96010A/s96010a-time-domain-analysis.html> (accedido 6 de junio de 2023).
- [49] «5992-0291.pdf». Accedido: 6 de junio de 2023. [En línea]. Disponible en: <https://www.keysight.com/es/en/assets/7018-04644/data-sheets/5992-0291.pdf>
- [50] J. Weber, «OSCILLOSCOPE PROBE CIRCUITS».
- [51] D. M. Pozar, *Microwave engineering*, 2nd ed. New York: Wiley, 1997.
- [52] «Snapshot». Accedido: 16 de mayo de 2023. [En línea]. Disponible en: <https://www.electronicandscommunications.com/2019/09/directional-coupler-s-matrix-derivation.html>
- [53] J. Palecek, M. Vestenicky, P. Vestenicky, y J. Spalek, «Examination of SMA connector parameters», en *2012 IEEE 16th International Conference on Intelligent Engineering Systems (INES)*, Lisbon, Portugal: IEEE, jun. 2012, pp. 259-263. doi: 10.1109/INES.2012.6249841.
- [54] A. Goetzman, «What are BNC Connectors?», *Connector and Cable Assembly Supplier*, 13 de septiembre de 2022. <https://connectorsupplier.com/bnc-connectors/> (accedido 18 de mayo de 2023).
- [55] «ds894_zynq_ultrascale_plus_overview-1591544.pdf». Accedido: 29 de marzo de 2023. [En línea]. Disponible en: https://www.mouser.es/datasheet/2/903/ds894_zynq_ultrascale_plus_overview-1591544.pdf
- [56] «ZFDC-10-5+.pdf».
- [57] «ZFDC-15-5.pdf».
- [58] «Keysight 8494/95/96A/B Attenuators Operating and Service Manual».
- [59] «USB2.0 Compliance-Testing_App-Note_55W-61400-0.pdf».
- [60] «Display eye diagram of time-domain signal - Simulink - MathWorks España». <https://es.mathworks.com/help/comm/ref/eyediagramscope.html> (accedido 8 de mayo de 2023).
- [61] D. Antonovici, «Advances in Time Domain Reflectometry characterisation for high speed interconnects», en *2015 IEEE 21st International Symposium for Design and Technology in Electronic Packaging (SIITME)*, Brasov, Romania: IEEE, oct. 2015, pp. 37-40. doi: 10.1109/SIITME.2015.7342291.
- [62] «TDR-impedance-measurement-an.pdf». Accedido: 25 de mayo de 2023. [En línea]. Disponible en: <https://assets.testequity.com/te1/Documents/pdf/applications/TDR-impedance-measurement-an.pdf>
- [63] «TimeDomain». <https://rfmw.em.keysight.com/wireless/helpfiles/pxivna/Time/TimeDomain.htm> (accedido 31 de mayo de 2023).
- [64] «Exploring the Int Test Pattern Generation Feature of FPDLink III IVI Devices.pdf».
- [65] «tektronix-5-cmautoen-datenblatt-en-automotive-ethernet-datasheet-1000base-t1-100base-t1-61w-61408-0-cp.pdf».
- [66] «Snapshot». Accedido: 12 de mayo de 2023. [En línea]. Disponible en: <https://www.tek.com/en/documents/application-note/automotive-ethernet-see-true-signal>
- [67] «BroadR_Reach_Automotive_Spec_V3.2_w_o.pdf». Accedido: 23 de mayo de 2023. [En línea]. Disponible en: https://grouper.ieee.org/groups/802/3/1TPCESG/public/BroadR_Reach_Automotive_Spec_V3.2_w_o.pdf

- [68] Keysight, «Options and Upgrades: UXR0104A Infiniium UXR-Series Oscilloscope: 10 GHz, 4 Channels, 3.5 mm», *Keysight*. <https://www.keysight.com/es/en/options/UXR0104A/infiniium-uxr-series-oscilloscope-10-ghz-4-channels.html> (accedido 24 de mayo de 2023).
- [69] «EZJIT Plus Jitter Analysis Software for Infiniium Oscilloscopes».
- [70] Keysight, «D9020JITA Jitter, Vertical, and Phase Noise Analysis Software for 90000, V-, Z- and UXR-Series Oscilloscopes», *Keysight*. <https://www.keysight.com/es/en/product/D9020JITA/jitter-vertical-phase-noise-analysis-software-90000-v-z-uxr.html> (accedido 11 de mayo de 2023).

15. Anexo I: Resultados de prueba de conformidad de modo 5

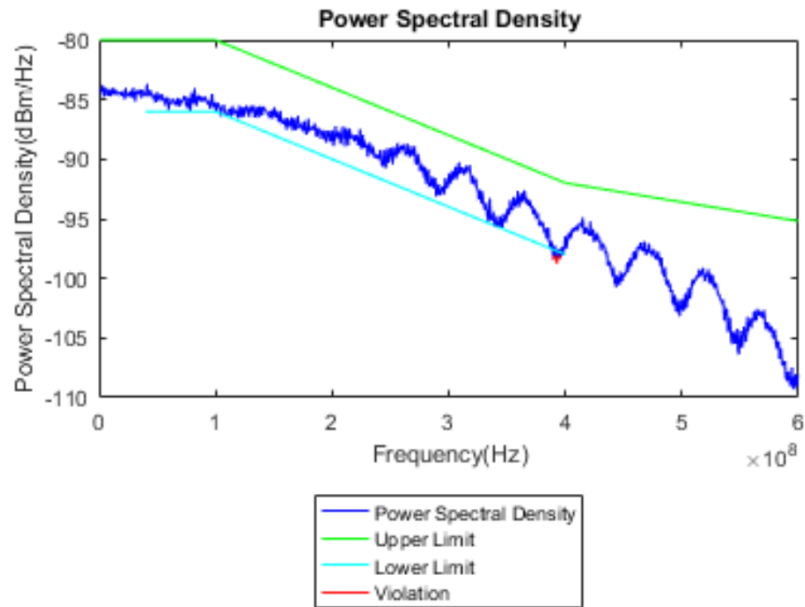


Ilustración 175: Iteración I de la prueba de modo de test 5

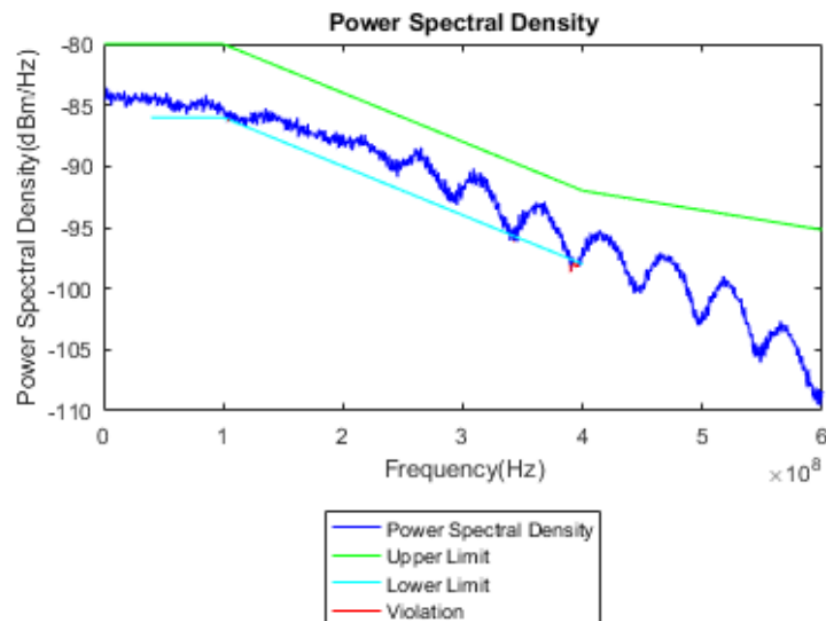


Ilustración 176: Iteración II de la prueba de modo de test 5

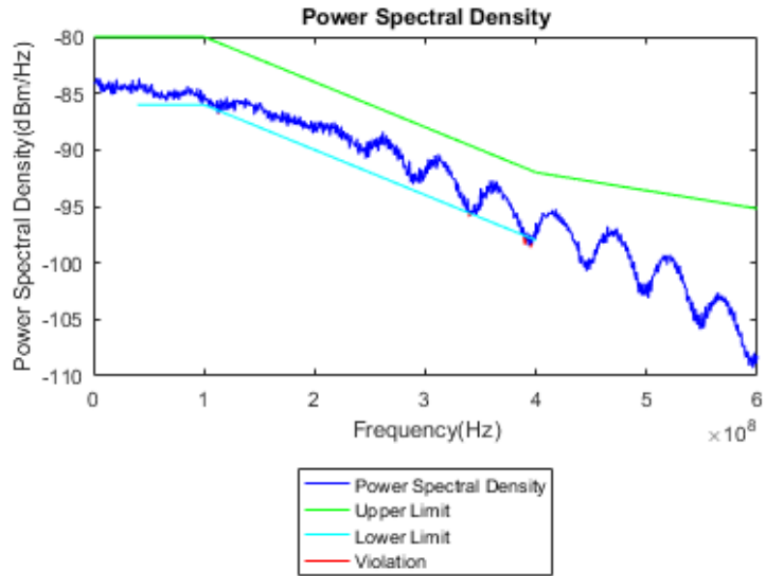


Ilustración 177: Iteración III de la prueba de modo de test 5

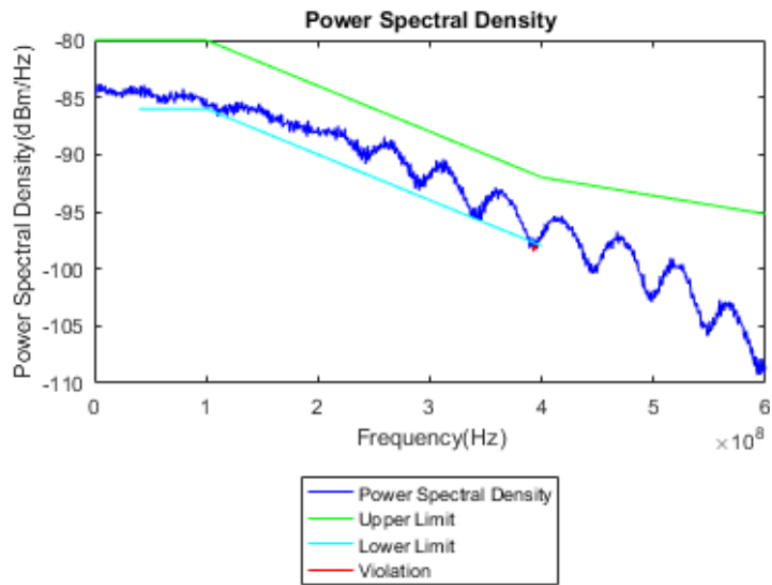


Ilustración 178: Iteración IV de la prueba de modo de test 5

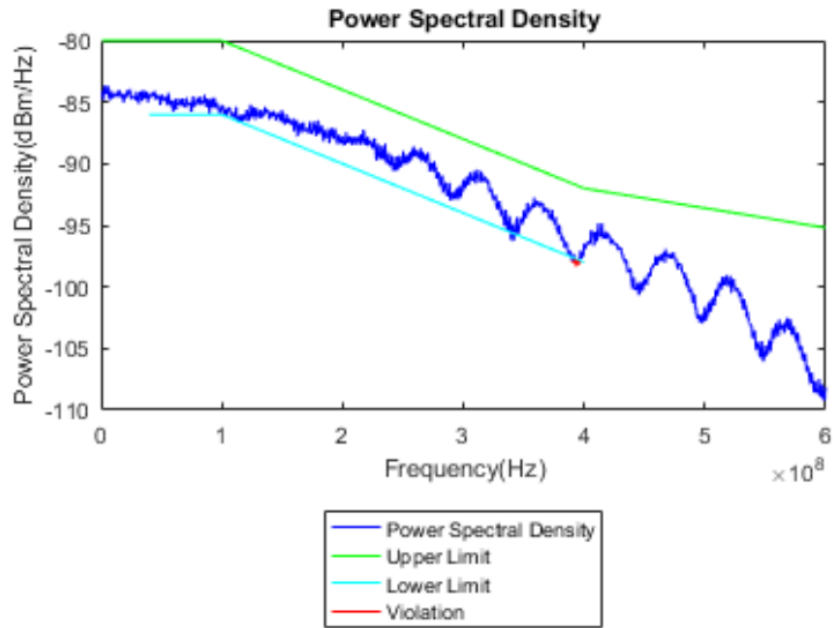


Ilustración 179: Iteración V de la prueba de modo de test 5

16. Anexo II: Código Arduino

```
int numRandom;

void setup() {
  // put your setup code here, to run once:
  // pinMode(13,OUTPUT);
  Serial.begin(2000000);
}

void loop() {
  // // put your main code here, to run repeatedly:
  // digitalWrite(13, HIGH);
  // delay(1000);
  // digitalWrite(13, LOW);
  // delay(1000);

  numRandom=random();
  Serial.print(numRandom);
  //delay(1000);
}
```